

# 하전 입자 효과를 이용한 Plasma Display Panel의 고속 구동 파형에 관한 연구

(Studies on High Speed Addressing Driving Scheme using the Priming Effect  
in Plasma Display Panel)

신범재\* · 박상식

(Bhum-Jae Shin · Sang-Sik Park)

## 요 약

본 연구는 Full-HD급 PDP의 고속 구동 구현을 위한 새로운 구동 방식에 관한 연구이다. 새로운 SPA (self-priming address) 구동 파형은 어드레스 구간에서 지속적인 프라이밍 방전을 유지하여 하전 입자 효과를 이용하여 어드레스 방전 지연 시간을 개선하기 위하여 제안되었다. 본 연구에서는 프라이밍 방전의 기본 특성에 대해 조사하였으며, 안정적인 프라이밍 방전을 유지할 수 있는 초기화 펄스 및 프라이밍 램프 펄스를 도출하였다. 특히, 프라이밍 램프 펄스의 기울기가 0.1[V/μs]의 미약한 프라이밍 방전의 경우에 대해서도 기존 방식의 1.2[μs]의 어드레스 방전 지연 시간을 0.8[μs]로 획기적으로 개선할 수 있는 것을 확인하였다.

## Abstract

This study is related to the realization of high speed address driving method for Full-HD PDP. The new self-priming addressing(SPA) driving scheme was proposed to improve an address discharge time lag, which utilizes the priming effect maintaining the priming discharge during an address period. In this study, the basic characteristics of the priming ramp discharge were investigated and optimize the reset pulse and priming pulse. It is noted that the address discharge time lag is significantly improved from 1.2[μs] to 0.8[μs] when the slope of the priming ramp pulse is below 0.1[V/μs].

Key Words : Priming Effect, Priming Discharge, High Speed Addressing, Plasma Display Panel

## 1. 서 론

PDP는 Photoluminescence의 원리를 이용하는 대표적인 평판형 디스플레이이며, 기체 방전의 특성인 강한 비선형성과 기억 기능 특성 때문에 구현 원리 상 대형화에 제약이 없고, 후막 인쇄법이라는 대형화 및 저가격화가 용이한 공정을 사용하기 때문에

\* 주저자 : 세종대학교 전자공학과 교수  
Tel : 02-3408-3905, Fax : 02-3408-4329  
E-mail : hahusbj@sejong.ac.kr  
접수일자 : 2009년 1월 5일  
1차심사 : 2009년 1월 6일  
심사완료 : 2009년 1월 28일

초대형의 벽걸이 TV의 구현에 가장 적합한 특성을 갖고 있다.

또한, 현재 세계 방송 환경이 디지털 고화질(High Definition) 규격으로 급속히 전환되고 있기 때문에 향후 고화질 벽걸이 TV 시장의 선점을 위하여 치열한 기술 개발을 위한 노력을 경주하고 있다. 그러나 PDP가 향후 차세대 벽걸이 TV 시장에서 지속적으로 성장하기 위해서는 HD TV 제품군을 구현할 수 있는 새로운 개념의 기술적 혁신이 필요하다.

현재 PDP에서는 행과 열의 조합으로 어드레스 동작을 수행하는 Matrix 구동 방식을 기반으로 계조 표현을 위해 하나의 화면을 8개 이상의 부화면으로 분할하는 SF(Sub-field) 방식을 사용하고 있다[1]. Matrix 구동 방식은 한번에 하나의 라인만을 선택할 수 있으며, Full HD TV와 같이 1080라인의 고해상도 화면을 구현하기 위해서는 라인당 어드레스 시간을 1.2[us]로 가정하면 최소 10[msec] 이상의 어드레스 시간이 소요되게 된다.

그러므로 전체 화면을 구현하는 데 배당되는 16.67[ms]의 시간 중 Reset 기간을 제외하면 불과 2~3[ms]의 시간만을 화면을 표현하는 서스테인 구간에 배당할 수 있게 되어, 화면의 밝기가 저하하고 화질이 저하되는 문제점의 중요한 요인으로 작용한다. 따라서 고화질을 구현할 수 있는 Full-HD TV의 개발을 위해서는 어드레스 시간을 단축할 수 있는 고속 구동 기술의 개발이 무엇보다도 중요한 핵심 기술이라고 할 수 있다[2-3].

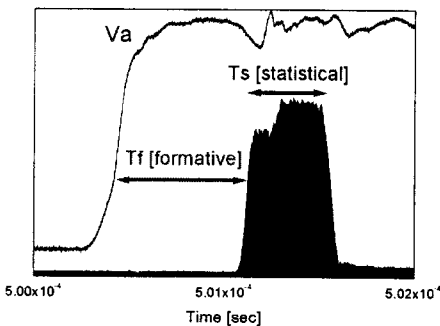


그림 1. 2000회의 어드레스방전에 의한 IR 광출력의 누적파형  
Fig. 1. IR emission of accumulated 2000 address discharges

## 2. 고속 구동 기술의 핵심 요소

그림 1은 2,000회의 어드레스 방전에서 방출되는 IR의 광출력을 누적하여 표시한 그림으로, 어드레스 방전 지연 시간(total address discharge time-lag)은 형성(formative) 지연 시간( $T_f$ )과 통계적(statistical) 지연 시간( $T_s$ )으로 구성된다[8]. 특히, 통계적 지연 시간은 방전 셀 내의 하전 입자의 양에 의해 주로 결정된다[4-5].

그림 2에 하전 입자 효과에 의한 어드레스 방전 지연 시간 특성을 측정하기 위한 Test 구동 파형을 나타내었다. 그림 2에서 보듯이 SF1과 SF2는 어드레스와 유지 방전이 없는 Reset 방전만을 형성하여 방전에 의한 하전 입자의 생성을 최소화하였다. 또한 SF3의 초기 벽전압의 조건은 SF1과 SF2의 Reset 방전에 의해 동일한 상태로 규준화 하였다. 2개의 SF(SF1과 SF2)를 이용한 이유는 하나의 SF의 경우는 벽전압의 초기조건에 따라 벽전압의 규준화가 미세하게 달라지게 되기 때문이다.

따라서 SF3의 어드레스 방전 지연시간 특성은 SF3의 유지 방전의 횟수(1, 3, 11 및 21회)에 의한 하전 입자 형성 양에 의존하게 된다. 특히, 하전 입자 효과가 매우 미약한 조건을 측정하기 위해서 SF2와 SF3 사이의 휴지기(Interval)를 삽입하여 100~15,000[us]로 가변할 수 있도록 설계하였다.

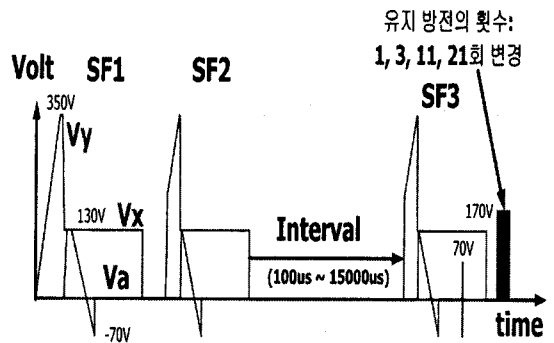


그림 2. 하전 입자효과 측정을 위한 Test 구동 파형  
Fig. 2. Test driving scheme for priming effects

그림 3의 (a)와 (b)에 각각 휴지기(Interval)를 변경하면서 형성 지연 시간( $T_f$ )과 통계적 지연 시간

( $T_s$ )을 측정된 결과를 나타내었다. 그림 3의 (a)에서 보는 것처럼  $T_f$ 의 경우는 유지방전의 횟수나 Interval에 대해 거의 큰 영향이 없는 것을 알 수 있으며, 이는 SF1과 SF2의 초기화 구간동안 벽전압이 잘 표준화 되었음을 의미한다.

그러나 그림 3의 (b)에서 나타나듯이  $T_s$ 의 경우에는 유지 방전의 횟수와 휴지기에 따른 하전 입자의 잔류량이 통계적 방전 지연 시간 특성에 매우 큰 영향을 미치는 것을 알 수 있다. 즉, 휴지기가 15[ms]인 경우, 유지 펄스의 횟수가 21회인 경우에는  $T_s$ 가 500[ns]의 값을 갖는데 반하여 유지 펄스의 횟수가 1회인 경우에는 800[ns] 수준으로 급격히 증가하여 어드레스 방전 지연 시간 특성이 1.5[ $\mu$ s] 값으로 증가하는 것을 볼 수 있다.

현재 이용하는 선택적 reset 소거 방식을 적용하는 경우 저계조의 화면 표시의 경우에는 유지 방전 및 초기화 방전에 의한 하전 입자의 형성이 거의 존재하지 않는 조건이며, 이는 어드레스 방전의 오동작 및 구동 안정성을 저해하는 요인이 될 것이다. 그러므로 PDP가 다양한 구동 조건에서 안정적인 구동 특성을 보이기 위해서는 하전 입자의 효과가 결합된 새로운 개념의 구동 파형이 필수적임은 자명하다.

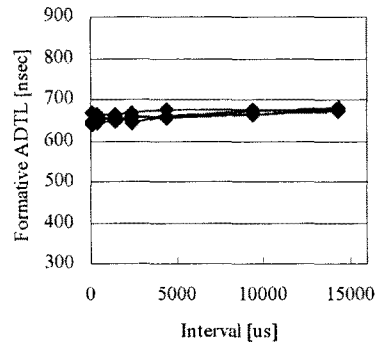
### 3. Self-Priming Addressing(SPA) 고속 구동 방식

#### 3.1 SPA driving scheme 의 개념 및 특징

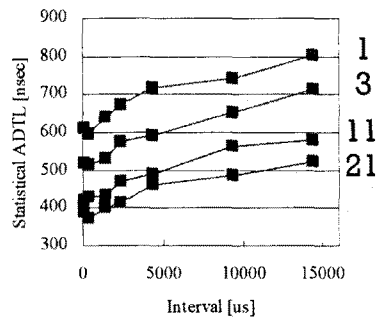
기존의 Ramp 파형을 이용한 초기화 구동 파형에서는 초기화(Reset)구간에서 스캔(Y) 전극에 인가되는 ramp pulse에 의해 공통(X) 전극과 어드레스(A) 전극간의 ramp 방전이 지속적으로 유지되어, 각 화소의 화소 전압(Cell voltage)이 Reset의 종료 시점에서 동시 방전점의 위치에 설정되게 된다. Reset 구간이 종료된 후 어드레스 방전을 순차적으로 형성하기 위해서는 어드레스 구간에서 Y 전극에 양극성(+)의 스캔 바이어스 전압이 인가되어, Y 전극에 인가되는 순차적인 스캔 전압과 A 전극에 인가되는 어드레스 전압의 조합에 의해서 어드레스 방전을 ON,

OFF 하게 된다.

따라서 기존의 구동 파형에 있어서는 Reset이 종료되는 시점에서 Y 전극에 양극성의 스캔 바이어스 전압이 인가되기 때문에 X전극과 Y전극간의 초기화 방전 및 A전극과 Y전극간의 초기화 방전이 종료되게 된다. 따라서 하전입자의 측면에서 어드레스 방전이 수행되는 조건은 Reset 방전에 의해 형성된 하전 입자의 잔류량에 의해 의존하게 되고, 통상적으로 ramp 방전과 같은 약 방전(weak discharge)의 경우는 50[ $\mu$ s] 이후에는 하전 입자의 효과가 매우 미약하여 통계적 지연 시간이 커지게 된다. 그러므로 저계조의 화면의 경우에는 유지 방전에 의한 하전입자 효과가 미약하기 때문에 어드레스 방전의 오동작이 발생하여 구동 안정성을 저하시키는 요인으로 작용한다[6-7].



(a) Formative time lag ( $T_f$ )



(b) Statistical time lag ( $T_s$ )

그림 3. 하전입자 효과에 의한 어드레스 방전지연시간 특성

Fig. 3. Address discharge time lag on the dependence of priming effects

마전 입자 효과를 이용한 Plasma Display Panel의 고속 구동 파형에 관한 연구

본 연구에서 제안한 SPA(Self-Priming Address) 구동 방식의 핵심은 어드레스 구간에서 하전입자 효과를 충분히 제공할 수 있는 구동 파형을 구현하는 것에 있다. 즉 초기화 구간이 끝난 이후에도 어드레스 구간에서 Priming Reset 방전을 지속적으로 유지시켜 어드레스 방전시에 충분한 하전 입자를 공급하여 방전 지연 시간을 단축하는 개념을 구현하는 것이다.

따라서 Reset이 종료되는 시점(즉 어드레스가 시작되는 시점)에서 Y 전극에 인가되는 양극성의 스캔 바이어스 전압 대신, 초기화 방전을 지속적으로 유지할 수 있도록 프라이밍 램프 펄스(또는 비선형 펄스)를 인가하여, 어드레스 구간에서도 프라이밍 램프 펄스에 의한 미약한 프라이밍 방전을 지속적으로 유지하여, 어드레스 방전 지연 시간을 단축하는 것이다. 이러한 개념에서 본 연구는 일종의 Address While Reset의 개념으로 생각할 수 있다. 즉 Reset의 기간 중에 어드레스 동작을 수행하는 새로운 개념의 고속 구동 방식이라고 할 수 있다.

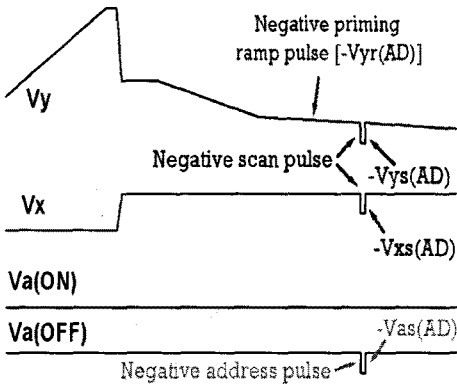


그림 4. SPA 구동 파형의 개념도  
Fig. 4. Schematic diagram of SPA driving waveform

그림 4에 본 연구에서 제안된 SPA 구동 파형의 개념도를 나타내었다. 기본적으로 Reset과 Sustain 구간의 파형은 기존 파형과 동일하며, 어드레스 구간의 파형만이 차이가 있다. 즉, 어드레스 구간에서 Y전극에 양극성의 스캔 바이어스 전압을 인가하지 않고 지속적으로 negative priming ramp pulse

[-Vyr(AD)]를 인가하여 초기화 방전을 지속적으로 유지하여 이를 어드레스 방전시에 self-priming 입자로 공급할 수 있는 특징을 갖고 있다.

SPA 구동 방식에서는 Y전극에 양극성의 스캔 바이어스 전압이 인가되지 않기 때문에, 음극성 스캔 펄스(negative scan pulse: -Vys[AD])가 인가되면 어드레스 방전이 형성되는 조건이 된다. 그러므로 그림 4에서와 같이 ON 화소의 경우 어드레스 펄스가 인가되지 않는 반면, OFF 화소의 경우에는 음극성 어드레스 펄스(Negative address pulse)를 인가하는 새로운 negative address pulse 방식을 적용하였다.

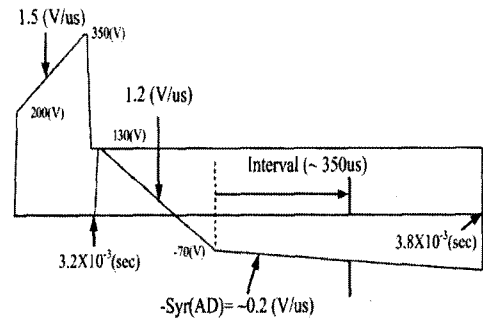


그림 5. Negative priming ramp pulse에 의한 어드레스 방전 지연 시간 특성을 측정하기 위한 Test driving 파형  
Fig. 5. Test driving scheme for the effects of negative priming ramp pulse

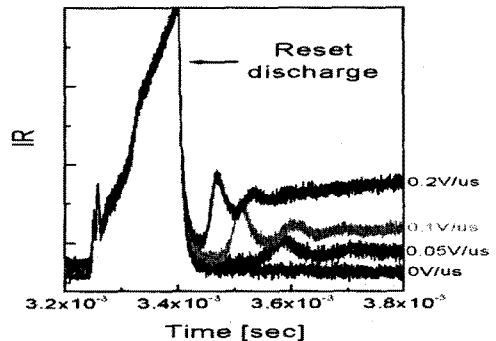


그림 6. -Syr(AD)에 따른 reset 구간과 어드레스 구간에서의 IR 광출력  
Fig. 6. IR emissions on the dependence of -Syr(AD) during reset and address period

그러나 Y 전극에 인가되는 negative scan pulse에 의해 A 전극에 인가되는 전압과 관계없이 X전극과 Y전극간의 방전이 형성되게 되므로, 그림 4에서 보듯이 공통(X) 전극과 스캔(Y)전극 모두 negative scan pulse를 인가해야 된다. 따라서 기존의 구동 파형과 비교하여 X 전극에 negative scan pulse를 인가해야 하는 추가 회로가 필요하다[7].

#### 4. SPA 방식의 기본 특성 실험

##### 4.1 Priming ramp pulse의 기울기에 따른 특성 실험

전술한 것처럼 SPA 구동 파형의 핵심은 어드레스 구간에서 지속적인 priming ramp pulse를 인가하여 priming ramp 방전을 형성하여 어드레스 방전 지연 시간을 단축시키는 것에 있다. 그러나 어드레스 구간에서 발생하는 priming ramp 방전은 화질 측면에서는 배경광 휘도가 발생되어 콘트라스트 특성을 저하 시키는 요인이 된다. 그러므로 배경광 휘도를 최소화하면서 어드레스 방전 지연 시간 특성을 단축시킬 수 있는 priming ramp 방전의 최적화가 필요하다.

그림 5에 본 연구에서 제안된 SPA 구동 파형에서 priming ramp pulse의 기울기에 따른 priming ramp 방전의 기본 특성을 측정하기 위한 Test 파형을 나타내었다. Test 파형의 전압 조건은 그림 2의 파형과 동일하며, negative ramp reset pulse의 기울기를 1.2[V/μs]로 고정하고 어드레스 구간에 인가되는 negative priming ramp pulse의 기울기[-Syr(AD)]를 0[V/μs]에서 0.2[V/μs]로 변경하면서 어드레스 구간에서 발생하는 priming ramp 방전의 IR 및 휘도를 측정하였다.

그림 6에서 보는 것처럼 Reset이 종료된 후에도 -Syr(AD)에 의하여 어드레스 구간에서도 지속적으로 미세한 프라이밍 방전이 유지되는 것을 볼 수 있다. 특히, -Syr(AD)가 Reset 펄스에 비해 기울기가 매우 작으므로 Reset 구간에서 발생하는 IR에 비해 매우 작은 수준의 IR이 발생함을 알 수 있으며, -Syr(AD)가 0.05[V/μs]의 매우 작은 값에 대해서도

프라이밍 방전이 지속적으로 유지되는 것을 알 수 있다.

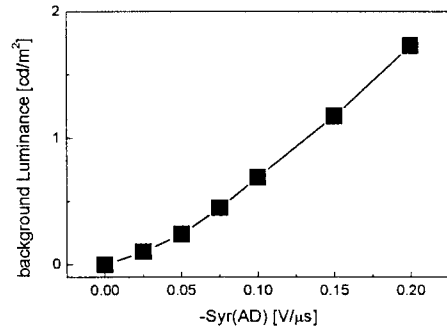


그림 7. -Syr(AD)에 따른 배경광의 휘도

Fig. 7. Background luminance as a function of -Syr(AD)

그림 7은 어드레스 전체구간에서 프라이밍 방전을 지속적으로 유지시킨 조건에서 -Syr(AD)를 변경하면서 프라이밍 방전에 의한 배경광 휘도(background luminance)를 Color Analyzer(Minolta, CA-100puls)를 이용하여 측정한 결과이다. 휘도 측정은 그림 7의 결과에서 보듯이 -Syr(AD)가 증가할수록 프라이밍 방전에 의한 배경광 휘도가 증가하는 것을 알 수 있다. 그러나 -Syr(AD)가 0.1[V/μs]의 경우에는 0.7[cd/m²]으로 화질 저하를 크게 야기할 수준은 아니지만, -Syr(AD)가 0.2[V/μs]의 경우에는 배경광 휘도가 약 1.7[cd/m²]으로 화질에 미치는 영향이 클 것으로 예측된다. 그러나 실제적인 구동 조건에서는 스캔 동작 이후에는 프라이밍 방전이 종료되기 때문에 측정값의 절반 정도의 수준이 될 것으로 예측되며, 배경광에 의한 화질 저하는 큰 문제가 되지 않을 것으로 사료된다.

그림 8은 그림 5의 Test 파형에서 -Syr(AD)을 변경하면서, 어드레스 구간에서 350[μs]의 Interval 후에 어드레스 방전 지연 시간 특성을 측정한 결과이다. 어드레스 방전시에 자체적인 프라이밍 방전이 없는 경우에는 (-Syr(AD)= 0[V/μs]) 약 1.2[μs]의 지연 시간을 나타낸다. 그러나 -Syr(AD)에 의한 프라이밍 방전이 공급되는 경우에 대해서는 어드레스 방전 지연 시간 특성이 획기적으로 개선되는 것을 알 수 있다.

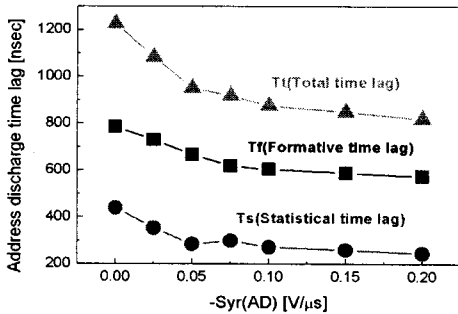


그림 8. -Syr(AD)에 따른 방전 지연 시간 특성  
Fig. 8. Discharge time lag as a function of -Syr(AD)

특히, -Syr(AD)이 0.05[V/μs]와 같이 프라이밍 방전이 매우 작게 일어나는 경우에 대해서도 어드레스 방전 지연 시간 특성이 획기적으로 개선되는 것을 알 수 있으며, 0.1[V/μs]의 값으로도 어드레스 방전의 지연 시간을 단축하는 충분한 효과를 나타내는 것을 알 수 있다. 따라서 프라이밍 램프 펄스의 기울기는 0.1[V/μs] 이하가 적절함을 알 수 있다.

#### 4.2 비선형 ramp 펄스를 이용한 동작 특성 개선

본 연구에서 제안된 SPA 방식은 지속적으로 프라이밍 효과를 제공할 수 있는 약 방전을 어드레스 구간에서 유지해야 한다. 그러나 프라이밍 램프 펄스의 기울기는 현실적으로 0.1[V/μs] 이내의 값을 갖아야 하며, 통상적으로 현재 PDP의 Ramp reset 펄스로 사용하는 기울기인 1[V/μs]와는 큰 차이를 갖는다. 따라서 그림 6에서와 같이 초기화 구간과 어드레스 구간의 경계에서 램프 펄스의 기울기가 급격하게 변경되는 시점에서 프라이밍 방전이 매우 불안하게 되는 것을 알 수 있다. 이러한 프라이밍 방전의 불안정한 특성은 어드레스 방전 지연 시간의 불안정성을 유발하게 된다[8].

본 연구에서는 일차적으로 그림 9 (a)에 나타난 것 같은 4가지 펄스의 형태에 대한 프라이밍 방전의 안정성을 확인하였다. 첫 번째 펄스[(1)Conventional] 형태는 현재 사용되는 기본 파형이다. 두 번째 펄스 [(2)Linear Reset+Linear PRD] 형태는 ramp 펄스

형태로 초기화 방전과 프라이밍 방전을 일으키는 파형이다. 세 번째 펄스[(3)Nonlinear Reset+Linear PRD] 형태는 Reset 펄스를 비선형으로 인가하여 reset의 종료 시점에서 기울기를 감소시켜 프라이밍 램프 펄스와 매칭시키는 파형이다. 네 번째 펄스 [(4)Nonlinear Reset+Nonlinear PRD] 형태는 ramp reset 펄스와 priming ramp 펄스를 모두 비선형 펄스 형태로 인가하여 기울기의 급격한 변화를 보상하는 파형이다.

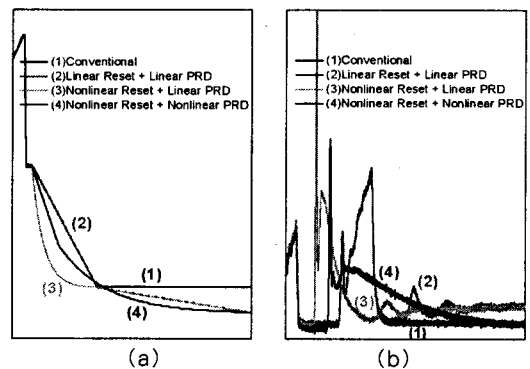


그림 9. (a) 램프 펄스와 프라이밍 램프 펄스의 형태와 (b) 각 경우의 IR 광출력 특성  
Fig. 9. (a) Pulse waveform of ramp and priming ramp, (b) IR emissions

그림 9 (b)에 각 펄스 형태에 따른 Reset과 어드레스 구간에서 방출되는 IR을 표시하였다. 그림 9 (b)에서 보듯이 reset 펄스를 비선형 ramp 펄스의 형태로 인가하여, 프라이밍 램프 펄스와의 기울기의 급격한 차이를 보정해 주는 경우 매우 안정적인 프라이밍 방전 특성을 나타내는 것을 알 수 있다.

그림 10에 비선형 ramp reset 펄스와 선형 프라이밍 ramp pulse(Nonlinear Reset+linear PRD)를 이용하여 그림 5의 파형에서 Interval을 변경하면서 어드레스 방전 지연 시간 특성을 측정할 결과를 나타내었다. 실험 결과를 통해 알 수 있듯이 비록 초기 영역에서 프라이밍 방전의 특성이 약간 불안하여 어드레스 방전 지연 시간 특성이 다소 편차를 보이지만 매우 안정적인 어드레스 방전 지연 시간 특성을 나타냄을 알 수 있다.

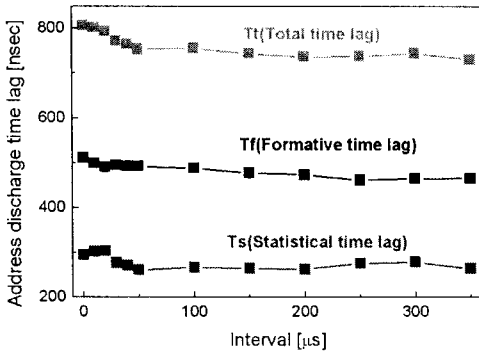


그림 10. Interval에 따른 어드레스 방전 지연 시간 특성  
Fig. 10. Address discharge time lag as a function of interval

### 5. 기존파형과 SPA파형의 비교 실험

현재 사용되는 selective ramp reset 방식을 이용하는 구동 파형은 어드레스 방전시 하전 입자의 효과가 매우 미흡한 방식이다. 그러므로 저계조와 같이 유지 방전이 작게 형성되는 조건에서는 한 frame(16.67[ms])에 1-2회의 Reset에 의한 약 방전에 의한 미약한 하전 입자 효과만이 존재하는 조건이 된다. 그러나 본 연구에서 제안된 SPA 구동 파형은 어드레스 방전시에 항상 자체적으로 프라이밍 방전에 의한 하전 입자가 공급되는 조건이기 때문에 저계조의 구동 안정성에 있어서 매우 효과적임은 자명하다.

이러한 잔류 하전 입자와 자체적인 프라이밍 방전에 의한 하전 입자 효과를 비교하기 위해서 그림 2의 구동 파형에서 프라이밍 ramp 펄스의 기울기를 0.1[V/μs]를 적용하여 어드레스 방전 지연 시간 특성을 측정하였다. 그림 11의 (a)와 (b)에 어드레스 방전 지연 시간 특성을 기존 파형의 경우와 비교하여 나타내었다. 그림 11에서 알 수 있듯이 본 연구에서 제안된 SPA 구동 방식이 매우 우수한 특성을 나타낼 수 있다. 즉, 기존 파형의 경우 Interval이 증가할수록 통계적 지연 시간이 급격하게 증가하는 반면, 본 연구에서 제안된 SPA 방식의 경우에는 Interval이 증가하는 경우에 대해서도 일정한 통계적 지연 시간 특성을 나타낼 수 있으며, 이는 어드레스 방전시 항상 프라이밍 방전에 의해 하전 입자

가 공급되기 때문이다.

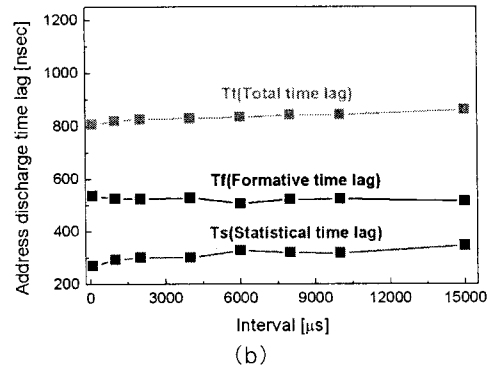
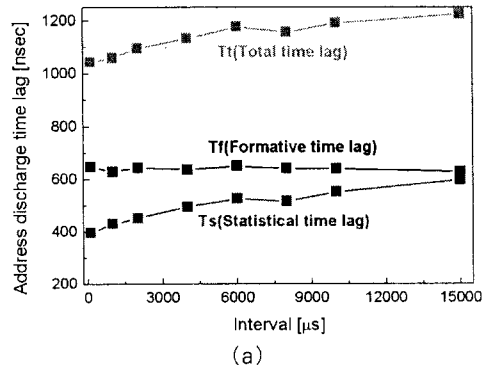


그림 11. 어드레스 방전 지연 시간 비교 특성 (a) 기존 파형 (b) SPA 구동 파형  
Fig. 11. Comparison of address discharge time lag (a) conventional driving scheme (b) SPA driving scheme

### 6. 결 론

본 연구에서는 하전 입자를 이용한 새로운 개념의 SPA(self-priming addressing)라는 고속 구동 파형을 제안하였다. SPA 고속 구동 파형은 어드레스 방전을 형성하는 시점에 항상 자체 하전 입자를 제공하기 때문에 하전 입자 효과를 통하여 통계적 지연 시간을 획기적으로 개선할 수 있었다. 즉, 기존 파형의 어드레스 방전 지연 시간을 1.2[μs]의 수준에서 0.8[μs]로 획기적으로 단축할 수 있음을 확인하였다.

또한 다양한 PDP의 구동 조건에서 항상 안정적인 프라이밍 효과를 공급하기 때문에 저계조의 계조 표

현력의 항상 관점에서도 구동 안정성을 확보할 수 있는 효과적인 구동 파형이라고 사료된다.

그러나 SPA 구동 방식은 어드레스 구간에서 프라이밍 방전이 어드레스 조건에 따라 영향을 받게 되어 프라이밍 램프 방전의 안정성에 매우 큰 영향을 미치게 되며, 이러한 프라이밍 방전성의 안정성을 확보할 수 있는 추가적인 연구가 필요하다.

본 연구는 2007년도 산업자원부 전력산업연구개발사업 전력선행기술(R-2007-2-308)에 의하여 이루어진 연구로서, 관계부처에 감사 드립니다.

### References

- [1] K. Yoshikawa, et al., "A Full Color AC Plasma Display with 256 Gray Scale", Japan Display '92, pp. 605-608, 1992.
- [2] K. Sakita, et al., "High-speed Address Driving Waveform Analysis Using Wall Voltage Transfer Function for Three Terminals and  $V_t$  Close Curve in Three-Electrode Surface-Discharge AC-PDPs", SID'01 Digest, pp. 1022-1025, 2001.
- [3] Jeong-duk Ryeom, "Discharge Characteristics of Narrow Width Pulse Addressing for the High-Speed Driving of Plasma Display Panel", Journal of KIEE, Vol.21, No.7, pp. 13-19, 2007.
- [4] Jae Sung Kim, et al., "A Driving Method for High-Speed Addressing in an AC PDP Using Priming Effect", IEEE Trans. Electron Devices, VOL. 51, No. 4, pp. 548-553, 2004.

- [5] Bhum Jae Shin, et al., "Characteristics of an Address Discharge in AC Plasma Display Panels," IEEE trans. on Plasma science, Vol 33, No. 4, pp. 1426-1430, 2005.
- [6] Bhum Jae Shin, et al., "Effects of Pre-reset conditions on Reset discharge from Ramp Reset Waveforms in AC Plasma Display Panel," IEEE trans. on Electron Devices, Vol 52, No. 1, pp. 17-22, 2005.
- [7] Bhum Jae Shin, et al., "Characteristics of a wall voltage during sustain period in AC Plasma Display Panels", IEEE trans. on Plasma science, Vol 33, No. 2, pp. 964- 968, 2005.
- [8] Bhum Jae Shin, "High Speed Driving Technique in AC PDPs", IMID'07 Dig., pp. 1181-1184, 2007.

### ◆ 저자소개 ◆

#### 신범재 (愼范宰)

1967년 6월 14일생. 1990년 서울대학교 전기공학과 졸업. 1992년 서울대학교 대학원 전기공학과 졸업(석사). 1997년 서울대학교 대학원 전기공학과 졸업(박사). 1997~2000년 삼성SDI PDP팀 선임연구원. 2000~2001년 Stevens Institute Visiting Researcher. 2002~2003년 서울대학교/고려대학교 정보기술 사업단 연구원. 2003년~현재 세종대학교 전자공학과 조교수.

#### 박상식 (朴尙植)

1989년 서울대학교 대학원 전자공학과 졸업(박사). 1989~2000년 삼성전자 반도체연구소 수석연구원. 2000년~현재 세종대학교 전자공학과 부교수.