

JPEG2000을 위한 Bit Plane Coding Algorithm의 효율적인 VLSI 설계 및 구현

양상훈^{1*}, 민병준¹, 박동선¹

A VLSI Efficient Design and Implementation of Bit Plane Coding Algorithm for JPEG2000

Sang-Hoon Yang^{1*}, Byung-Jun Min¹ and Dong-Sun Park¹

요 약 차세대 정지영상 압축방식인 JPEG2000의 엔트로피 코더는 컨텍스트 추출부(BPC)와 산술부호화기(AC)로 구성되는데 본 논문에서는 효율적인 컨텍스트 추출부 설계에 새로운 알고리즘을 제안하였고, 설계하였다. BPC(Bit Plane Coding)는 context 기반의 부호화기를 사용하였고, 현재의 SigStage register의 값과 상위 비트 플랜의 column 값을 가공한 데이터와 현재의 column 값을 이용하여 코딩패스를 미리 예측하는 기법을 사용하여, 각 bit plane에서 사용되는 상태 정보 레지스터와 이 상태 정보 레지스터를 접속하는 Access time을 줄일 수 있다. 본 논문에서 제안된 방법으로 설계된 Bit Plane Coding은 Verilog HDL 모델링후 Xilinx FPGA technology를 이용하여 합성한 후 동작을 검증하였다.

Abstract Nowadays needs the new still image compression standard. JPEG2000 has been developed. JPEG2000 divide DWT and EBCOT. EBCOT is consisted of Bit Plane Coding and ARithmetic Coding algorithm. In this paper, we proposed BPC algorithm that is efficient context-based generation. Proposed BPC Algorithm forecasted coding pass using SigStage, column, mpass value. BPC designed using Verilog HDL. H/W implemenates using Xilinx FPGA technology.

Key Words : JPEG2000, EBCOT, BPC, DWT, BAC

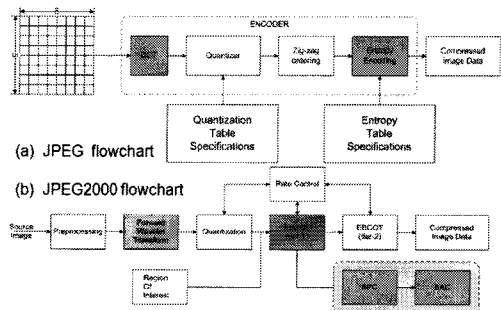
1. 서론

정지영상 압축방법의 표준인 JPEG은 여러 가지 장점을 가지고 있지만, 저화질 비트에서의 화질열화와 고압축에서의 블록화 현상 등의 치명적인 단점을 가지고 있다. 이런 단점을 보완할 수 있는 새로운 정지영상 압축방법 표준이 요구되었고, 차세대 정지영상 압축부호화 방식으로서 2002년 JPEG2000의 표준화가 완료되었다[1,2].

JPEG2000은 기존의 정지 영상 압축의 단점을 보완하였고 동시에 보다 높은 압축 성능을 보인다. JPEG2000의 주요한 특징인 관심영역(ROI) 부호화 등의 JPEG에서 제공하지 못했던 여러가지 새로운 특징들을 제공한다.

JPEG과 JPEG2000의 구조상의 차이점은 그림 1 과 같다. JPEG은 DCT(Discrete cosine transform)와 허프만 부

호화(Huffman coding) 대신 JPEG2000에서는 DWT(Discrete Wavelet Transform)와 산술부호화(EBCOT)를 사용한다는 점이다.



[그림 1] JPEG와 JPEG2000 Flow chart.

¹전북대학교 전자정보공학부

접수일 08년 12월 12일

수정일 09년 01월 12일

*교신저자: 양상훈(ykahoony@chonbuk.ac.kr)

게재확정일 09년 01월 16일

JPEG2000은 전처리과정에서 전체 영상이미지를 타일(tile)화한 후, 각각의 타일을 이산 웨이블릿 변환(Discrete Wavelet transform)한 다음에 양자화(Quantization)를 진행 한다. 웨이블릿 계수로 구성된 양자화된 서브밴드들을 주어진 크기의 코드블록(code block)으로 나눈 후 각각의 코드블록에 대해서 독립적으로 이진 산술부호화를 수행한다.

Li 등은 JPEG2000의 서브모듈인 BPC(Bit Plane Coding)을 설계하기 위한 부분병렬 알고리즘을 제안하였다[3,4,5]. 이 알고리즘은 BPC 알고리즘에 NC Generator를 통해서 컨텍스트 추출에 필요한 주변의 정보를 계산하여 3개의 pass에 대해서 병렬적으로 컨텍스트를 추출하는 방법과 EBCOT의 전체 성능을 향상 시키기 위해서 산술 부호화기에 동작 속도를 높이기 위한 4단계 pipeline Arithmetic Coder를 소개하였다.

JPEG 2000에서 현재 bit를 엔트로피 코딩을 하기 위해서는 주위의 sigma, sigma delay, visiting bit, 등의 주변상태정보가 필요하다. 본 논문에서는 Li 등이 제안한 병렬 처리 알고리즘을 기반으로 하여 LoadLogic의 블록에 기능을 강화하여 NC Generator에서 별도의 연산없이 각각의 상태 정보를 예측할 수 있도록 하여 현재 비트의 coding pass와 coding operation을 결정하도록 하였다. 이것을 기반으로 하여 strip 단위의 data의 컨텍스트를 동시에 추출하는 알고리즘을 제안한다.

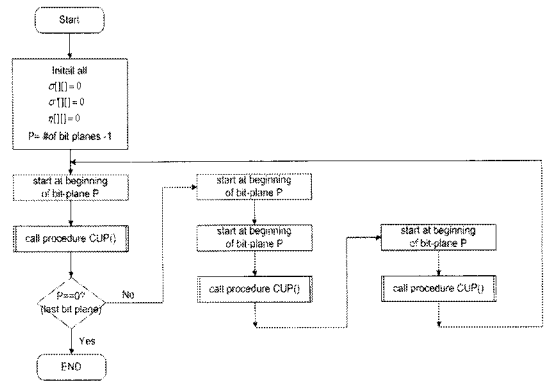
제안된 알고리즘의 구현에서는 Li 등이 제안한 논문의 병렬처리 개념을 도입하였다. 각 bit plane 별로 필요한 주변 상태 정보의 Register를 제거함으로써 구현 면적을 줄일수 있었고, 동시에 간단한 controller를 추가하여 SigStage 값을 미리 연산 하여 bit 평면 strip의 column값을 하나의 클럭 사이클에 진행 하도록 하였다. 기존의 방법의 경우 SigStage 값의 update가 이뤄져야 하지만, 제안된 알고리즘에서는 클럭 지연없이 context의 추출이 가능하여 불필요한 latency를 감소 시켰다.

본 논문의 구성은 2장에서는 Context 기반을 BPC (Bit Plane Coding)의 구조와 parallel 개념의 BPC에 대해서 설명하였고, 3장에서는 제안하고자 하는 강화된 병렬 처리 알고리즘을 4장에서는 제안된 알고리즘의 BPC의 실험 결과를 기술 하였으며, 5장에서는 본 논문의 결론과 앞으로의 연구 진행 방향에 대해서 기술하였다.

2. 본론

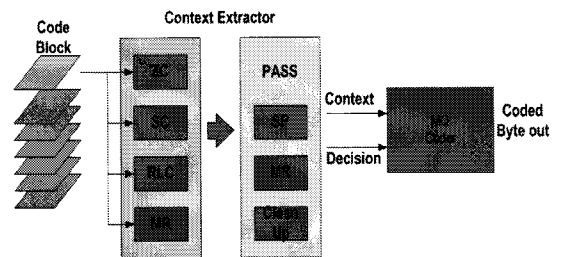
BPC는 DWT에서 계수 값들을 추출하여, 양자화를 통한 영상이미지를 data를 얻는다. 이것을 각각의 subband

별로 나눈다. 기본 처리 단위인 code-block(32*32, 64*64) 내의 데이터를 bit plane으로 펼쳐 놓은 상태에서 진행한다. BPC는 현재 bit의 sample, Significance bit(σ), Visited one bit(v), Magnitude refinement coded bit(μ), Sign bit(ζ)들과 같은 주변 상태 정보를 이용하여 sample별로 context를 추출한다. 그림 2의 순서도에 따라 3가지 coding pass(SPP, MRP, CUP)로 그룹화되어 진다.



[그림 2] BPC 알고리즘 FlowChart.

코딩 패스별로 그룹화 하는 이유는 그림 3을 통해서 알 수 있듯이 BPC 다음 단계 수행될 산술부호화 과정의 데이터량을 최대한 줄일 수 있기 때문이다. 이것은 특정한 코딩 방법을 지칭하는 것이 아니라 추출된 컨텍스트들을 유사성에 따라 묶어주는 부분으로서 모든 bit-plane의 sample들은 3가지 패스에 의해 그룹화 되어진다. 각 sample들은 3가지 코딩 패스 중 단 하나의 패스만을 통과하여 그룹화 되어 진다.



[그림 3] Context 추출기의 Flowchart.

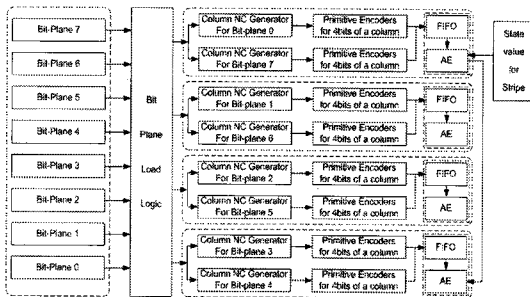
각각의 bit는 4가지 coding operations(Zero Coding, Sign Coding, Magnitude Refinement Coding, Run Length Coding)을 통하여 Context와 Decision을 출력하게 된다.

Li 등이 제시한 Bit Plane Coding은 3가지 병렬 처리 알고리즘이 적용 되었다. 첫 번째는 각각의 Bit-Plane 개

병렬적으로 수행되었던 산술 부호화를 병렬 처리를 통해서 동시에 진행하는 것이다. 두 번째는 각 서브밴드별로 3가지 코딩 패스를 거쳐 가는데 일반적인 방법은 SPP, MRP, CUP의 순서로 이루어진다. 하지만 위 논문에서 제시한 방법은 병렬 처리 기법을 통하여 3가지 코딩 패스를 동시에 스캔하여 그룹화 하였고, 또한 동시에 진행하기 때문에 처리 시간도 단축하였다. 마지막으로 각 strip별로 4개의 sample을 병렬처리 기법을 이용하여 동시에 처리하여 콘텍스트와 디시전 값을 추출하도록 하고 있다.

3. 제안하는 알고리즘

본 논문에서 설계한 BPC는 3가지 병렬 처리 알고리즘인 3 Parallelism(Bit-Plane, coding pass, strip)이 적용되었다. 기존의 논문에서 발표되었던 구조보다 Load Logic의 기능을 강화하였다. 이로 인해서 Coding Operation을 수행하기 위한 상태 정보 비트의 Register를 감소시킬 수 있었고, 이로 인해 기존의 구조보다 면적이 감소하였다. 또한 Register의 Access time을 줄임으로써 동작속도가 향상되었다. 다음 그림은 본 논문에서 설계한 BPC의 Top Block Diagram이다.



[그림 4] 제안한 EBCOT의 Top Module.

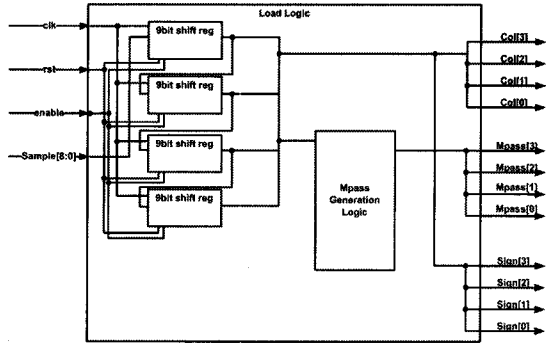
BPC는 각 Bit-Plane별로 Coding 이루어지며, 하나의 strip이 즉 4개의 Column Sample이 하나의 clock Cycle 처리되어 FIFO를 통해서 산술 부호화기로 연결되어 진다. BPC는 위의 구조에서 알 수 있듯이 Load Logic, NC Generator, Primitive Encoder로 구성 되어 진다.

3.1 Load Logic

양자화된 DWT의 계수 값을 Bit Plane 형태로 풀어주고, 이를 strip 단위로 출력하는데, 이때 각 bit plane의 sample들을 이용하여 Significance bit(σ), Visited one bit(v), Magnitude refinement coded bit(μ)등의 값들을 예

측하여 보내며, 이후 NC Generator 블록에서 σ 값을 미리 연산하고 update 함으로써 Coding operation을 신속하게 정하도록 해주는 정보를 제공하는 블록이다.

다음 그림 5는 본 논문에서 제시한 Load Logic의 블록 도이다.



[그림 5] Load Logic 의 블록도.

본 논문에서 구현한 BPC는 8개 층으로 구성되어 지는데 이는 DWT의 계수값이 8bit로 양자화 되었기 때문이다. Mpass Gen Logic은 상위 비트 플레인에서의 sample 값이 '1'이 있었는지를 알려주는 블록이다. 이는 8개의 bit plane에 상태정보에서 현재의 Significant bit의 값이 1인가와 Magnitude state 값이 1인가를 예측할 수 있도록 한다.

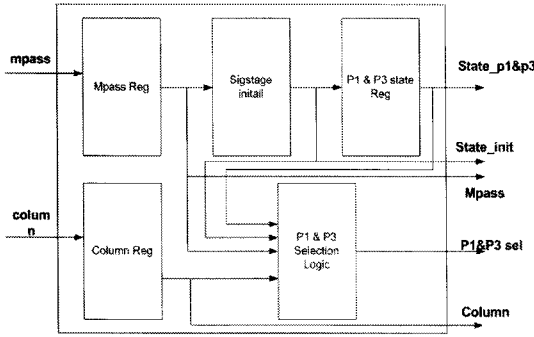
3.2 NC(Neighbor Contribution) Generator

JPEG2000에서는 자기의 픽셀 정보를 주변의 값들과의 관계를 이용하여 표현하고 있다. 주변의 정보를 파악하기 위한 블록이 Neighbor Contribution 즉 NC generator 이다.

본 논문에서 NC Generator는 Load Logic을 통해서 넘어오는 정보들을 조합하여 Significant State값을 미리 예측함과 동시에 update 하여 Primitive Encoder에서 각 sample들의 coding pass와 coding operation을 선택 제공 한다.

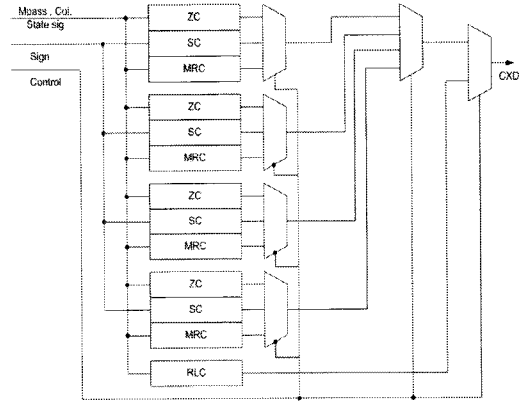
Coding Pass 와 Coding Operation을 결정하기 위해서는 현재 자신의 상태 정보, 방문정보, sign bit, 자신의 sample value 뿐만 아니라 자신의 주변(8개 sample) sample의 정보 또한 알고 있어야 가능하다.

본 논문에서 사용하는 구조에서는 상태 정보와 column 값을 기반으로 하여 코딩 패스를 selection 하도록 설계되었으며, 코딩 패스를 통해서 이루어지는 현재 sample의 상태정보를 곧바로 update 하도록 설계하였다.



[그림 6] 제안된 NC Generator의 블록도.

그림 6은 설계된 NC Gen의 블록다이어그램이다.



[그림 7] 제안된 Primitive Encoder.

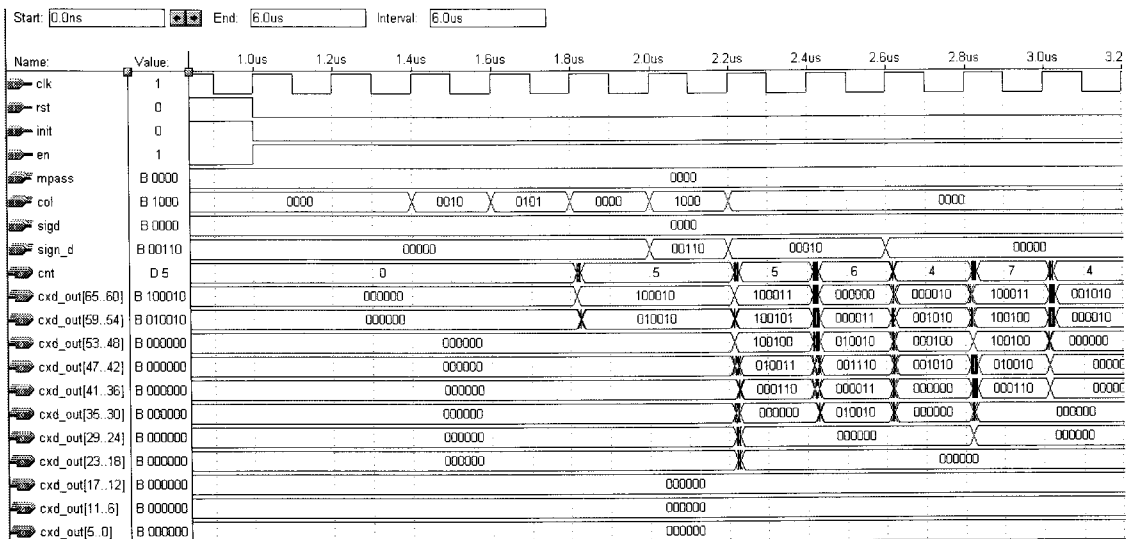
3.3 Primitive Encoder

DWT의 계수 값을 통해서 필요한 정보를 수집한 후에 실제적인 context와 decision을 추출하는 블록이다. NC Gen을 통해서 수집된 상태정보 등과, sample, coding pass selecting, coding operation selecting 등의 정보를 받아 들여 각각의 sample에 대한 콘텍스 와 디시전을 추출한다. 이때 출력 값은 최소 6 bit에서 최대 60 bit까지 출력되어진다.

그림 7은 하드웨어로 설계된 Primitive encoder의 블록도로서 각각의 column 값에서 context와 decision을 추출하기 위해서 3가지 Coding Operation 중에서 하나의 코딩 결과가 선택되어진다.

4. Simulation & Result.

설계된 Bit Plane Coder는 Verilog HDL로 모델링하였고, Xilinx FPGA Vertex 5 Device (XC5VLX110)의 라이브러리를 이용하여 ISE 9.2를 통하여 XST로 Compile 과 합성을 하였고, Maxplus, ModelSim XE를 이용하여 Simulation을 통한 동작을 검증하였다. 그 결과 BPC의 기본 unit 즉, 메모리를 포함한 모듈의 전체 게이트 수는 29000여 macro cell이 사용되었다. 설계된 H/W는 ISE 9.2 를 통해서 Synthesis 상에서 163MHz의 동작 주파수를 가지는 것을 확인하였으며, 이를 PLDA사의 XpressLXT110 을 통하여 검증 하였는데, 시스템의 안정도를 반영하여 100MHz로 Simulation을 통하여 동작을 검증하였다.



[그림 8] Bit Plane Coding의 simulation 결과.

그림 8은 Maxplus를 통해서 이뤄진 BPC의 unit module의 Simulation Result이다.

5. 결론

본 논문에 앞서 Li등이 제안한 3단계 병렬 처리 알고리즘은 JPEG2000의 병목 현상자인 BPC의 처리 속도를 높이고, 이로 인해 전체적인 성능 향상을 이뤄낼 수 있었다. 본 논문에서 제시하는 알고리즘은 위의 3단계 병렬처리 알고리즘의 성능을 향상시키고자 Load logic과 NC Gen에서 각종 상태정보의 값을 미리 분석하여 적절한 시간에 제공함으로써 불필요한 Register를 제거 시키고, 동시에 Register의 Access 시간을 줄임으로써 보다 나은 성능을 발휘 할 수 있게 되었다.

본 논문에서 연구한 내용은 EBCOT Tier-1의 Bit Plane Coding에 대해서만 기술하였다. 따라서 전체 EBCOT의 전체 구조와 성능에 대해서 평가하기는 미흡하다. EBCOT의 다음 블록인 Arithmetic Coder(AC)의 이해와 설계가 이뤄진 상태에서 전체 EBCOT의 성능을 파악할 수 있다. 그러므로 AC블록의 대한 연구가 필요하다.

참고문헌

- [1] ISO/IEC 15444-1, "Information technology JPEG2000 image coding system-Part 1: Core coding system", 2001.
- [2] M. Boli다, C. Christopoulos, and E. Majani, JPEG2000 Part I: Final Publication Draft, ISO/IEC JTC1/SC29/WG1 N2678, Jul. 2002.
- [3] K.-K. Ong, W.-H. Chang, Y.-C. Tseng, Y.-S. Lee, and C.-Y. Lee, "A high throughput low cost context-based adaptive arithmetic codec for multiple standards," in Proc. IEEE Int. Conf. Image Process., Sep. 2002, vol. 1, pp. 872 - 875.
- [4] Y. Li, M. Elgamel, and M. Bayoumi, "A partial parallel algorithm and architecture for arithmetic encoder in JPEG 2000," in Proc. IEEE Int. Symp. Circuits Syst., May 2005, pp. 5198 - 5201.
- [5] Y. Li, M. Elgamel, and M. Bayoumi, " A Three-Level Parallel High-Speed Low-Power Architecture for EBCOT of JPEG2000," in Proc. IEEE Int. Symp. Circuits Syst., Sep 2006, pp. 1153 - 1163.

양 상 훈(Sang-Hoon Yang)

[정회원]



- 2005년 8월 : 전북대학교 전자정보 공학부(전자전공) 학사
- 2007년 8월 : 전북대학교 대학원 정보통신 공학 석사
- 2007년 8월 ~ 현재 전북대학교 전자정보공학부 전자전공 박사과정

<관심분야>

정보통신, image processing, 임베디드시스템, SoC

민 병 준(Byung-Jun Min)

[정회원]



- 1999년 2월 전북대학교 정보통신공학과 학사
- 2002년 2월 전북대학교 정보통신공학과 석사
- 2002년~현재 전북대학교 전자정보공학부 전자전공 박사과정
- 2002년 7월 ~ 2005년 6월 육군 전산소 전산장교(특수사관)

<관심분야>

영상처리, 소프트웨어 공학, 임베디드 시스템설계

박 동 선(Dong-Sun Park)

[정회원]



- 1979년 2월 : 고려대학교 전기전자공학과 졸업
- 1984년 : Missouri-Columbia 공학 석사
- 1991년 : Missouri-Columbia 공학 박사
- 1991년 3월 ~ 현재 : 전북대학교 전자정보공학부 교수

<관심분야>

신경망, 패턴인식, 영상처리, 디지털 시스템설계