

논문 2009-46SC-1-12

# 1/4-rate 위상선택방식을 이용한 클럭 데이터 복원회로

## (Clock and Date Recovery Circuit Using 1/4-rate Phase Picking Detector)

정기상\*, 김강직\*, 조성익\*\*

(Ki-Sang Jung, Kang-Jik Kim and Seong-Ik Cho)

### 요약

본 논문은 시스템의 클럭을 이용하여 클럭 및 데이터를 복원하는 회로를 설계하였다. 설계된 회로에는 시스템의 클럭을 만들어주는 PLL부분과 클럭을 받아 데이터를 복원하는 데이터 복원회로부분으로 구성되어 있다. 데이터 복원회로에서는 1/4-rate 위상검출기를 이용하여 데이터보다 시스템의 클럭주파수를 낮추어 설계하여 PLL의 부담을 줄일 수 있었고 데이터 picking 방식으로 설계하여 적은 지터특성을 보였다. 설계된 클럭 데이터 복원회로는 0.18 $\mu$ m 1P6M CMOS공정으로 설계되었고 칩 면적은 1x1mm이다.

### Abstract

This work is design of clock and data recovery circuit using system clock. This circuit is composed by PLL(Phase Locked Loop) to make system clock and data recovery circuit. The data recovery circuit using 1/4-rate phase picking Detector helps to reduce clock frequency. It is advantageous for high speed PLL. It can achieve a low jitter operation. The designed CDR(Clock and data recovery) has been designed in a standard 0.18 $\mu$ m 1P6M CMOS technology and an active area 1x1mm.

**Keywords :** 클럭 데이터 복원회로 (CDR), 1/4-rate 위상검출기, 위상 선택방식, Low 지터

## I. 서론

반도체 공정 및 설계 기술의 발달과 더불어 데이터의 전송 및 처리에 시스템의 고속화가 요구되고 있다. 시스템간의 전송뿐만 아니라 칩과 칩 사이의 전송 대역폭은 수백 Mbps~수 Gbps의 데이터 율을 요구하고 있으며 점차적으로 향상되고 있다. 일반적으로 시스템 간 및 칩과 칩 간 전송 대역폭의 한계를 극복하기 위해 여러 개의 채널을 사용한 병렬 데이터 전송방법으로 속도를 증가 시켰으나 이 방법은 채널간의 간섭과 스큐(skew)를 야기 시키게 되며 최종적으로 수신단의 데이

터 복원 신뢰성을 저하시키게 된다. 또한 채널수의 증가로 인한 설계비용의 상승을 피할 수 없게 된다. 이러한 병렬전송의 문제점을 해결하기위해서 송신단에서 병렬 데이터를 직렬화(serializer)하여 전송하는 시리얼 링크(serial link) 방식으로 채널을 통해 전송하게 되며 수신단에서는 제한된 채널로 전송된 직렬화 데이터를 복원하게 된다. 시리얼링크 시스템에서 수신단의 클럭 데이터 복원(Clock and Date Recovery)회로는 전송 중 왜곡된 랜덤 NRZ(non return to zero) 데이터로부터 클럭과 동기된 데이터를 복원하는 역할을 하게 된다.

수신단의 CDR회로에서 위상검출기는 랜덤 입력 데이터로부터 천이를 검출하고 복원하는 주요 블록으로써 일반적으로 PLL(Phase Locked Loop)에서 사용되는 3-state 위상/주파수 검출기(PFD)는 랜덤 입력 데이터에 적용할 수 없다. 따라서 CDR회로에서는 Hogge, Alexander 등의

\* 학생회원, \*\* 정회원-교신저자, 전북대학교 전자정보공학부

(Division of Electronics and Information Engineering, Chonbuk University)

접수일자: 2008년11월21일, 수정완료일: 2009년1월14일

위상검출기와 부가적인 주파수 검출기를 분리하여 사용한다.<sup>[1]</sup> 그러나 기존의 위상검출기는 고속 동작이 어려우며 이를 극복하기 위한 방법으로 오버 샘플링 방법을 주로 사용한다. 오버샘플링 방법을 이용한 데이터 복원 기술에는 다중 위상 샘플링 데이터로부터 가장 적절한 위상의 정보를 선택하는 위상 선택 방법(Phase picking)과 위상의 정보를 연속적으로 피드백 하여 데이터의 중앙 부분의 위상 값을 선택하는 위상 트래킹(Phase tracking) 방법이 있다.<sup>[2]</sup> 하지만 기존의 입력 데이터율과 같은 Full-rate과 반으로 줄인 Half-rate 기법을 적용한 CDR은 고속의 입력 데이터를 복원에 한계가 있으며, 전압제어발진기(VCO)를 포함한 전체 회로의 고속 동작으로 인한 전력소모가 크다는 단점을 가지게 된다.<sup>[3]</sup>

본 논문에서는 오버 샘플링 기법을 이용한 1/4-rate 위상 검출기를 이용한 위상 선택방식의 CDR을 설계하여 고속의 입력데이터를 복원하면서 VCO를 비롯한 전체 회로의 전력소모를 줄였다. 또한 위상 검출기는 데이터 처리를 위한 1:4 디멀티플렉스 기능을 부가적으로 수행 할 수 있다.

## II. 클럭 데이터 복원회로 구조

그림 1은 클럭 데이터 복원회로의 구조이다. 구조는 크게 2개 루프로 구성되어 있다. 시스템에 클럭이 존재하여, 시스템 각 블록에서는 기준 클럭과 PLL을 이용해 블록에서 필요한 클럭 주파수를 만들어낸다. DLL(Delay Locked Loop)기반을 둔 데이터 복원회로(Data Recovery)은 PLL으로부터 필요한 주파수의 클럭을 입력으로 받는다. 데이터 복원회로루프는 전압 제어 지연 단(Voltage Controlled Delay Line)을 제어해 입력

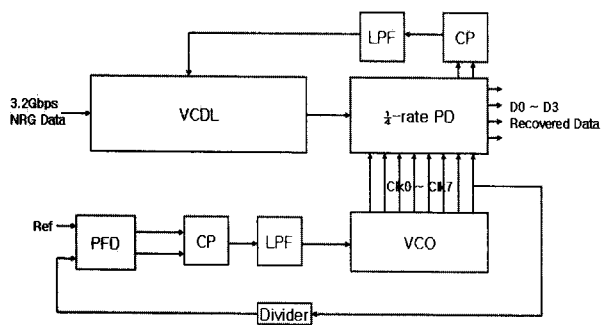


그림 1. 클럭 데이터 복원회로 구조  
Fig. 1. Architecture of CDR.

데이터의 딜레이를 PLL에서 받은 클럭위상과 동기 시킨다. 1/4-rate 위상검출기(1/4-rate Phase Detector)는 위상 검출뿐만 아니라 데이터 복원, 데이터 병렬 기능을 한다.

PLL은 주파수 위상 검출기, 전하펌프(Charge Pump), 저역통과필터(Low Pass Filter), 전압제어 발진기(Voltage Control Oscillator) 그리고 분주기(Divider)로 이루어진다. 전압제어 발진기는 8개의 위상을 만들기 위해 링발진기(Ring Oscillator)를 사용하였다.

데이터 복원회로는 1/4-rate 위상검출기, 전하펌프, 전압 제어 지연 단으로 구성되었다.

1/4-rate 위상검출기는 오버샘플링방식을 이용하여 입력되는 데이터를 8개의 다중위상클럭으로 샘플링하고 데이터의 천이 위치를 파악한 후 데이터의 천이 위치에 따른 위상 정보를 검출하게 되어 2개의 위상정보(Phase up, Phase down)를 출력하게 된다. 위상 검출기에서 나오는 위상 정보를 전압 제어 지연 단을 제어하기 위한 값으로 전하펌프에서 변경하여, 입력데이터의 지연을 변화시켜 PLL에서 받은 다중위상 클럭과 동기화시킨다. 동기화된 상태에서 데이터 Picking 방식으로 데이터를 복원시킨다.

## III. 세부회로 설계

### 1. 1/4-rate 위상 검출기

PLL에서 받은 클럭을 1/4-rate 위상검출기 기준 클럭으로 사용한다. 위상 검출기 방식이 1/4-rate 방식이기 때문에 PLL에서 8개의 위상차를 갖는 클럭이 제공되어야 한다.

그림 2는 위상검출기의 신호 검출조건이다. PLL에서 받은 8개의 클럭으로 데이터를 그림2와 같이 오버샘플링 한다. 위상 잠금 상태가 되었을 경우 clk45, clk135, clk225, clk315에서 각각 데이터를 출력한다. 만약 데이터의 변화 구간이 clk0와 clk45사이에 있다면 Pup신호를 출력하여 전압제어 지연단을 제어하여 데이터의 딜

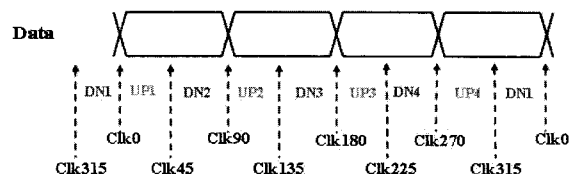


그림 2. 1/4-rate 위상검출기의 신호 검출 조건  
Fig. 2. Detecting conditions of 1/4-rate PD.

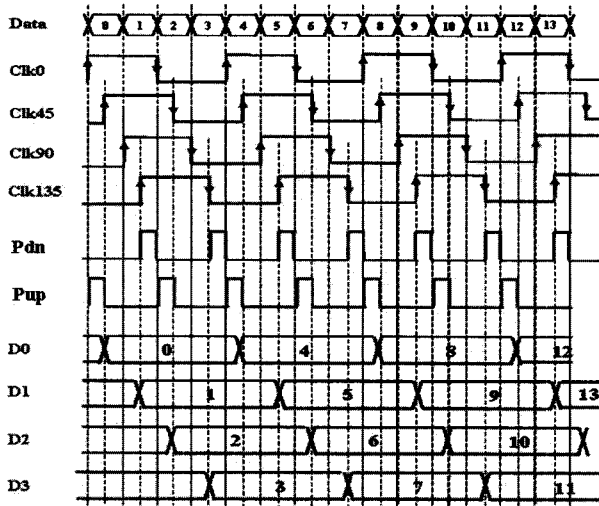


그림 3. 1/4-rate 위상 검출기의 출력  
Fig. 3. Output of the 1/4-rate PD.

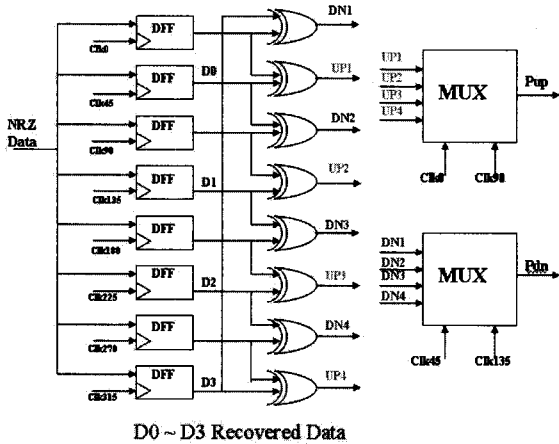


그림 4. 1/4-rate 위상검출기  
Fig. 4. 1/4-rate PD.

레이앙을 줄이게 된다. 또한 데이터의 변화 구간이 clk45와 clk90 사이에 있다면 Pdn을 출력하여 전압 제어 지연단의 지연 양을 늘리게 된다.

그림 3은 위상검출기의 입력과 위상 잠금 상태일 경우 출력 파형들을 나타내었다.

그림 4는 1/4-rate 위상검출기의 구조이다. 그림 3의 파형을 기반으로 회로를 구현하였다.

2. 전압 제어 지연단

그림 5는 전압 제어 지연단의 구조이다. 전압 제어 지연단은 전하펌프에서 출력된 전류를 받아 필터를 지난 신호인 Vcontrol를 받아 딜레이단의 전원전압을 제어해 딜레이양을 조절하는 구조이다. 데이터가 입력되어 인버터 구조의 딜레이단을 통과하여 딜레이된 데이터는 위상검출기의 데이터 입력이 된다.

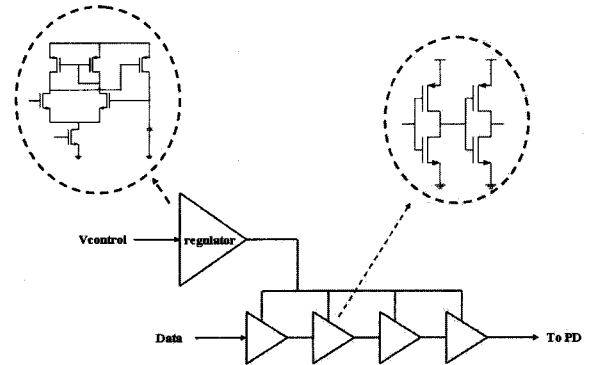


그림 5. 전압 제어 지연단  
Fig. 5. Voltage controlled delay line.

3. 전압 제어 발진기

PLL에서 데이터 복원회로에 필요한 8개의 위상을 가진 클럭을 발생시키기 위해서 링타입의 전압제어 발진기를 사용하였다. 전압제어 발진기는 크게 세부분으로 나눌 수 있다. 그림 6에서 보듯이 각각의 Delay Cell에 전류를 공급하는 한 개의 전류 바이어스단, 4단의 Delay Cell과 출력신호가 폴스윙할 수 있도록 하는 4개의 버퍼단으로 구성되어 있다. 바이어스 단은 LPF로부터의 입력전압에 대해 Gnd 레벨에서부터 동작하여 튜닝 범위를 넓힐 수 있는 Rail-to-Rail 구조로 설계하였다<sup>[4]</sup>. Delay Cell은 일반적인 구조로 900mV에서 800Mz의 동작속도에 맞추어 설계하였으며 버퍼단은 본 논문 CDR의 구조상 상승 에지에서만 샘플링을 하기 때문에 듀티사이클의 보정의 목적보다 VCO 출력 신호의 폴스윙을 중점으로 설계하였으며 부가적으로 최종 신호 출력단에는 팬-아웃(Fan-out) 인버터를 추가하였다.

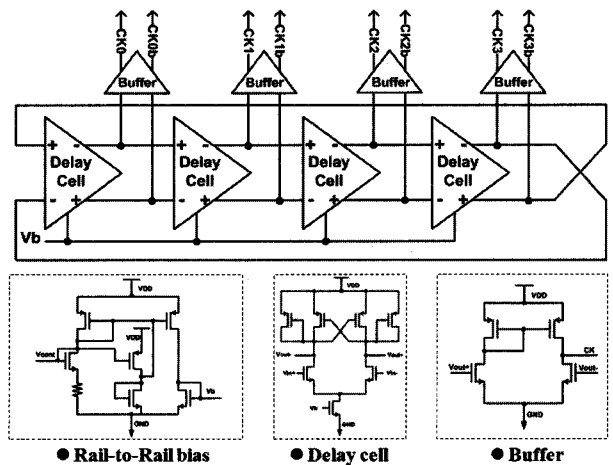


그림 6. 전압 제어 발진기의 구조  
Fig. 6. Architecture of Voltage controlled oscillator.

### IV. 시뮬레이션 결과 및 레이아웃

#### 1. Phase Locked Loop

본 논문에서 설계된 클럭데이터 복원회로는 위상선택 방식이므로 클럭의 지터가 매우 중요하다. 클럭의 지터가 복원된 데이터의 지터로 나타나기 때문에 클럭의 지터 특성이 좋다면 복원된 데이터의 지터특성 또한 좋기 때문이다.

그림 7은 PLL시뮬레이션 결과이다. (a)는 전압 제어 발진기의 제어 전압의 파형이다. (b)는 전압제어 발진기에서 출력된 클럭의 아이 다이어그램이다. 전압제어 발진기에서 출력된 클럭의 지터는 3ps 이다. (c)는 전압제어 발진기의 8개의 클럭 파형을 나타낸 것이다.

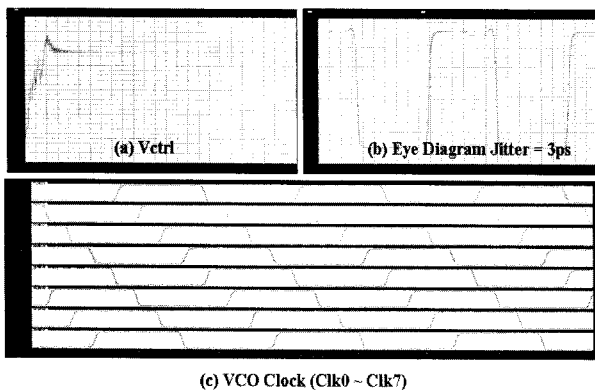


그림 7. PLL 시뮬레이션 결과  
Fig. 7. PLL simulation result.

#### 2. 데이터 복원회로

그림 8은 데이터 복원회로의 시뮬레이션 결과이다. (a)는 전압제어 지연단의 전압제어 파형이다. (b)는 CDR에 입력되는 데이터의 아이 다이어그램이다. 입력

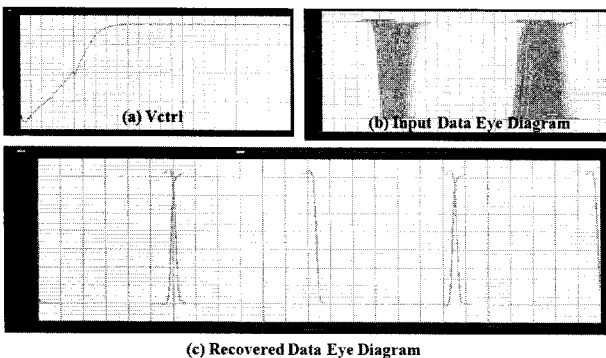


그림 8. 데이터 복원회로의 시뮬레이션 결과  
Fig. 8. Data recovery simulation result.

데이터는 수도 랜덤 생성기에서의 출력인 NRZ데이터이다. 그림 (c)는 복원된 데이터의 아이 다이어그램이다. 복원된 데이터의 지터는 10ps이다.

#### 3. 레이아웃

그림 9는 CMOS 0.18 $\mu$ m 1P-6M 공정으로 레이아웃한 전체 CDR 회로를 보여주고 있다. 칩 면적은 1 $\times$ 1mm<sup>2</sup>이며 LPF는 외부 구현을 위해 패드로 설계를 했다.

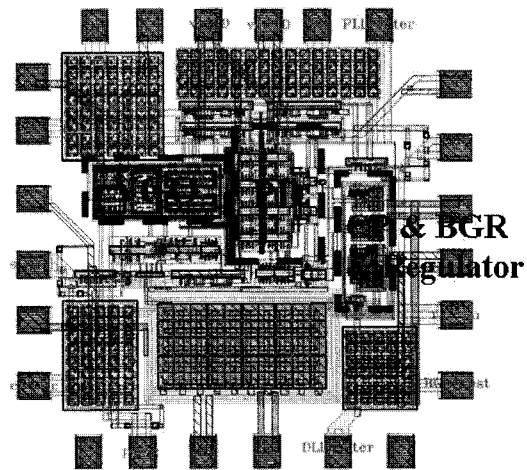


그림 9. 전체 클럭 데이터 복원회로 레이아웃  
Fig. 9. Total clock and data recovery circuit layout.

### IV. 결 론

본 논문은 공정파라미터 CMOS 0.18 $\mu$ m 1P-6M를 이용하여 PLL에서 기준 클럭을 받아 데이터를 복원하는 CDR회로를 설계하였다. 1/4-rate 기법의 위상검출기를 사용함으로써 기존의 1-rate, 2-rate CDR보다 고속 동작, 저전력화에 적합하다. 또한 위상 선택방법의 위상검출기는 보다 적은 지터특성을 보였다. Spectre를 이용하여 모의실험을 수행하였으며 랜덤데이터 생성을 위한 2<sup>5</sup>-1 PRBS를 설계하였다. 모의실험을 통하여 복원된 데이터의 지터는 10ps이고 칩 전체 면적은 1mm  $\times$  1mm이다.

### 참 고 문 헌

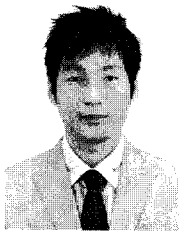
[1] Behzard Razavi, "Desing of Integrated Circuits for Optical Commynications", McGRAW-HILL, 2003.  
[2] S.J. Song, S.M. Park, and H.J. Yoo, "A 4-Gbps

- CMOS clock and data recovery circuit using 1/8-rate clock technique. " IEEE J. Solid-State Circuits, vol. 38, pp.1213-1219, July 2003.
- [3] J. Savoj and B. Razavi. "A 10-Gbps CDR/DEMUX with LC delay line VCO in 0.18um CMOS". IEEE J. Solid-State Circuits, vol. 37, pp.1781-1789, May 2002.
- [4] Kuo-Hsing Cheng, Ch'ing- Wen Lai and Yu-Lung Lo, "A CMOS VCO for 1V, 1GHz PLL Applications," 2004 IEEE Asia-Pacific Conference on Advanced System Integrated Circuits(AF'-ASIC2004)/ Aug. 4-5, 2004.

---

 저 자 소 개
 

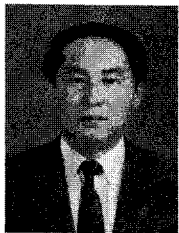
---



정 기 상(학생회원)  
 2007년 전북대학교 전자정보  
 공학부 학사 졸업.  
 2009년~현재 전북대학교 전자  
 정보공학부 석사 과정  
 <주관심분야 : 아날로그 회로 설  
 계 및 CMOS 고속 인터페이스 회  
 로 연구>



김 강 직(학생회원)  
 2005년 전북대학교 전자정보  
 공학부 학사 졸업.  
 2007년 전북대학교 전자공학과  
 석사 졸업  
 2007년~현재 전북대학교 전자  
 정보공학부 박사 과정  
 <주관심분야 : 아날로그 회로 설계 및 CMOS  
 고속 인터페이스 회로 연구>



조 성 익(정회원)  
 1987년 전북대학교 전기공학과  
 학사 졸업  
 1989년 전북대학교 전기공학과  
 석사 졸업.  
 1994년 전북대학교 전기공학과  
 박사 졸업.  
 1996년~2004년 Hynix 반도체 메모리 연구소  
 책임연구원  
 2004년~현재 전북대학교 전자정보공학부 조교수  
 <주관심분야: 저전압/고속 Graphic DRAM,  
 Low-voltage Low-power analog circuit, High  
 speed data Interface circuit, ADC/DAC, Filter,  
 PLL/DLL >