

논문 2009-46SC-1-10

1/4-rate 클록을 이용한 이중 보간 방식 기반의 CDR

(A CDR using 1/4-rate Clock based on Dual-Interpolator)

안희선*, 박원기**, 이성철**, 정항근***

(Hee-Sun Ahn, Won-Ki Park, Sung-Chul Lee, and Hang-Geun Jeong)

요약

본 논문에서는 이중 보간 방식을 기반으로 1/4-rate 클록을 이용하는 효율적인 CDR을 제안하였다. 제안한 CDR은 다채널 송수신기에서 다중 위상 클록을 이용하여 클록 주파수를 줄일 경우 필요한 클록의 수가 증가하여 이들 클록을 공급할 때 소모되는 전력과 하드웨어적 부담이 증가한다는 단점을 극복하는 것을 목표로 설계되었다. 이를 위해 1/2-rate 클록 방식과 동일한 공급 클록 수를 유지하면서 각각의 복원부에서 추가로 필요한 클록을 플립플롭을 이용하지 않고 인버터만으로 생성하였다. 이로 인해 보다 높은 전송률의 요구 시 장애 요인 중 하나인 클록 생성기의 주파수를 낮추어 고속 전송을 가능케 하였으며, 공급 클록의 수를 증가시키지 않고 1/4-rate 주파수의 클록을 이용함으로써 CDR을 저전력화하였다.

Abstract

In this paper, an efficient proposed CDR(Clock and Data Recovery Circuits) using 1/4-rate clock based on dual-Interpolator is proposed. The CDR is aimed to overcome problems that using multi-phase clock to decrease the clock generator frequency causes side effects such as the increased power dissipation and hardware complexity, especially when the number of channels is high. To solve these problems, each recovery part generates needed additional clocks using only inverters, but not flip-flops while maintaining the number of clocks supplied from a clock generator the same as 1/2-rate clock method. Thus, the reduction of a clock generator frequency using 1/4-rate clocking helps relax the speed limitation and power dissipation when higher data rate transfer is demanded.

Keywords: CDR(Clock Data Recovery), Transceiver, Interpolator

I. 서론

최근 반도체 공정 기술의 발달 및 고집적화 추세와 더불어 시스템과 시스템 간, 또는 칩과 칩 간 전송 속도의 대역폭 향상이 요구되고 있다. 이러한 전송 대역폭의 증가는 채널수의 증가에 따른 시스템 설계 비용의 상승을 가져오게 되었다. 따라서 이를 해소하기 위해 데이터를 직렬화하여 보다 적은 수의 채널을 통해 데이

터를 전송하는 직병렬 전환 기법에 대한 요구가 증가하고 있다.

직병렬 전환 기법을 이용한 송수신 시스템에서 CDR(Clock and Data Recovery)은 잡음이 포함된 수신 데이터로부터 클록을 추출하고 이 클록에 의해 송신된 데이터를 복원해내는 핵심적인 일을 담당한다.

CDR을 이용하여 데이터를 복원해내기 위해서는 데이터의 bit-rate와 동일한 주파수의 클록이 필요하다. 이때, 다중 위상 클록(multi-phase clock)을 이용하게 되면, bit-rate의 1/2 혹은 1/4-rate 클록으로도 데이터의 복원이 가능하며 현재까지 1/8-rate 클록을 이용한 복원 방법^[1]이 보고되어 있다.

그러나 다중 위상 클록을 이용하여 클록 주파수를 줄이는 경우, 필요한 다중 클록의 수는 반비례로 증가하

* 학생회원, *** 정회원 전북대학교 전자정보공학부
(Division of Electronics & Information Engineering,
Chonbuk National University)

** 정회원, 전자부품연구원
(Korea Electronics Technology Institute)

※ 본 연구는 BK21사업 연구비의 지원에 의하여 수행
하였음.

접수일자: 2008년11월21일, 수정완료일: 2009년1월14일

게 되는 단점을 가지고 있다. 특히, 수 기가를 넘어 수십 기가 비트급의 데이터를 처리하기 위한 다채널 송수신기(multi-channel transceiver)의 경우 각각의 수신기에서 개별적으로 클록을 생성하게 되면 각 채널의 VCO (Voltage-Controlled Oscillator)간의 간섭 노이즈에 의해 정상적인 데이터 복원이 어렵게 된다. 이를 해소하기 위해 하나의 클록 생성기(clock generator)를 공유하고 이 클록 생성기로부터 공급된 클록을 각각의 채널에서 독립적으로 리타이밍(retiming)하여 데이터 복원용 클록으로 사용하는 방식이 보편적으로 사용되고 있다^[2~4].

이러한 다채널 송수신기에서는 클록들을 각 채널에 공급하는데 소모되는 전력을 최소화하는 것이 매우 중요하다. 또한 증가된 수의 클록들을 동시에 리타이밍하기 위해 필요한 시스템의 복잡도 증가를 피하기 위해 클록의 수를 증가시키는 1/4 및 1/8-rate 보다는 1/2-rate 방식이 주로 사용되고 있다^[2~4].

그러나 1/2-rate 방식을 사용할 경우 채널당 3Gbps 급 이상의 데이터를 복원하는데 필요한 클록 생성기의 주파수는 최소 1.5GHz로 공정, 온도 및 전원 전압에 대한 변동까지 고려한다면, 마진을 포함하여 2GHz 급의 높은 동작 특성을 가져야만 한다. 이는 CMOS 0.18um 표준 공정을 이용해야 할 경우 공정상의 한계 주파수가 가까우며, 구현한다 해도 저잡음(low-jitter) 특성을 내기 어렵다. 또한, 차후 보다 높은 데이터 전송이 요구될 경우 bottleneck으로 작용하게 된다.

따라서 본 논문에서는, 보다 고속의 데이터 복원을 위해서는 클록 주파수를 증가시키기 보다는 1/4-rate 방식의 문제점을 해결하여 효율성을 증대시키는 방안이 필요하다는 것에 착안하여, 이중 보간(dual-interpolation) 방식을 이용하여 클록 생성기로부터 공급받는 클록의 수를 1/2-rate 방식에서와 동일하게 유지하면서 1/4-rate의 주파수를 가지는 클록으로 데이터를 복원할 수 있는 새로운 구조의 효율적인 CDR을 제안하였다.

II. 본 론

1. 기존 1/2-rate 클록을 이용한 복원 방식

기존 CDR의 경우 다중 위상 클록을 사용하여 데이터 입력 속도의 1/2인 half-rate 클록을 이용하여 데이터를 복원하는 방식을 주로 사용하고 있다^[2~4].

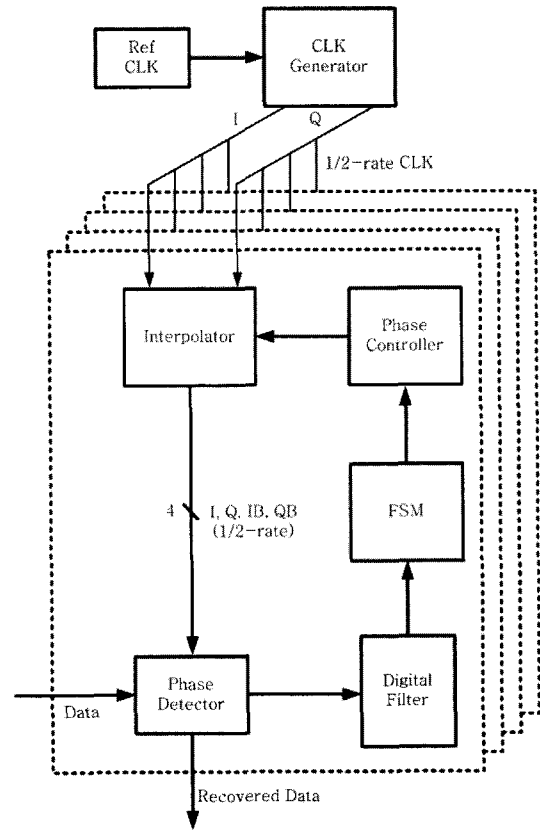


그림 1. 기존 1/2-rate 클록을 이용한 다채널 CDR
Fig. 1. Conventional Multi-Channel CDR using 1/2-rate Clock.

그림 1은 기존의 1/2-rate 클록을 이용한 다채널 CDR의 전체 블록도로 4개의 복원부가 하나의 클록 생성기를 공유하고 있는 이중 루프 구조로 이루어져 있다.

클록 생성기는 데이터 bit-rate의 1/2에 해당하는 주파수를 갖는 다중 위상 클록(I, Q)을 각 채널에 공급한다. 각각의 복원부로 공급된 클록들은 위상 보간부(interpolator)에 의해 데이터의 최적 샘플링(sampling) 위치로 천이(transition)된다. 샘플링 클록의 천이를 위해 위상 검출기(phase detector)는 데이터를 입력으로 받아서 클록 생성기로부터 공급된 클록과의 비교를 수행한 후 두 클록 주기 동안 각각 8개씩의 UP과 DN 신호를 출력한다.

위상 검출기의 출력 값들은 디지털 필터를 통해 UP과 DN간의 수적 우열을 판단하여 하나의 UP, DN 혹은 HOLD 상태로 최종 판정되며 다시 FSM(Finite-State Machine)에 의해 디지털 코드로 변환된다. 위상 조절기(phase controller)는 각 디지털 코드 값에 해당하는 전류를 보간부에 전달하며, plesiochronous 환경에서 필연적으로 생기는 송수신기 간 주파수 차이를 보상할 수

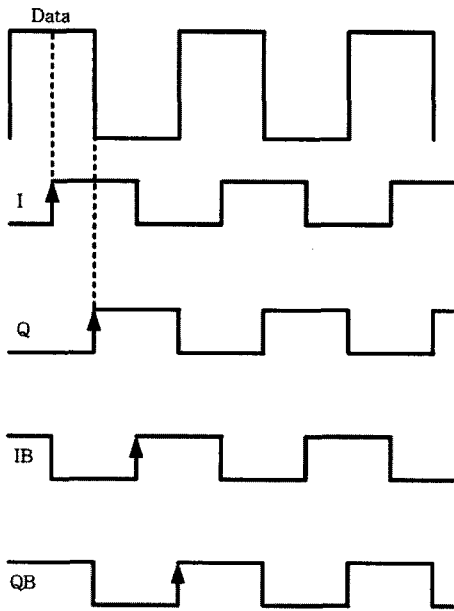


그림 2. 기존 1/2-rate 클록을 이용한 CDR의 데이터와 클록 간 타이밍도
 Fig. 2 Timing Diagram between Data and Clocks of Conventional CDR using 1/2-rate Clock.

있도록 영역 제한이 없는 무한 위상 천이가 가능한 구조로 설계되었다.

그림 2에 1/2-rate 클록을 이용하였을 때 잠김(lock on)상태에서의 데이터와 클록 간의 관계를 도시하였다. 그림에서 볼 수 있듯이 클록 Q, QB에 의하여 데이터의 천이 구간(transition edge)이 검출되고, 이 정보는 클록 I와 IB가 데이터 최적 샘플링 위치를 찾아가는데 사용된다.

2. 1/4-rate 클록을 이용한 데이터 복원의 문제점

그림 3은 클록 생성기로부터 1/2-rate 방식과 같은 수의 클록을 공급 받았을 때 데이터와 1/4-rate 클록간의 타이밍 관계를 보여주고 있다.

그림 3이 보여주듯이 1/4-rate 클록을 사용할 경우, 4개의 다중 위상 클록(I, IB, Q, QB)으로 데이터를 샘플링하게 된다. 그러나 그림2와는 달리 데이터의 최적 샘플링 위치를 찾아가는데 필요한 데이터 천이 정보를 제공해야 할 클록들이 존재하지 않는다.

만약 이들 클록을 클록 생성기로부터 공급 받게 되면 앞서 설명한 바와 같이 전력 소모가 증가하게 되며, 추가된 클록을 리타이밍 하는데 필요한 하드웨어적 부담이 가중된다. 따라서 이 클록들을 클록 생성기에서 공급 받지 않고 각 채널의 복원부 자체에서 생성하기 위

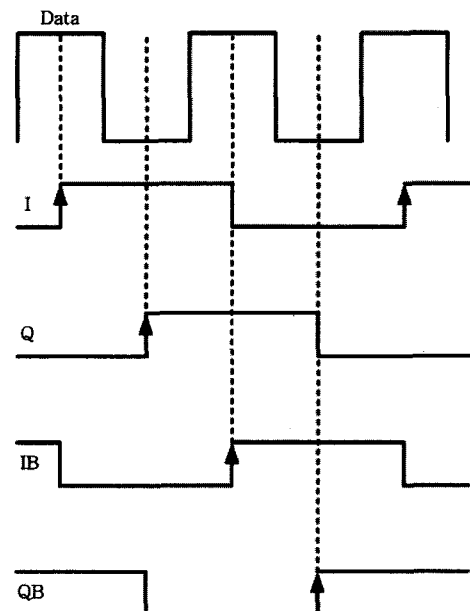


그림 3. 기존 1/2-rate 클록 방식과 동일한 클록 수를 유지한 경우의 1/4-rate 클록과 데이터 간의 타이밍도
 Fig. 3. Timing Diagram between Data and 1/4-rate Clocks maintaining the number of clocks same as 1/2-rate Method.

해서는 별도의 블록이 필요하게 된다.

[1]에서는 DCTD(Data & Clock Transition Detector)를 이용한 데이터 천이 검출법을 사용하였다. 그러나 [1]에서 사용한 방법은 하드웨어적인 부담이 커서 다채널 송수신기 응용에는 부적합하다. 또한 다수의 플립플롭을 사용함으로써 생기는 레이턴시(latency)에 의해 CDR의 대역폭 저하라는 치명적인 부작용이 생긴다.

본 논문에서는 하드웨어의 부담과 대역폭 저하를 일으키는 플립플롭을 사용하지 않고 인버터만을 이용해서 데이터 천이용 클록을 생성하는 방법을 제안하였다.

3. 제안하는 1/4-rate 클록을 이용한 복원 방식

그림 4에 제안하는 1/4-rate 클록을 이용한 CDR의 전체 구성을 나타내는 블록 다이어그램을 보였다. 클록 생성기는 데이터 bit-rate의 1/4에 해당하는 주파수를 갖는 다중 위상 클록을 각 채널에 공급한다. 이 때 공급하는 클록의 수는 1/2-rate 방식에서와 동일하다.

각각의 복원부는 고정 및 가변 위상 보간부(fixed and variable interpolator)로 이루어진 이중 보간부를 포함하고 있으며 추가된 고정 보간부는 1/4-rate 클록을 이용한 복원을 가능케 하는 핵심 블록이다.

이중 보간 부는 데이터의 최적 샘플링 위치에 복원

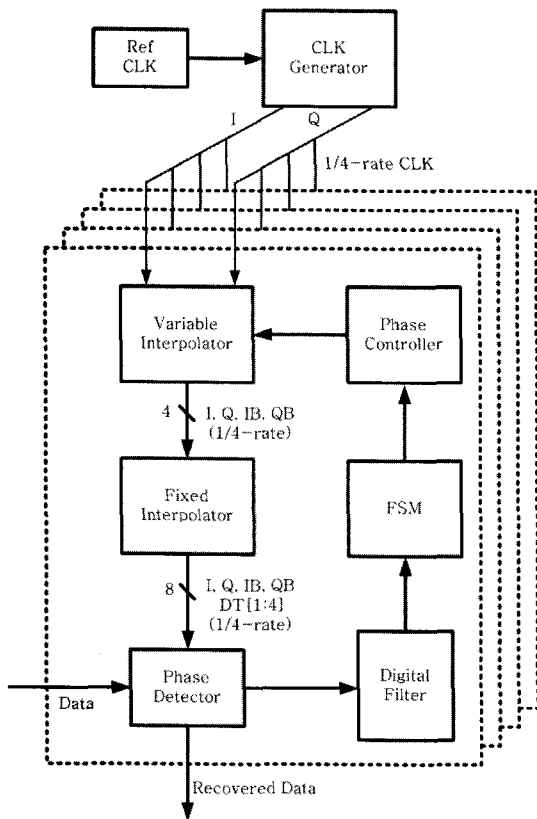


그림 4. 제안하는 1/4-rate 클록을 이용한 CDR
Fig. 4. Proposed CDR using 1/4-rate Clock.

클록을 위치시키고 수신기 클록과 입력 데이터 간의 주파수 차이를 보상하기 위해 클록의 위상 천이를 수행하는 가변 위상 보간 회로와 보간이 끝난 클록들 사이에 데이터 천이 정보를 검출하기 위한 클록을 추가 생성하기 위한 고정보간 회로로 구분된다.

가. 가변 위상 보간 회로

가변 위상 보간 회로는 복원 클록이 데이터의 최적 샘플링 위치를 계속 추적할 수 있기 위해 출력 클록의 위상 변화가 가능해야한다. 본 논문에 사용된 가변 위상 보간 회로를 그림 5에 도시하였다. 가변 위상 보간 회로는 클록 생성기로부터 클록 I와 Q를 입력으로 받아서 전류 가중치 K에 따라 입력 클록 I, Q 사이의 어느 지점에 출력 클록을 위치시킨다. 그림 6과 식(1)을 통해 입력된 클록과 출력 클록 O의 관계를 구체화하였다.

일반적으로 가중치 값이 변하는 순간의 글리치(glitch)를 방지하기 위해 온도계(thermometer) 코드 방식으로 전류 값을 변화시키는 방법이 주로 사용되고 있으나 하드웨어의 복잡도가 크게 증가하는 단점을 가지고 있다. 따라서 본 논문에서는 전류 가중치 변화에 2

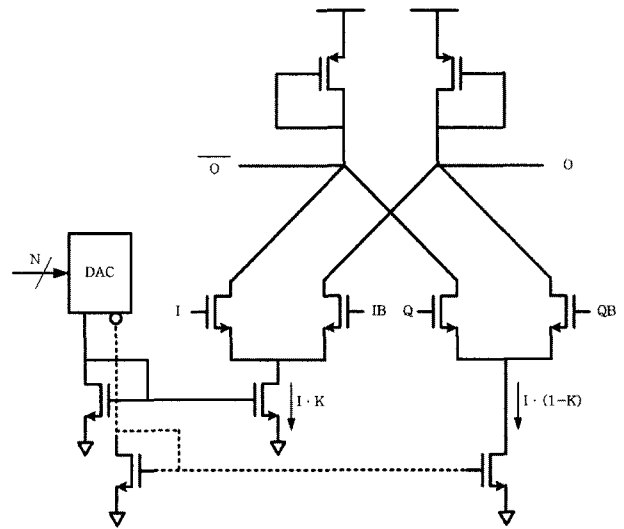


그림 5. 가변 위상 보간 회로
Fig. 5. Variable Interpolator.

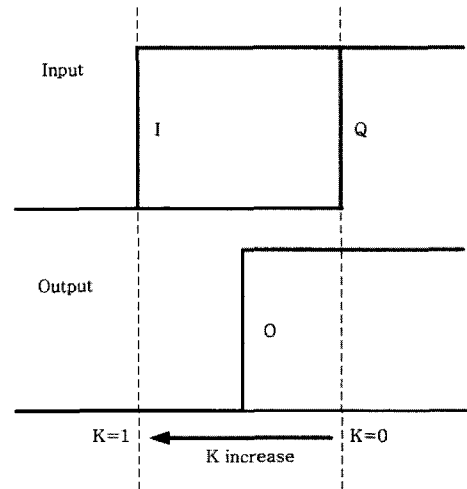


그림 6. 가변 위상 보간 회로의 동작
Fig. 6. Operation of the Variable Interpolator.

$$O = K \cdot I + (1 - K) \cdot Q \tag{1}$$

진-가중치(binary-weighted) 코드 방식을 사용하여 하드웨어 복잡도를 낮추었으며 이에 따른 글리치 방지를 위하여 DAC(Digital-Analog Converter)를 사용하여 글리치 발생부분과 민감한 출력 부분을 격리시키는 구조를 사용하였다.

나. 고정 위상 보간 회로

그림 7에 일반적인 고정 위상 보간 회로를 보였다. 앞서 설명한 가변 위상 보간 회로와 달리, 보간 후 출력된 OAB 신호가 입력 클록 I와 Q의 정중앙에 위치하

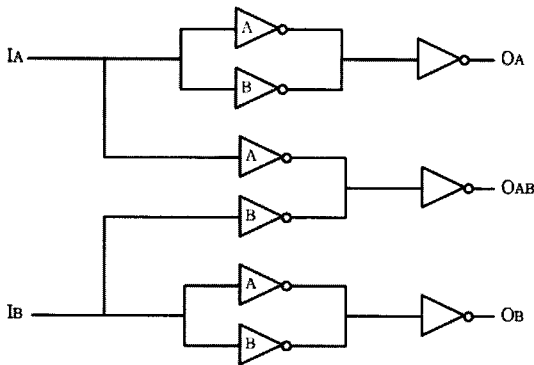


그림 7. 고정 위상 보간 회로
Fig. 7. Fixed Interpolator.

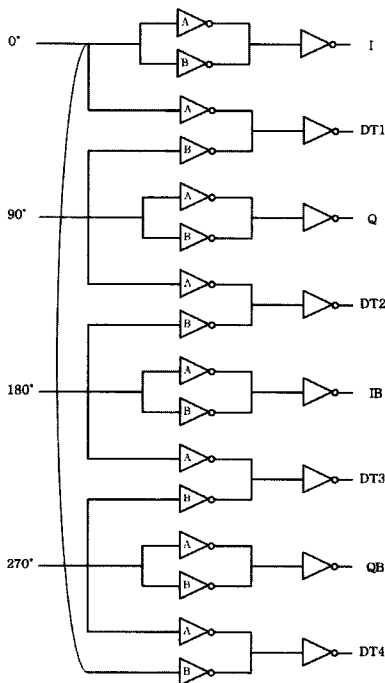


그림 8. 제안한 1/4-rate CDR에 사용된 고정 위상 보간 회로
Fig. 8. The Fixed Interpolator used in the proposed 1/4-rate CDR.

기만 하면 되기 때문에 인버터 조합만으로 구현이 가능하다.

보간 회로는 I_A 와 I_B 신호를 입력으로 받아서 인버터 지연만을 가지는 O_A 와 O_B 를 출력하며 O_A 와 O_B 사이에 위치하는 제 3의 출력 신호 O_{AB} 을 생성한다. 이 때 출력 O_{AB} 가 O_A 와 O_B 의 사이 어느 지점에 놓이게 되는지는 인버터 A, B의 사이즈에 의존한다. 일반적으로 O_A 와 O_B 의 정중앙에 위치시키기 위한 A, B 인버터의 사이즈는 5:5가 아닌 4:6의 값을 가지며 두 입력 중 앞서 들어오는 입력이 사이즈가 큰 인버터로 입력되는 것이 바람직하다^[5].

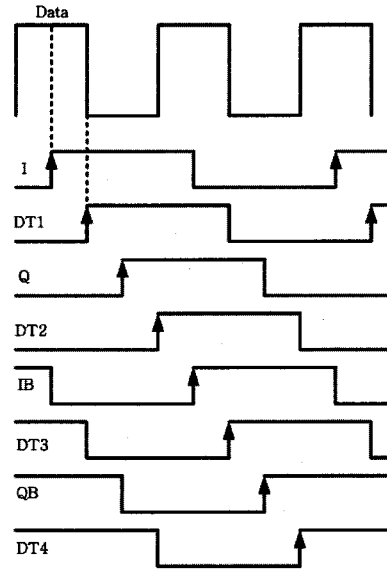


그림 9. 제안하는 1/4-rate 클록을 이용한 CDR의 클록과 데이터 간 타이밍도
Fig. 9. Timing Diagram between Data and Clocks of Proposed CDR using 1/4-rate Clock.

고정 보간을 통해 추가 생성이 필요한 클록의 수는 총 4개라서 이를 구현하기 위한 최종 회로는 그림 8과 같다.

고정 보간부에 의해 추가된 클록(DT1~4)과 가변 보간부로부터 입력된 4개의 다중 위상 클록(I, Q, IB, QB)간의 관계를 그림 9에 보였다. 클록 생성기에서 생성된 4개의 클록은 데이터를 샘플링 하는데 이용되며, 고정 보간을 통해 추가 생성된 DT1~4 클록은 데이터 천이를 검출하여 가변 보간을 수행하기 위한 정보로 사용된다.

이와 같이 인버터만을 사용하여 데이터 천이용 클록을 추가함으로써 플립플롭을 사용하여 생기는 레이턴시(latency)에 의한 CDR 대역폭 저하를 막고, 하드웨어 복잡도를 크게 낮추는 것이 가능하였으며 그림 2와 9의 비교를 통해 볼 수 있듯이 낮은 주파수의 클록을 이용하고도 결과적으로 동일한 동작을 수행하고 있다는 것을 알 수 있다.

4. 모의실험

본 논문은 0.18 μ m CMOS 공정 파라미터를 이용하여 Cadence Spectre로 시뮬레이션 검증되었다. 그림10은 가변 위상 보간 회로의 모의실험 결과로 데이터 인터벌(UI)내에서의 입력 코드별 출력 위상 변화 특성을 보여주고 있으며 평균해상도 및 최대해상도는 각각

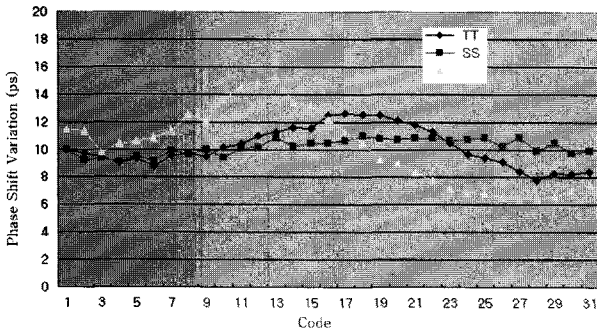


그림 10. 가변 위상 보간 회로의 모의 실험 결과
Fig. 10. Simulation Results of the Variable Interpolator.

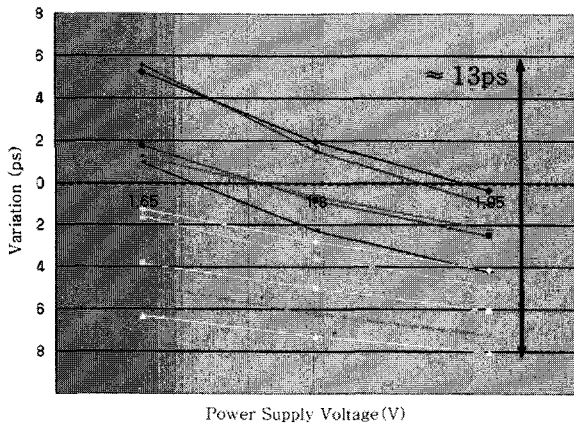


그림 11. 고정 위상 보간 회로의 모의 실험 결과
Fig. 11. Simulation Results of the Fixed Interpolator.

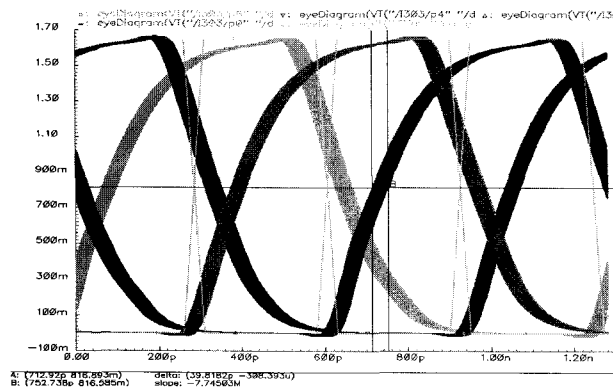


그림 12. 제안하는 CDR 복원 클럭의 모의 실험 결과
Fig. 12. Recovered Clock Simulation Results of the Proposed CDR.

10ps와 15ps를 보였다. 그림 11은 고정 위상 보간 회로의 특성으로 공정(TT, SS, FF)과 온도(0~100°C) 및 전원 전압 변동(1.8±10%)에 따른 출력의 위상 변화를 보여주고 있다.

고정 보간 회로의 출력은 PVT 변동에서도 출력의 변화가 적어야하며 만약 변동이 있다면 이는 복원 클럭에 지터(Jitter)로 나타나게 된다. 시뮬레이션 결과 모든

표 1. 복원 클럭의 코너별 지터 특성

Table 1. Jitter characteristics of recovered clock.

공정	온도	전원 전압	데이터 속도	주파수 오차	지터
TT	25°C	1.8V	3.125Gbps	200ppm	32.5ps
			4Gbps		32.7ps
SS	100°C	1.65V	3.125Gbps		39.8ps

표 2. 제안하는 CDR의 전류 및 전력소모 (@TT, 1CH)

Table 2. Current and power consumption of proposed CDR (@TT, 1CH)

블록	전류 소모	총 전류 소모	전력 소모
클럭 생성기	5.1mA	36mA	65mW
위상검출기	2.8mA		
위상보간회로	6.5mA		
DAC	1.2mA		
버퍼 및 기타	20mA		

표 3. 제안하는 CDR의 성능 비교 (@ 4CH)

Table 3. Performance comparison of proposed CDR(@ 4CH)

블록	[2]	[4]	본 논문
데이터율 (Gbps)	2.5_3.2_4	0.6~3.125	3.125
클럭 지터	16.2ps	57.8ps	39.8ps
전력 소모	97.5_112_128mW/link	385mW	362mW
전류 소모	373mA	257mA	201mA
주파수 오차	±400ppm	400ppm	±400ppm
전원 전압	1.2V	1.5V	1.8V
공정	0.13μm	0.16μm	0.18μm
면적	1.84mm ²	2mm ²	3.5mm ²

상황에서 최대 변동 폭은 약 13ps로 확인 되었으며, 이는 3.125Gbps 데이터 복원 시 4%정도의 지터로써 데이터 복원에 문제되지 않는 작은 값이다.

그림 12는 2⁷-1의 PRBS(Pseudo Random Binary Sequence)를 3.125Gbps의 속도로 입력 시켰을 때 이를 복원하기 위한 클럭의 시뮬레이션 결과이다. 시뮬레이션 시, 송수신기 간 클럭에 200ppm의 주파수 차이가 존재하는 것을 가정하였다. 표 1와 표 2에 PVT 변동에 따른 복원 클럭의 지터 특성과 전력소모를 각각 정리하였으며, 표 3에 타 본문과의 성능 비교를 보였다.

III. 결 론

본 논문에서는 이중 보간 방식을 기반으로 1/4-rate 클록을 이용하는 효율적인 CDR을 제안하였다. 제안한 CDR은 다중 위상 클록을 이용하여 클록 주파수를 줄일 경우 필요한 클록의 수가 증가하여 이들 클록을 공급할 때 소모되는 전력과 하드웨어적 부담이 증가한다는 단점을 극복하는 것을 목표로 설계되었다. 이를 위해 1/2-rate 클록 방식과 동일한 공급 클록 수를 유지하면서 각각의 복원부에서 추가로 필요한 클록을 플립플롭을 이용하지 않고 인버터만으로 생성함으로써 전력 소모와 하드웨어적 크기 면에서의 문제점을 해결할 수 있었다.

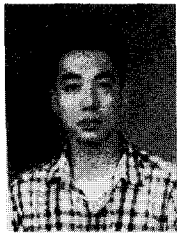
또한, 사용된 고정 보간부의 성능 시뮬레이션 결과를 통해 알 수 있듯이 모든 PVT 변동 상황에서의 최대 변화폭이 13ps로 성능 대 효율성 면에서 경쟁력이 있음을 확인하였다. 이로 인해 보다 높은 전송률의 요구 시장에 요인 중 하나인 클록 생성기의 주파수를 낮추어 고속 전송을 가능케 하였으며, 공급 클록의 수를 증가시키지 않고 1/4-rate 주파수의 클록을 이용함으로써 CDR을 저전력화하였다. 시뮬레이션 검증 결과 복원된 클록의 지터는 최대 약 40ps임을 확인하였으며, 전체 전력소모는 65mW이다.

참 고 문 헌

- [1] Seong-Jun Song, et al., "A 4-Gb/s CMOS Clock and Data Recovery Circuit Using 1/8-Rate Clock Technique" *IEEE J. of Solid-State Circuits*, Vol. 38, 1213-1219, JULY. 2003.
- [2] Fuji Yang, Joseph Othmer, et al., "A CMOS low-power multiple 2.5-3.125Gb/s serial link macrocell for high IO bandwidth network ICs," *IEEE J. of Solid-State Circuits*, Vol. 37, no. 12, Dec. 2002.
- [3] Rainer Kreienkamp, Hubert Siedhoff, et al., "A 10-Gb/s CMOS clock and data recovery with an analog phase interpolator," *IEEE J. of Solid-State Circuits*, no. 3, Mar. 2005.
- [4] Kun-Yung Ken Chang, Stefanos Sidiropoulos, et al., "A 0.4-4-Gb/s CMOS quad transceiver cell Using on-chip regulated dual-loop PLLs," *IEEE J. of Solid-State Circuits*, Vol. 38, no. 5, May 2003.
- [5] B. Garlepp, et al., "A portable digital DLL for

high-speed CMOS interface circuits," *IEEE J. of Solid-State Circuits*, Vol. 29, pp. 1491-1496, Dec. 1994.

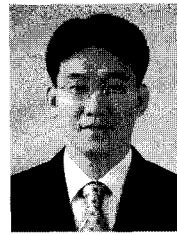
저 자 소 개



안 희 선(학생회원)
2003년 전북대학교 전자공학과
학사 졸업.
2005년 전북대학교 전자공학과
석사 졸업.
2007년 전북대학교 전자공학과
박사 수료.

2004년~현재 전북대학교 전자정보공학부
박사 과정.

<주관심분야 : High-Speed Serial Link, 아날로
그 회로 설계>



박 원 기(정회원)
1998년 광운대학교 전자공학과
학사 졸업.
2000년 포항공과대학교 전자전기
공학과 석사 졸업.
2000~2005년 삼성전자 반도체
총괄 DRAM 설계실 근무.

2005년~현재 전자부품연구원 근무.

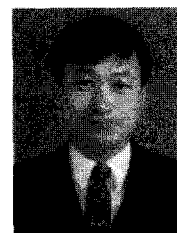
<주관심분야 : High-Speed Serial Link, ADC,
Power management>



이 성 철(정회원)
1993년 전북대학교 정보통신
공학과 학사 졸업.
1995년 전북대학교 정보통신
공학과 석사 졸업.
2008년 전북대학교 전자공학과
박사 졸업.

1995년~현재 전자부품연구원 책임연구원 근무.

<주관심분야 : 센서신호처리, SoC, 고속 I/O>



정 향 근(정회원)
1977년 서울대학교 전자공학과
학사 졸업.
1979년 한국과학기술원 전기
전자공학 석사 졸업.
1989년 플로리다대학교 전기공학
박사 졸업.

1979년~1982년 한국 전자통신연구소 재직.

1989년~1991년 모토롤라 고급기술연구소 재직.

1991년~현재 전북대학교 전자정보공학부 교수

<주관심분야 : 아날로그, RF 회로설계>