

논문 2009-46SD-1-12

이식형 심장 박동 조절 장치용 저 전력 4차 대역통과 Gm-C 필터

(Low-Power 4th-Order Band-Pass Gm-C Filter for Implantable
Cardiac Pacemaker)

임 승 현*, 한 건 회**

(Seunghyun Lim and Gunhee Han)

요 약

저 전력 소모는 의료용 이식 장치에서 매우 중요한 요소가 된다. 본 논문에 제안된 이식형 심장 박동 조절기의 감지 단계에 필요한 저 전력 4차 Gm-C 필터는 다단 증폭 단으로 구현 되었다. 매우 큰 시상수를 구현 하기 위해서 전류 분할 및 플로팅-게이트 기법이 적용된 OTA가 사용되었다. 측정 결과, 필터는 50 dB의 SFDR을 가지며, 1.8 μ W의 전력이 소모 되었다. 전원 전압은 1.5 V가 공급되었고, 코어는 2.4 mm \times 1.3 mm 의 실리콘 면적을 차지한다. 제안된 필터는 1-poly 4-metal 0.35- μ m CMOS 공정에서 제작 되었다.

Abstract

Low power consumption is crucial for medical implantable devices. A low-power 4th-order band-pass Gm-C filter with distributed gain stage for the sensing stage of the implantable cardiac pacemaker is proposed. For the implementation of large-time constants, a floating-gate operational transconductance amplifier with current division is employed. Experimental results for the filter have shown a SFDR of 50 dB. The power consumption is below 1.8 μ W, the power supply is 1.5 V, and the core area is 2.4 mm \times 1.3 mm. The filter was fabricated in a 1-poly 4-metal 0.35- μ m CMOS process.

Keywords: Analog-to-digital converter, cardiac pacemaker, floating-gate, Gm-C filter, transconductance, variable-gain amplifier.

I. 서 론

CMOS 공정 기술의 발달로 심장 박동 조절기 (cardiac pacemaker)와 같은 생체 이식형 의공학에 대한 연구가 최근 활발히 진행 되고 있다. 심장 박동 조절 장치는 맥박의 불규칙한 리듬으로 인해 발생하는 부정맥을 치료하기 위한 의료기구로서 심실과 심방 내부에 이식된 pacing lead를 통해 심장 박동 속도 및 리듬을 감지하여 환자의 심장 박동 수가 급격히 저하되거나

심장 마비 발생 시에 전기적인 자극을 가함으로써 심장 박동 수를 안정화 시켜준다^[1]. 이 장치에 대한 연구의 핵심 주안점은 의료 기술을 통해 환자의 체내에 기기를 이식하기 때문에 대략 5에서 7년 정도에 해당하는 기기의 사용 기간 보장을 위해 저 전력 소모를 위한 회로 기술의 확보 이다. 또한 비교적 느린 전기적 활동성 (electrical activity)을 띠는 생체 정보를 감지하기 위해서 매우 낮은 주파수에서 통과 대역을 갖는 신호를 처리할 수 있는 회로 기술이 요구된다.

일반적인 심장 박동 조절기의 감지 단 (sensing stage)은 그림 1에서와 같이 계측 증폭기 (instrumental amplifier) 와 대역 통과 필터 (band-pass filter)와 가변

* 학생회원, ** 평생회원, 연세대학교 전기전자공학과 (Department of Electrical and Electronic Eng., Yonsei University)

접수일자: 2008년10월21일, 수정완료일: 2009년1월5일

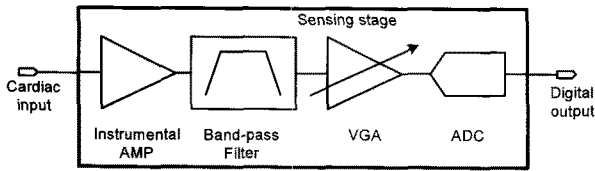


그림 1. 일반적인 심장 박동 조절기의 감지 단
Fig. 1. Sensing stage of the conventional cardiac pacemaker.

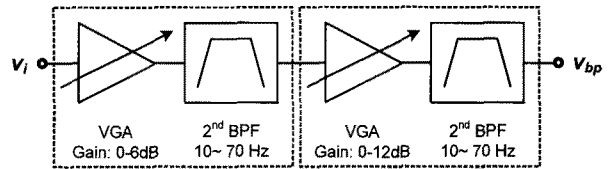


그림 2. 제안된 4차 Gm-C 필터의 블록도
Fig. 2. Block diagram of the proposed 4th Gm-C filter with the distributed gain.

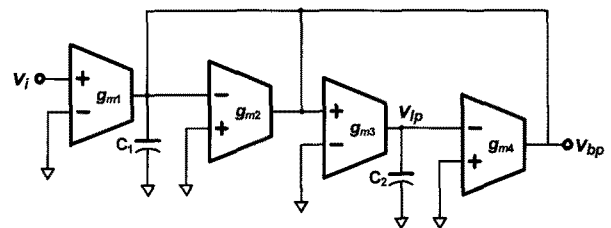
이득 증폭기 (variable gain amplifier) 및 아날로그 디지털 변환기 (analog-to-digital converter)로 구성된다^[2]. 특히, 이 시스템의 주요 전력 소모원인 대역 통과 필터는 0.1 - 100 mV의 크기와 100 Hz 이하의 주파수 범위를 갖는 심장 펄스 신호를 근육 운동에 의한 간섭 신호 (100 - 2 KHz)로부터 분리하기 위해 사용된다. 이러한 저주파 대역의 필터를 설계하기 위해서는 매우 큰 시상수 (time constant)가 요구되므로 수 nA/V의 값을 갖는 트랜스컨덕턴스 (transconductance) 와 수백 pF에 해당하는 커패시턴스 (capacitance)가 집적회로 설계의 주된 제약 요소가 된다. 이를 극복하기 위한 방법으로 스위치드-캐패시터 (switched-capacitor) 기술^[3-5]이 보고되었으나, 스위치용 트랜지스터 (transistor)의 누설 전류 (leakage current) 및 스위치 구동을 위한 높은 전압 사용 등의 한계가 있다. 이 밖에도 밀러 (miller) 효과를 이용한 임피던스 스케일러^[6] 및 선형 영역에서 동작 특성을 갖는 로그-도메인 (log-domain) 필터^[7-8] 등이 있으나, 열 잡음 (thermal noise) 수준이 증가되는 문제점이 있다.

본 논문에서는 플로팅 게이트^[9-10] (floating gate) 및 전류 분할^[11-12] (current division) 등의 기법을 적용한 트랜스컨덕턴스 증폭기 및 이를 이용한 10-70 Hz의 주파수 범위를 갖는 4차 대역 통과 Gm-C 필터를 제안한다. 제안된 필터는 가변 이득 증폭기를 내장함으로써 일반적인 구조에서 개별 블록으로 구성되어 발생하는 전력 소모를 최소화 하였다. 그리고 구현된 칩의 측정 결과와 이를 바탕으로 결론에서 전체 내용을 요약 하였다.

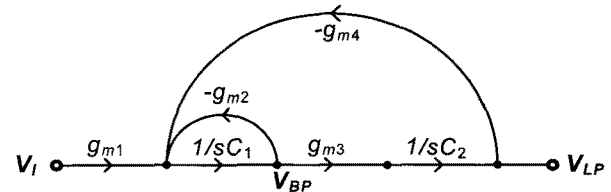
II. 본 론

1. 제안된 Gm-C 필터의 구조

그림 2는 제안된 4차 대역 통과 Gm-C 필터의 블록도를 보여준다. 제안된 4차 Gm-C 필터는 크게 2개의



(a)



(b)

그림 3. 구현된 2차 Gm-C 필터의 (a) 회로도 와 (b) 신호선도

Fig. 3. (a) Schematic diagram and (b) signal flow graph of the biquadratic gm-C filter.

바이쿼드라틱 (biquadratic) Gm-C 필터가 캐스캐이드 (cascade)로 연결된 구조이다. 또한 각 2차 필터에는 작은 전기적 신호 범위를 갖는 심장 펄스를 증폭하기 위한 가변 이득 증폭기가 필터의 여러 셀들과 공유한 구조로 내장됨으로써 개별 블록으로 구성될 때 발생할 수 있는 불필요한 전력 소모 및 실리콘 면적 소모를 최소화 하도록 했다. 그림 3은 2차 Gm-C 필터의 회로도 및 신호선도를 보여준다. 2차 필터는 4개의 트랜스컨덕턴스 셀들로 이루어진 구조로 되어 있어서 퀄리티 팩터 (quality factor) 및 폴 (pole)의 위치를 서로 독립적으로 설정 할 수 있는 장점을 지니고 있다. 제시된 신호선도로부터 구해진 통과 대역 필터의 전달 함수는 아래의 수식 (1) 과 같다. 이 전달 함수에서 10 - 70 Hz의 통과 대역을 만족하기 위한 트랜스컨덕턴스 및 커패시턴스 등의 파라미터는 표 1과 같다.

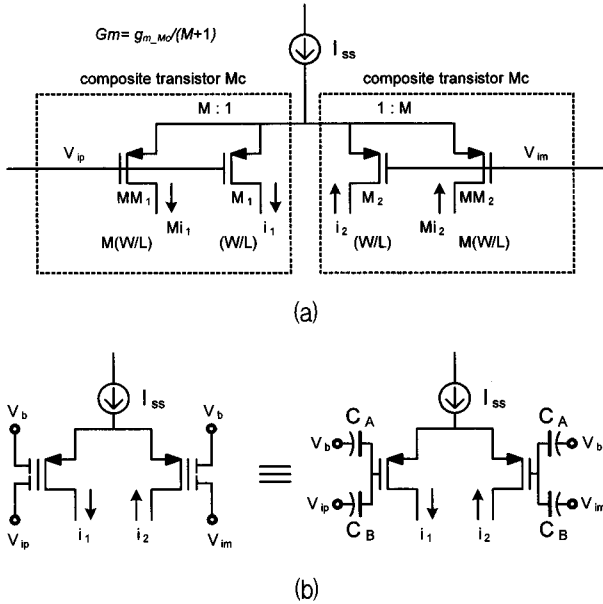


그림 4. 트랜스컨덕턴스 감소 기법. (a) 전류 분할. (b) 플로팅 게이트
 Fig. 4. Transconductance reduction techniques. (a) Current division. (b) Floating gate.

표 1. 2차 Gm-C 필터의 파라미터
 Table 1. Parameters of the biquadratic Gm-C filter.

Trans-conductance	g_{m1}	4.9 nA/V
	g_{m2}	4.9 nA/V
	g_{m3}	4.9 nA/V
	g_{m4}	4.9 nA/V
Capacitance	C_1	4 pF
	C_2	74 pF

$$\frac{V_{BP}}{V_I}(s) = \frac{s \frac{g_{m1}}{C_1}}{s^2 + s \frac{g_{m2}}{C_1} + \frac{g_{m3}g_{m4}}{C_1 C_2}} \quad (1)$$

2. 회로 구현

가. Operational transconductance amplifier (OTA)
 기본 구조의 OTA가 표 1에 제시된 것과 같은 매우 낮은 트랜스컨덕턴스를 갖기 위해서는 전류가 수 pA 단위의 매우 작은 값을 가져야 한다. 이 조건을 만족하기 위해서는 트랜지스터의 W/L 비가 0.001 이하가 되도록 해야 하며, 이러한 기하학적 매칭은 레이아웃 측

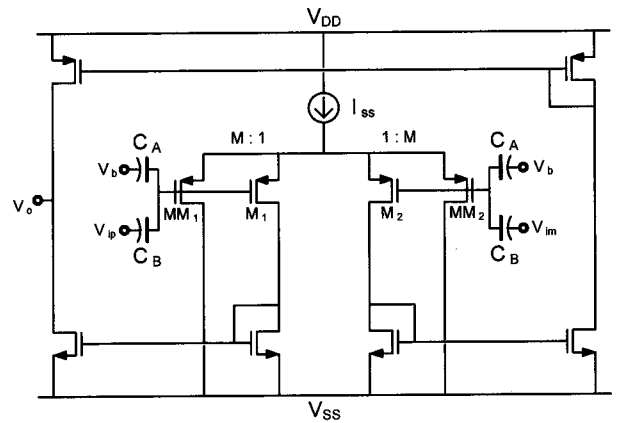


그림 5. Floating gate OTA with current division
 Fig. 5. Floating gate OTA with current division.

면에서 정확도를 만족하기가 어렵다는 문제점을 지닌다. 따라서 본 논문에서는 매우 낮은 트랜스컨덕턴스를 갖는 OTA를 구현하기 위한 방법으로 그림 4와 같은 전류 분할 과 플로팅 게이트 기법을 적용한 구조를 사용하였다.

그림 4(a)는 전류 분할 기법의 아이디어를 보여준다. 하나의 Mc 트랜지스터를 두 개의 트랜지스터로 분기함으로써 트랜지스터 M1과 MM1의 소 신호 전류가 둘의 크기 비율인 M에 의해 분할되고, 전류 I1과 I2만 OTA 동작에 사용되도록 한다. 그 결과 유효 트랜스컨덕턴스 (effective Gm)는 아래의 수식 (2) 와 같이 감소되어 나타난다.

$$G_m = \frac{g_{mMc}}{M+1} \quad (2)$$

여기서 g_{mMc} 는 분할 이전의 합성 트랜지스터의 컨덕턴스를 의미한다. 전류 분할 기법은 매우 작은 트랜스컨덕턴스 레벨을 유지하면서도 전류 크기를 제어 가능한 수준으로 증가시킬 수 있고, 레이아웃 측면에서도 매칭의 어려움도 극복할 수 있다는 장점을 지닌다.

그림 4(b)는 플로팅 게이트 MOS 트랜지스터를 이용한 증폭기의 입력 구동 단 이다. 입력 트랜지스터는 Vi 와 Vb 를 두 개의 입력을 갖기 때문에 두 입력 커패시터(capacitor) 에 의해 전압 분배가 이루어져 트랜스컨덕턴스를 줄일 수 있다. 이 기법은 더블-폴리 (double poly) 가 지원되지 않는 공정에서는 그림 4(b)와 같이 MIM 커패시터를 이용하여 구현 가능하다. 플로팅 게이트 기법을 통한 유효 트랜스컨덕턴스는 아래의 수식 (3)과 같이 감소된다.

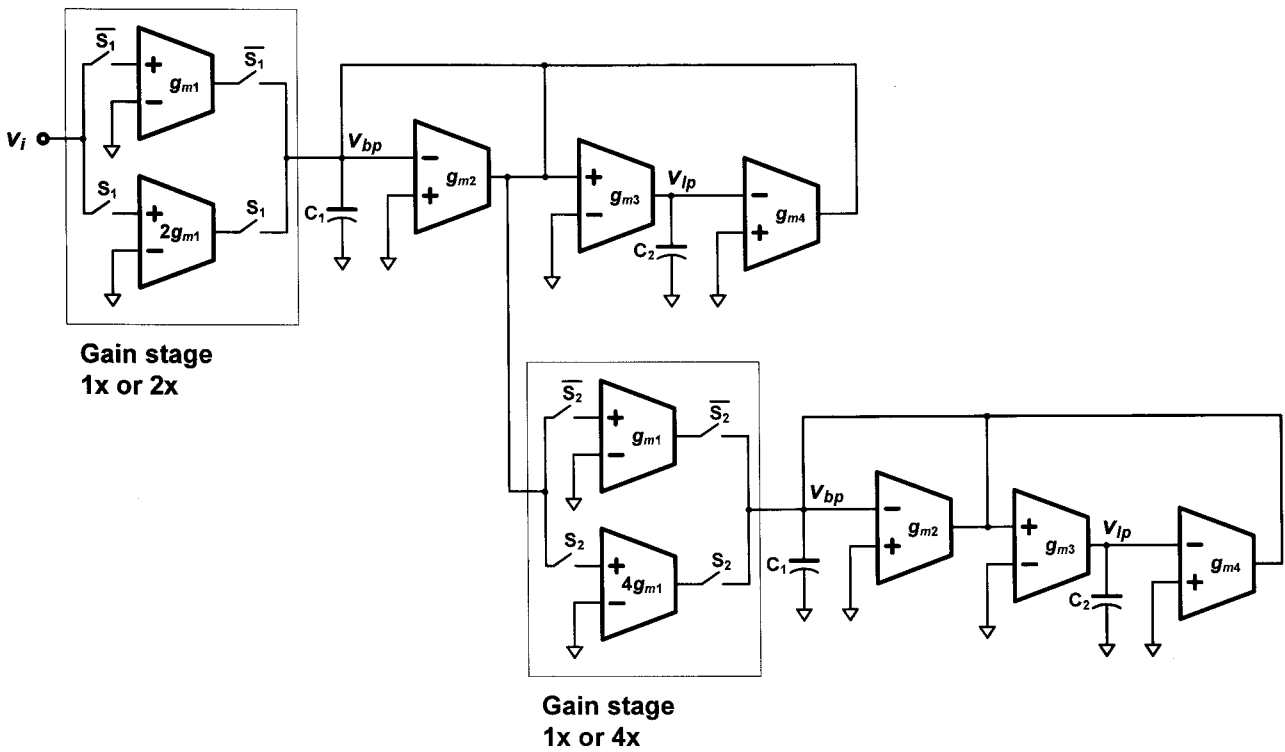


그림 6. 구현된 4차 Gm-C 필터의 회로도
 Fig. 6. Schematic diagram of the 4th Gm-C filter with the distributed gain stage.

$$G_m = \frac{C_A}{C_A + C_B} g_m \quad (3)$$

그림 5는 트랜스컨덕턴스를 보다 더 줄이기 위해서 앞서 언급된 전류 분할과 플로팅 게이트 기법이 결합된 OTA의 구조를 보여준다. 이 OTA의 트랜스컨덕턴스는 수식 (2) 와 (3)에 의해서 다음과 같이 나타난다.

$$G_m = \frac{C_A}{C_A + C_B} \cdot \frac{g_{m1,2}}{M+1} \quad (4)$$

4.9 nA/V의 트랜스컨덕턴스를 얻기 위해서 구현된 OTA에서는 전류원 I_{SS} 는 150 nA, 전류 분할 계수 M 은 24 이고, 입력 커패시턴스 비 C_A / C_B는 1/9로 설정되었다.

나. 4차 통과 대역 필터

그림 6은 본 논문에 사용된 4차 Gm-C 필터의 전체 회로도를 나타낸 것이다. 4차 필터는 2차 필터가 캐스캐이드로 결합되었으며, 각 2차 필터에는 gain stage가 공유 되어 있어 작은 신호 레벨을 갖는 심장 펄스 신호를 제어 신호 S₁, S₂에 따라 증폭 가능하다. 첫 번째 stage에서는 6 dB까지 증폭하고, 두 번째 stage에서는 12 dB까지 증폭할 수 있다.

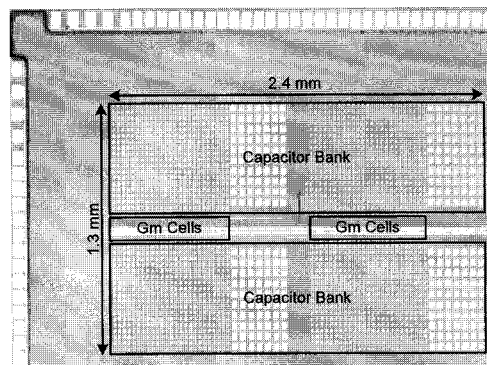


그림 7. 제안된 4차 Gm-C 필터의 칩 사진
 Fig. 7. Chip micro-photograph of the proposed 4th gm-C filter.

III. 측정 결과

그림 7은 0.35- μ m 1-Poly 4-Metal CMOS 공정에서 제작된 4차 필터의 칩 사진이다. 패드를 제외한 코어 (core) 의 크기는 2.4 mm \times 1.3 mm 이다. 커패시터 매칭을 위해 단위 커패시터를 통한 common-centroid 구조를 사용함으로써 입력 커패시터 간에 발생할 수 있는 공정상의 미스매치를 최소화 하여 필터가 정확한 주파수 응답을 가질 수 있게 하였다. 제안된 4차 Gm-C 대역

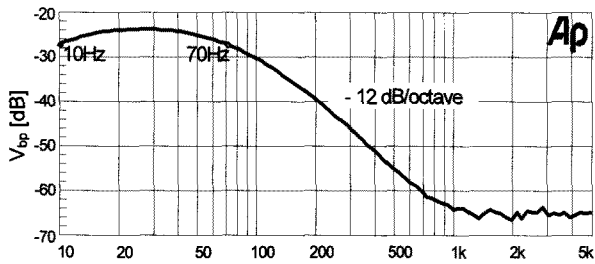


그림 8. 측정된 주파수 응답 (입력: 75 mV)
Fig. 8. Measured frequency response. ($V_{in} = 75 \text{ mV}$)

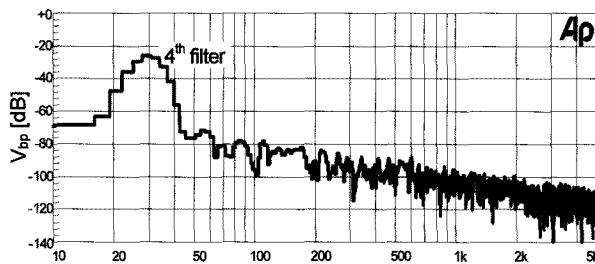


그림 9. 측정된 출력 스펙트럼 (입력: 75 mV @30 Hz)
Fig. 9. Measured output spectrum.
($V_{in} = 75 \text{ mV @30 Hz}$)

표 2. 측정된 가변 증폭기 이득
Table 2. Measured center band gains.

제어 신호 ($S_2 S_1$)	시뮬레이션	측정 결과
0 0	0 dB	0 dB
0 1	6 dB	5.95 dB
1 0	12 dB	12.03 dB
1 1	18 dB	17.98 dB

통과 필터는 1.5V의 전원 전압에서 동작하고, 0.45 V의 common-mode 전압을 가지며, 입력 신호 범위는 100 mV 이다. 바이어스 회로를 포함한 총 전력 소모량은 1.8 μW 로 측정 되었다. 그림 8은 75 mV의 정현파에 대한 4차 Gm-C 필터 출력의 측정된 주파수 응답을 보여준다. 3-dB 통과 대역은 10 Hz 와 70 Hz로 설계 목표와 일치하며 중심 주파수는 40 Hz 이다. 그림 9는 75 mV, 30 Hz 입력에 대한 측정된 출력 스펙트럼을 보여준다. 하모닉 디스토션 (harmonic distortion) 성분은 -50 dB 미만이다. 도미넌트 (dominant) 하모닉 디스토션은 HD2 이며, 이 성분은 완전 차동 구조를 사용함으로써 줄일 수 있다. 중심 주파수에서 측정된 가변 증폭기 이득은 표 2와 같이 모의실험 결과와 실측치가 거의 일치한다. 표 3은 최근 발표된 심장박동 조절기용 대역통과 필터와

표 3. 성능요약
Table 3. Performance summary.

	[7]	This work
Technology	0.35- μm CMOS	
Supply voltage	2.8V	1.5V
Core area	1.3 mm^2	3.1 mm^2
Filter order	2nd	4th
Center frequency	72 Hz	40 Hz
THD	-38 dB	<-50 dB
Power consumption	5 μW	1.8 μW

본 논문에서 제안한 대역통과 필터의 성능을 비교한다. 제안된 필터는 4차 구조로 구현 되었음에도 기존의 구조에 비해 전력 소모와 하모닉 디스토션 측면에서 강점을 지닌다.

IV. 결 론

본 논문에서는 심장 박동 조절기에 사용되는 4차 대역통과 Gm-C 필터를 제안하였다. 제안된 필터는 저주파 대역의 필터를 구현하기 위해 플로팅 게이트 및 전류 분할과 같은 트랜스컨덕턴스를 줄이기 위한 기법을 적용하였다. 또한 가변 이득 증폭기를 필터와 공유함으로써 심장에서 나오는 작은 레벨의 신호를 증폭 할 수 있게 하였고, 그 결과 일반적인 구조와 비교 하였을 때 전력 소모를 보다 개선 할 수 있었다. 전체 칩의 전력 소모는 1.8 μW 로서 심장 박동 조절기의 배터리 사용 기간을 상당히 향상 시킬 수 있을 것으로 기대된다. 제안된 4차 필터는 저주파의 생체 신호를 처리하는 다른 의료용 기기에서도 유용하게 활용될 것으로 기대된다.

참 고 문 헌

[1] A. Gerosa, A. Maniero, and A. Neviani, "A fully integrated two-channel A/D interface for the acquisition of cardiac signals in implantable pacemakers," *IEEE J. Solid-State Circuits*, vol. 39, no. 7, pp. 1083-1093, July 2004.
[2] L. S. Y. Wong, S. Hossain, A. Ta, J. Edvinsson, H. H. Rivas, and H. Nääs, "A Very Low-Power

CMOS Mixed-Signal IC for Implantable Pacemaker Applications," *IEEE J. Solid-State Circuits*, vol. 39, no. 12, pp. 2446-2456, Dec. 2004.

- [3] A. Bashiroto, D. Bijno, R. Castello, and F. Montecchi, "A 1V 1.2 μ W 4th order bandpass switched-opamp SC filter for a cardiac pacer sensing stage," in *Proc. ISCAS*, Geneva, May 2000, vol. 3, pp. 173-176.
- [4] A. E. Zadeh, "Nano-power switched-capacitor bandpass filters for medical implantable pacemakers and defibrillators," in *Proc. MWSCAS*, Aug. 2008, pp. 29-32.
- [5] B. Kim, Y. Chae, and G. Han, "A 1-V 0.4-uW SC Band-Pass Filter for Implantable Cardiac Pacemaker Applications," in *Proc. Int. SoC Design Conf.*, Seoul, Korea, Oct. 2006, pp. 11-14.
- [6] S. Solis-Bustos, J. Silva-Martinez, F. Maloberti, and E. Sanchez-Sinencio, "A 60-dB dynamic-range CMOS sixth-order 2.4-Hz low-pass filter for medical applications," *IEEE Trans. Circuits Syst.-II*, vol. 47, no. 12, pp. 1391-1398, Dec. 2000.
- [7] A. Gerosa, A. Maniero, and A. Neviani, "A fully integrated Dual-channel Log-Domain Programmable Preamplifier and Filter for an Implantable Cardiac Pacemaker," *IEEE Trans. Circuits Syst.-I*, vol. 51, no. 10, pp. 1916-1925, Oct. 2004.
- [8] A. Becker-Gomez, U. Cilingiroglu, and J. Silva-Martinez, "Compact Sub-Hertz OTA-C Filter Design With Interface-Trap Charge Pump," *IEEE J. Solid-State Circuits*, vol. 38, no. 6, pp. 929-934, June 2003.
- [9] J. Silva-Martinez and S. Solis-Bustos, "Design considerations for high-performance very-low-frequency filters," in *Proc. ISCAS*, vol. 2, 1999, pp. 648-651.
- [10] P. Garde, "Transconductance cancellation for operational amplifiers," *IEEE J. Solid-State Circuits*, vol. SC-12, pp. 310-311, June 1977.
- [11] C. G. Yu and R. L. Geiger, "Very low voltage operational amplifier using floating-gate MOSFETs," in *Proc. ISCAS*, vol. 2, 1993, pp. 1152-1155.
- [12] L. Yin, S. H. K. Embabi, and E. Sanchez-Sinencio, "A floating-gate MOSFET D/A converter," in *Proc. ISCAS*, vol. 1, 1997, pp. 409-412.

— 저 자 소 개 —



임 승 현(학생회원)

2003년 연세대학교 전자공학과
학사졸업.

2005년 연세대학교 전자공학과
석사졸업.

2008년 현재 연세대학교
전자공학과 박사과정.

<주관심분야 : CMOS Image Sensor, 초고속 아날로그 회로 설계>



한 건 희(평생회원)

1990년 연세대학교 전자공학과
학사졸업.

1997년 텍사스 A&M 전자공학과
박사졸업.

1998년 연세대학교 전자공학과
조교수.

2008년 현재 연세대학교 전자공학과 부교수.

<주관심분야 : CMOS Image Sensor, 초고속 아날로그 회로설계, 초저전력 Δ - Σ 모듈레이터>