

논문 2009-46SD-1-11

Frame Memory 축소를 위한 DWT와 Color Conversion 기반의 Overdrive 구조

(A Overdrive Technique Architecture for the Frame Memory Reduction
based on DWT and Color Conversion)

변진수*, 김현섭*, 김도석*, 전은선*, 홍인성*, 김보관**

(Jin-Su Byeon, Hyeon-Seop Kim, Do-Seok Kim, Eun-Seon Jeon, In-Seong Hong, and Bo-Gwan Kim)

요약

최근 LCD가 TV 시장에서 높은 점유율을 보이고 DMB, PMP 그리고 휴대폰과 같이 LCD를 디스플레이로 사용하는 휴대용 기기에서의 동영상 이용이 급격히 늘어나고 있다. LCD의 응답시간을 향상시킬 수 있는 방법의 하나로 Overdrive 기법이 있으나 프레임 메모리의 사용이 필수이기 때문에 메모리의 사용량이 많아진다. 본 논문에서는 Overdrive 기법에 사용되는 프레임 메모리 사용량을 줄이기 위하여 Color Conversion과 수정한 DWT-IDWT를 제안하였다. 이를 통해 화질의 큰 열화가 생기지 않으면서도 프레임 메모리의 사용량을 50%로 줄일 수 있었고, 기존의 방법과 비교하여 메모리 사용량의 약 15%를 더 줄일 수 있었다. 제안한 방법은 Xilinx FPGA로 구현하였고 메모리를 제외하고 2172개의 Slice가 사용되었다.

Abstract

Recently, the LCD has high market share in TV market. The use of motion images in portable devices like DMB, PMP and Cell Phone is growing rapidly. One of the technique of enhancing the LCD's characteristic which is the slow response time. But, the technique requires a lot of memory usage, because of the requirement of frame memory. In this paper, we propose a reduction method for the frame memory that is required for LCD overdrive. Proposed overdrive architecture based on modified DWT-Inverse DWT and Color Conversion. The proposed architecture has a considerable PSNR. At once, it uses 50% of frame memory size and reduces 15 % of frame memory size compare with previous architecture. The design was implemented using Xilinx Vertex4 and had 2172 Slice except Memory.

Keywords : LCD, Discrete Wavelet Transform, Color Conversion, Overdrive technique, Frame Memory Reduction

I. 서론

인간과 시스템의 인터페이스 역할을 담당하는 디스플레이는 크게 CRT(Cathode Ray Tube)와 FPD(Flat Panel Display)로 분류할 수 있다. 이중 평판디스플레이(FPD)는 두께가 얇고 가벼워 이동성의 확보에 용이하

고 소비전력도 낮아 현재 급속한 성장세를 보이며 시장을 확대해 나가고 있다. FPD 중 가장 높은 비중을 차지하고 있는 제품은 LCD로 비약적인 기술발전을 기반으로 세계 FPD시장의 90% 가량을 점유하고 있다^[1].

LCD는 많은 종류의 어플리케이션에 사용되고 있으나, 응답속도가 느리고 해상도가 낮으며 시야각이 넓지 못해 대화면화의 단점을 가지고 있다. LCD의 응답시간을 향상시키기 위해서는 점도가 낮은 액정을 이용하고, 셀 두께를 얇게 하는 방법 등이 효과적이다. 또한, 수평 배향방식의 액정을 이용함으로써 모든 계조에서 고속화한 TV도 개발되었다^[2]. 최근에는 LCD TV의 시장 확대로 TV분야가 LCD의 유망 시장으로 꾸준한 성장을

* 학생회원, ** 정회원, 충남대학교 전자공학과
(Department of Electronics Engineering, Chungnam National University)

※ 본 연구는 시스템반도체 산업진흥센터(IT-SoC)와 반도체설계교육센터(IDEC)의 지원을 받아 수행되었습니다.

접수일자: 2008년10월22일, 수정완료일: 2009년1월8일

보이고 있으며 이와 함께 함께 PMP, DMB, 휴대폰 등 휴대 모바일 기기에도 동영상 기능의 이용율이 급속도로 높아짐에 따라 LCD의 응답속도 향상에 대한 요구가 급속히 높아지고 있다.

본 논문에서는 LCD의 응답속도 향상을 위한 Overdrive 기법의 구조를 연구하였다. Overdrive 기법을 적용하기 위해서는 프레임 메모리(Frame Memory)가 필수적이고, 이는 전체 회로 크기에서 많은 부분을 차지한다. 또한 LCD의 해상도가 증가할수록 프레임 메모리의 크기도 비례하여 증가한다. 따라서 본 연구에서는 Color Space Conversion과 수정한 DWT-IDWT를 이용하여 프레임 메모리를 효율적으로 축소하는 구조를 제안하였으며, 이를 FPGA로 구현하고 실험한 결과를 보인다.

II. 본 론

1. Overdrive 기법

LCD에서 Overdrive 기법은 동영상에서 중간 단계의 응답시간을 줄이기 위한 기술이다. 현재 프레임과 이전 프레임 사이의 영상 데이터 차이를 계산하여 한 프레임 주기에 구동하도록 필요한 시간 내에 LCD 분자의 방향을 변경할 입력 전압을 조정한다.

그림 1은 normal driving method와 DCC (Dynamic Contrast Compensation) overdriving method에 의한 LCD의 광학적 응답 파형을 나타낸다. (a)의 이전 프레임의 gray level(L2, L1)이 현재 프레임의 gray level(L1, L2)로 변화 시 주기 시간이 짧아짐에 따라 요구되는 gray level(L1, L2)의 픽셀 값(Luminance)를 표현하지 못한다. (b)는 (a)와는 다르게 프레임 메모리에 이전 프레임의 픽셀 값을 저장 하였다가 현재 프레임에서의 픽셀 값과 비교하여, 두 값의 차이에 비례하는 값

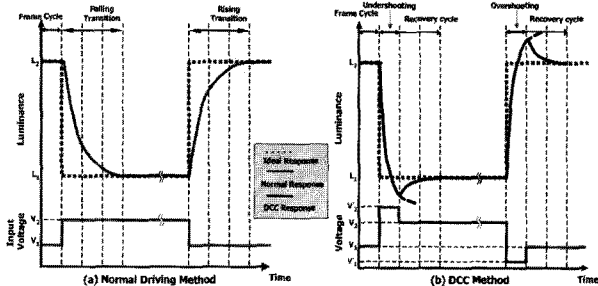


그림 1. LCD의 광학적 응답 파형
Fig. 1. Optical Response of the LCD.

을 더한 값을 출력해줌으로써 움직임이 빠른 동영상을 표현하였을 때 블러링 발생을 방지할 수 있다^[3]. 이 방법은 그림에서 보듯이 실제 luminance를 표현하기 위해 요구되는 전압값인 V1, V2보다 큰 전압값인 V1'와 V2'를 입력하여 주기 시간 내에 빠른 구동을 할 수 있다. 이 방법을 사용시에는 각 gray level마다 다른 gray level로 변하는 응답시간이 다르므로 이전 프레임과 현재 프레임과의 픽셀 데이터를 비교하여 하나의 프레임 내에 LC (liquid crystal)의 분자 방향을 조절할 수 있도록 overdrive 전압과 underbridge 전압을 추가적으로 가해주거나 감해 줄 수 있는 로직이 필요하다^[4].

2. LCD 컨트롤러의 시스템 구조

일반적인 LCD 컨트롤러는 프로세서로부터 신호를 받아 LCD 패널에 맞는 해상도와 그 특성에 맞는 타이밍 컨트롤 신호를 생성해 LCD 패널을 구동한다. 그림 2의 블록도는 시스템에서의 프로세서와 프레임 메모리, LCD 컨트롤러 간의 연결 상태를 보여주고 있다. 그 중 오버드라이브 블록은 현재의 픽셀 값과 프레임 메모리에 저장하고 있는 이전의 픽셀 값을 비교 한 후, 그 비교값을 통해 알아낸 overdrive 전압값을 LCD 패널로

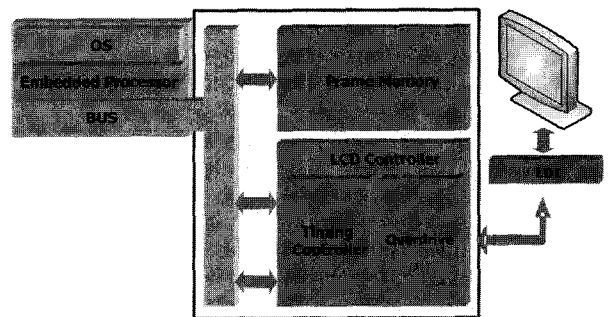


그림 2. LCD 컨트롤러의 전체적인 구조
Fig. 2. Total Structure of LCD Controller.

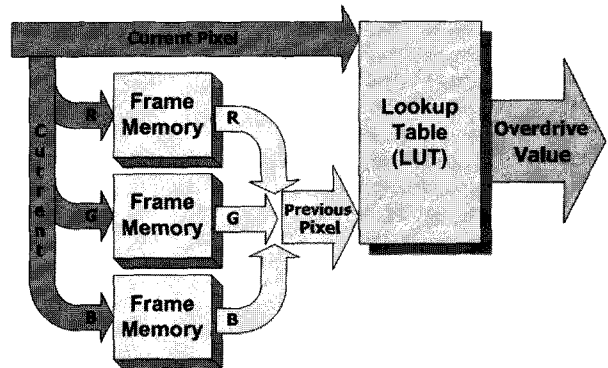


그림 3. 오버드라이브 블록의 전형적인 구조
Fig. 3. Typical Architecture of Overdrive Block.

전달한다.

그림 3은 이전 프레임에 저장하기 위한 프레임 메모리와 overdrive된 픽셀 값을 저장하기 위한 LUT로 구성되는 오버드라이브 블록의 전형적인 구조를 나타낸다. 첫 번째 프레임 데이터가 입력되었을 때 이를 프레임 메모리에 저장하고, LCD에 나타낸다. 다음 프레임 메모리가 입력될 때 프레임 메모리에 저장된 바로 이전 프레임 데이터와 현재 입력되는 데이터의 값을 비교한다. 각 픽셀의 값의 차이에 따라 LCD로 전달되는 overdrive 한 값이 차이가 나는데, 이는 LUT(Look Up Table)형태로 저장하고 있다. 이 값은 LCD의 특성에 따라 달라지게 된다.

3. 제안하는 오버드라이브 블록의 구조

일반적인 오버드라이브 블록에서는 이전 프레임 데이터를 저장하기 위한 프레임 메모리가 필요하다. 이로 인해서 해상도가 증가함에 따라 프레임 메모리의 크기가 배로 증가하는 단점을 가진다. 지난 연구에서 그림 4와 같이 RGB의 영상 데이터를 압축하여 프레임 메모리를 축소하는 연구를 진행하였다.^[5] RGB 데이터를 압축할 경우, RGB 각 세 영역 모두를 압축하기 위한 로직이 3배씩 필요하고, 블록 단위 압축시에 필수불가결한 라인 메모리가 각 영역당 필요하다. 그리하여 프레임 메모리의 축소를 위해 늘어나는 로직과 라인 메모리의 문제점이 있었다. 따라서 본 구현에서는 프레임 메모리를 줄이기 위해 다음의 방법을 사용한다.

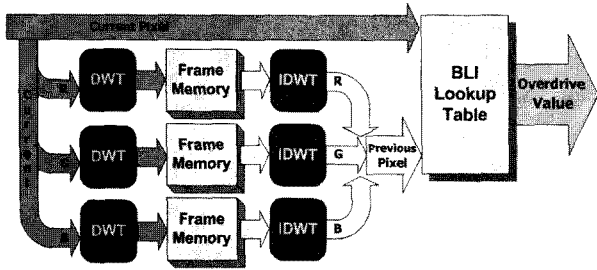


그림 4. RGB 데이터를 사용한 오버드라이브 블록의 구조
Fig. 4. Architecture of Overdrive Block for RGB data.

가. RGB <-> YCbCr 컬러공간 변환

RGB에서 YCbCr로 변환한 픽셀 값은 휘도 신호인 Y가 동영상 정보의 대부분을 가지고 있으며, 색차 신호인 Cb와 Cr는 휘도 성분에 비해 적은 동영상 정보를

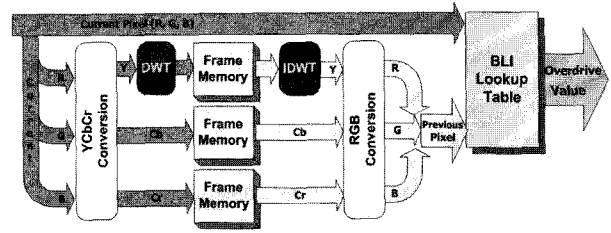


그림 5. 제안하는 오버드라이브의 구조
Fig. 5. Proposed Architecture of Overdrive Block.

가지고 있다. RGB 신호를 사용하는 것보다 원 영상에 가까운 Y 신호를 사용하는 것이 적은 프레임 메모리의 사용이 가능하다^[6]. 따라서 원 영상 정보를 적게 갖고 있는 Cb, Cr 데이터는 2:1 또는 4:1로 샘플링 함으로써 영상 데이터의 크기를 줄일 수 있다. 이 경우 Cb, Cr 영역에는 압축하기 위한 로직과 라인메모리가 사용되지 않는다.

제안한 구조에서는 원본 영상의 화질저하를 줄이고자 YCbCr 4:2:2 표준을 이용하였다. 여기서 Y 데이터만 DWT-IDWT 과정을 거치게 되고 2:1로 샘플링 된 Cb, Cr는 DWT과정 없이 프레임 메모리에 저장한다^[7].

나. Line-based DWT-IDWT

그림 6은 오버드라이브 블록에서 사용한 DWT와 IDWT 방법의 상세 블록도이다. 하드웨어로 구현하기 쉬운 Line-based DWT-IDWT를 사용하였고, 2차원 DWT를 하기 위한 라인 메모리와 라인 메모리 컨트롤러, 프레임 메모리 컨트롤러를 추가적으로 사용한다. 2차원 DWT를 통과한 값을 양자화 또는 padding하기 위한 블록인 GQ(Gaussian Quantization) 그리고 Inverse-

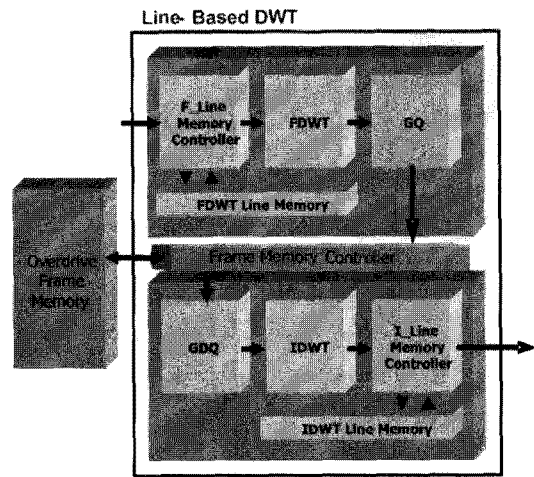


그림 6. DWT와 IDWT(Inverse-DWT) 블록도
Fig. 6. Block Diagram of DWT and IDWT.

GQ를 추가하였다.

Line-based 2차원 DWT의 분할 알고리즘을 영상의 Color Conversion된 Y 데이터에 적용하면, 첫 번째 분할 레벨에서 입력 영상은 행 방향으로 필터링해서 2개의 부 밴드인 L(저주파), H(고주파)로 분할되며, 이 2개의 부 밴드들은 다시 열 방향으로 필터링해서 4개의 부 밴드인 LL(저주파-저주파), LH(저주파-고주파), HL(고주파-저주파), HH(고주파-고주파)로 분할된다. 이 중 LL가 대부분의 영상의 정보를 가지고 있으며, LH, HL, HH의 히스토그램들은 0을 중심으로 분포되는 가우시안 분포 특성을 보인다. 이를 이용하여 LH와 HL부분은 발생 빈도가 높은 데이터는 양자화 단계를 좁게 하고, 발생 빈도가 낮은 데이터는 양자화 단계를 넓게 하여 프레임 메모리에 저장함으로써 영상을 육안으로 인식할 수 없는 데이터 손실로 이전 프레임의 데이터를 축소하였다. HH영역은 영상의 정보를 가장 적게 가지기 때문에 저장하지 않고 IDWT시 대표값 0으로 채워 넣음으로써 압축률을 높일 수 있다.

다. Bi-Linear Interpolation LUT(Look-Up Table)

LUT은 현재 프레임 영상의 픽셀값과 이전 프레임 영상의 픽셀값을 입력 받아 빠른 응답 속도를 위한 Overdrive한 픽셀값을 생성하는 블록이다. 이상적으로 이전 픽셀의 gray level과 현재 픽셀의 gray level에 대한 각 조합의 LUT가 있어야 하나, 이는 크기가 큰 LUT를 요구하게 된다(256×256영상의 경우 각 컬러평면에 대해 256×256×8 bits, 320×240영상의 경우 각 컬러평면에 대해 320×240×8 bits). 따라서 일정 간격의 픽셀 값만 가진 17×17 LUT로부터 Bi-Linear Interpolation을 통해 실제적인 정보를 얻음으로써 LUT의 사이즈를 크게 줄일 수 있다^[8].

III. 실험 결과

다음 표에서 보듯이 해상도가 높아질수록 DWT를 사용함으로써 메모리를 효율적으로 감소시킬 수 있으며 LUT의 크기도 해상도가 높은 곳에서 확실한 데이터의 축소를 가진다. 또한 컬러공간 변환을 사용하지 않았을 경우(왼쪽)에는 전체적으로 약 24%~34%의 메모리 감소만 있는데 사용한 경우(오른쪽) 약 14~24%의 메모리의 감소를 더 얻을 수 있었다. 결론적으로 Color Conversion된 Y 데이터만 DWT-IDWT과정을 거침으

표 1. 해상도에 따른 메모리 사용량 비교 (단위:Byte)
Table 1. The amount of Memory used about resolutions.

Resolution	Traditional architecture	Previous architecture			Proposed architecture		
		LM	FM		LM	FM	
320×240 (QVGA)	230,400	LM	30,720	24.1%	LM	10,240	45.5%
		FM	144,000		FM	115,200	
		Total	174,720		Total	125,440	
640×400 (EGA)	768,000	LM	61,440	29.5%	LM	20,480	47.3%
		FM	480,000		FM	384,000	
		Total	541,440		Total	404,480	
640×480 (VGA)	921,600	LM	61,440	30.8%	LM	20,480	47.7%
		FM	576,000		FM	460,800	
		Total	637,440		Total	481,280	
800×480 (WVGA)	1,152,000	LM	76,800	30.8%	LM	25,600	47.7%
		FM	720,000		FM	576,000	
		Total	796,800		Total	601,600	
800×600 (SVGA)	1,440,000	LM	76,800	32.1%	LM	25,600	48.2%
		FM	900,000		FM	720,000	
		Total	976,800		Total	745,600	
1024×600 (WSVGA)	1,843,200	LM	98,304	32.1%	LM	32,768	48.2%
		FM	1,152,000		FM	921,600	
		Total	1,250,304		Total	954,368	
1024×768 (XGV)	2,339,200	LM	98,304	33.3%	LM	32,768	48.6%
		FM	1,474,560		FM	1,179,648	
		Total	1,572,864		Total	1,212,416	
1280×1024 (SXGV)	3,072,000	LM	122,880	34.3%	LM	40,960	48.9%
		FM	2,457,600		FM	1,966,080	
		Total	2,580,480		Total	2,007,040	

표 2. 각 구조의 메모리 사용량 비교(320×240 영상 기준)

Table 2. The amount of memory used about each Structure.

	Traditional architecture	Previous architecture	Proposed architecture
Line Memory	-	320×8×8bit×6	320×8×8bit×2
Frame Memory	320×240×8bit×3	320×240×(5/8)bit×3	320×240×(1/2)bit×3
F.M축소량	-	37.5%	50%

로써 Cb, Cr의 라인 메모리가 필요하지 않게 되었으며 DWT된 영상의 HH영역을 저장하지 않음과 동시에 2:1로 샘플링 한 Cb, Cr데이터로 인해 프레임 메모리는 전형적 구조에 비해 50%가량이 축소되었다.

2D-DWT 기반의 이전 구조와 비교하여 Color Conversion 블록이 추가된 만큼 로직의 증가가 있으나 DWT-IDWT블록을 Y 데이터만 사용하므로 전체적으로는 이로 인한 로직의 감소 효과를 볼 수 있다.

사용한 영상은 그림 6의 동영상과 그림 7의 정지영상이다. 표 3에서는 제안된 구조를 통해 복원된 영상의 충실도를 측정된 결과이며, 동영상과 정지 영상 모두 PSNR이 40dB 내외로 영상의 열화를 가시적으로 판별



그림 6. QCIF(176x144)
동영상 (foreman, mother-daughter, hall)
Fig. 6. QCIF Standard Moving Picture (foreman, mother-daughter, hall).



그림 7. QVGA(320x240) 정지 영상 (lenna, peppers)
Fig. 7. QVGA Still Cut(lenna, Peppers).

표 3. 원본 영상과 복원 영상의 PSNR (단위:dB)
Table 3. PSNR between the original and decompressive image.

		Min	Max	Mean
Moving Picture	foreman	40.3	45.9	43
		38.7	43.6	39.8
	mother-daughter	45.5	46.1	45.8
		43.5	44.2	43.9
	hall	42.7	43.4	43.1
		40.0	40.6	40.3
Still Cut	lenna	-	-	44.3
		-	-	42.1
	peppers	-	-	42.7
				41.4

*비움영 부분은 HH영역을 저장하는 경우, 음영부분은 본 논문에서 제안한 HH영역을 저장하지 않을 경우의 결과 값임

할 수 없음을 알 수 있다.

그림 8은 그림 6의 세 가지 동영상의 PSNR의 변화 그래프이다. 제안한 방법의 경우 HH영역의 값을 저장하지 않음으로써 프레임 메모리를 반으로 줄일 수 있다. 그로인해 PSNR가 전체적으로 약 2dB가 떨어지지만 가시적으로 판단할 수 없는 기준인 40dB보다는 높은 PSNR을 얻을 수 있다.

제안한 오버드라이브 구조는 Verilog-HDL로 모델링 하여 Xilinx FPGA Virtex4 Lx60(xc4vlx60)으로 구현하였다. 그림과 같이 240X320 LCD에서 동작을 하였다. FPGA에 구현된 오버드라이브 블록을 포함한 전체 하드웨어는 프레임 메모리와 내부 라인 메모리를 제외하고 제어블록과 기능블록은 모두 포함하여 2172 slices 크기를 가진다.

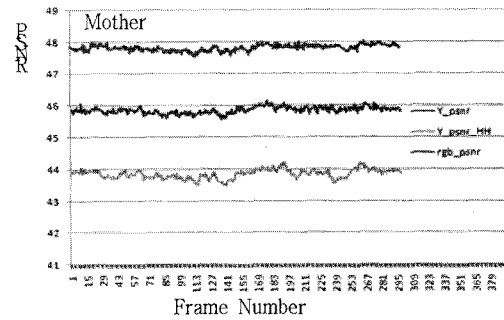
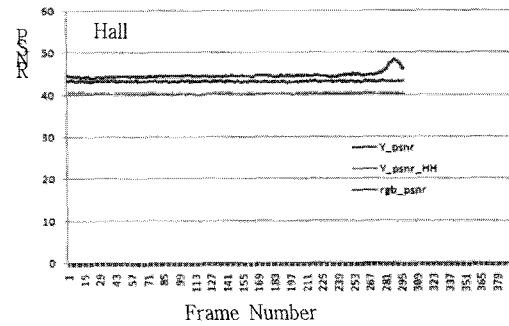
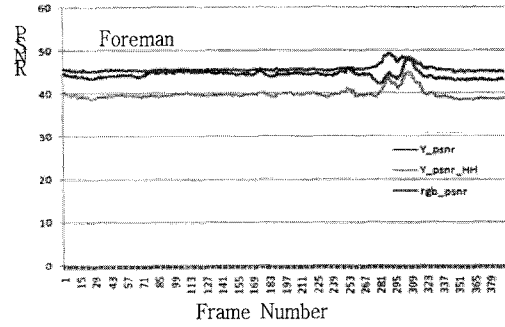


그림 8. 동영상에서의 PSNR 변화
(상 : Foreman 중 : Hall 하 : mother-daughter)
Fig. 8. The variation of PSNR on Moving Pictures.

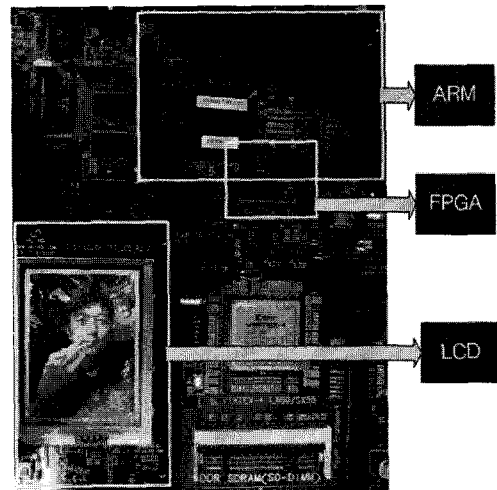


그림 9. FPGA 구현 후 동작 모습
Fig. 9. A Snapshot after FPGA implementation.

IV. 결 론

본 논문에서 Color Conversion과 수정된 DWT-IDWT를 이용하여 원본 영상의 열화를 최소화 하면서 프레임 메모리를 축소시킬 수 있음을 보였다. 이를 통해 LCD의 응답속도를 향상시킬 수 있는 오버드라이브 기법을 적용함에 있어 메모리의 크기를 줄이고 비용을 절감 할 수 있는 효과를 기대할 수 있을 것이다.

본 알고리즘을 Chartered 0.18 μ m 공정으로 합성한 결과 총 Gate 수는 1,583,323이고 그 중 프레임 메모리는 약 1,200,000 라인 메모리는 약 140,000이다. 메모리 기준은 320 \times 240 영상 기준이다. 향후 이를 칩으로 디자인 하여 테스트할 예정이다.

참 고 문 헌

- [1] 배찬권, “정보통신산업동향, 정보통신기기 편 : LCD”, 정보통신정책연구원
- [2] 조성선, 이윤철 “LCD 최근 연구 동향” 한국전자산업진흥회
- [3] K. Kawabe, T. Furuhashi, Y. Tanaka, “New TFT-LCD Driving Method For Improved Moving Picture Quality”, SID, p998-1001, 2001.
- [4] T. Furuhashi, K. Kawabe, J. Hirakata, Y. Tanaka, and T. Sato “High-Quality TFT-LCD System for Moving Pictures,” SID, p1284-1287, 2002.
- [5] Ik-Jae Chun, Hyeok Mun, Jeong-Hoon Sung, Sun-Young Park, and Bo-Gwan Kim, “Overdrive Frame Memory Reduction Using a Fast Discrete Wavelet Transform” ITS-CSCC VOLUMEIII p161-164 2006.
- [6] Sung-Sik Yoon, June-Seok Bae, Hak-Lim Ko, Nho-Kyung Park, Dai-Tchul Moon, “A Study on the Design of Programmable Color Space Converter”, 한국통신학회 학술대회논문집 제15권 3호, p.621, 1996.
- [7] 변진수, 김현섭, 김도석, 김보관, “Frame Memory 축소를 위한 DWT와 Color Conversion 기반의 Overdrive 구조” 대한전자공학회 하계종합학술대회 P997-998, 2008.
- [8] R. McCartney, N. Balram, “Advanced LCD timing controller IC with memory-assisted response time compensation” VLSI Design Proceedings. p.1009, 2004.

저 자 소 개



변진수(학생회원)
2008년 충남대학교 전자공학과
학사 졸업.
2008년~현재 충남대학교
전자공학과 석사과정.
<주관심분야 : 디지털 회로 설계,
SoC, 영상처리 >



김현섭(학생회원)
2008년 충남대학교 전자공학과
학사 졸업.
2008년~현재 충남대학교
전자공학과 석사과정.
<주관심분야 : 디지털 회로 설계,
SoC, 영상처리>



김도석(학생회원)
2008년 충남대학교 전자공학과
학사 졸업.
2008년~현재 충남대학교
전자공학과 석사과정.
<주관심분야 : 디지털 회로 설계,
SoC, 영상처리>



전은선(학생회원)
2007년 충남대학교 전자공학과
학사 졸업.
2007년~현재 충남대학교
전자공학과 석사과정.
<주관심분야 : 디지털 회로 설계,
SoC, 영상처리>



홍인성(학생회원)
1997년 충남대학교 전자공학과
학사 졸업.
1999년 충남대학교 전자공학과
석사 졸업.
2007년~현재 충남대학교
전자공학과 박사과정.
<주관심분야 : 디지털 회로 설계, SoC, 영상처
리>



김보관(정회원)
1976년 서울대학교 전자공학과
학사 졸업.
1978년 KAIST 전기전자공학과
석사 졸업.
1980년~1991년 금오공대 조교수.
1989년 Univ. of Wisconsin 전기
및 컴퓨터공학박사 졸업.
1991년~현재 충남대학교 전자공학과 정교수.
<주관심분야 : CAD 및 VLSI, 통신 VLSI 시스템,
하드웨어/소프트웨어 co-design>