

논문 2009-46SD-1-6

심장박동 조절장치를 위한 1V 아날로그 CMOS 전단 처리기

(A 1V Analog CMOS Front-End for Cardiac Pacemaker Applications)

채 영 철*, 이 정 환*, 이 인 희*, 한 건 희**

(Youngcheol Chae, Jeongwhan Lee, Inhee Lee and Gunhee Han)

요 약

심장박동 조절장치를 위한 저전압 저전력 전단 처리기를 제안한다. 제안된 회로는 80 Hz에서 120 Hz의 대역폭을 가지는 4차의 스위치드 커패시터 필터와 0 dB에서 24 dB까지 0.094 dB 간격으로 전압이득의 조절이 가능한 전압증폭기를 구현하였다. 낮은 전압에서 동작하고, 전력소모를 극소화 하기위해서 인버터 기반의 스위치드 커패시터 회로를 사용하였으며, 인버터가 가지는 작은 전압이득을 보상하기 위해서 상호상관 기법을 사용하였다. 제안된 회로는 0.35- μm CMOS 공정을 이용하여 구현되었으며, 5kHz의 샘플링 주파수에서 80-dB의 SFDR을 가진다. 이때 전력소모는 1 V의 전원전압에서 330 nW에 불과하다.

Abstract

A low-voltage, low-power analog CMOS front-end for a cardiac pacemaker is proposed. The circuits include a 4th order switched-capacitor (SC) filter with a passband of 80-120 Hz and a SC variable gain amplifier whose control range is from 0 to 24-dB with 0.094 dB step. An inverter-based switched-capacitor circuit technique is used for low-voltage operation and ultra-low power consumption, and correlated double sampling technique is used for reducing the finite gain effect of an inverter. The proposed circuit has been designed in a 0.35- μm CMOS process, and it achieves 80-dB SFDR at 5-kHz sampling frequency. The power consumption is only 330 nW at 1-V power supply.

Keywords : Cardiac pacemaker, analog CMOS front-end, Switched-capacitor filter, Variable gain amplifier, Correlated double sampling .

I. 서 론

체내 이식형 심장 박동 조절장치는 심장기능 이상으로 인한 부정맥이 발생할 경우, 이를 감지하여 심장에 전기적인 자극을 가해 심장기능을 되돌리는 역할을 하는 의료기기이다^[1]. 이 장치는 체내에 이식되기 때문에 배터리 교체 없이 오랫동안 사용이 가능해야 하므로 저전력 회로설계 기법이 요구된다.

그림 1은 일반적인 체내 이식형 심장 박동기의 감지부 (sensing stage)의 블록도를 보여준다^[1~2]. 심장에 있는 전극 (electrode)으로부터 신호를 받아들이는 계측증

폭기 (instrument amplifier)와 의미있는 생체신호를 걸러내는 대역통과필터 (bandpass filter), 그리고 이 신호를 증폭시켜서 원하는 크기로 만들어주는 가변 전압 증폭기 (variable gain amplifier: VGA), 이 아날로그 신호를 디지털 형태로 바꾸어 주는 아날로그 디지털 변환기 (analog-to-digital converter: ADC)와 이 신호를 통해 디지털 신호를 생성하고 진단하는 디지털 신호 처리기 (digital signal processor) 로 구성되어 있다. 저전압, 저전력 아날로그 디지털 변환기에 대하여 많은 논문이

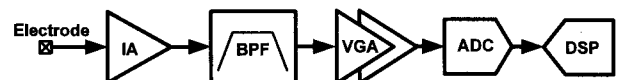


그림 1. 심장박동 조절장치 감지부.
Fig. 1. Sensing stage of cardiac pacemaker.

* 학생회원, ** 평생회원, 연세대학교 전기·전자공학과 (Department of Electrical and Electronic Eng., Yonsei University)
접수일자: 2008년12월10일, 수정완료일: 2009년1월8일

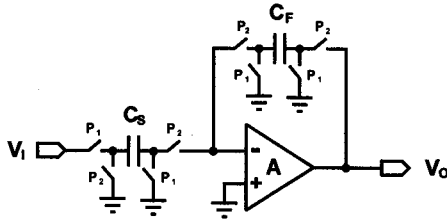


그림 2. 일반적인 스위치드 커패시터 증폭기.
Fig. 2. Typical switched capacitor amplifier.

보고되고 있지만, 그 이외의 블록에 대하여는 일부분만 보고되거나, 필요한 성능에 못 미치거나^[3], 혹은 1.8V 이하의 낮은 전원전압에서는 구현이 되지 못하였다^[4-5]. 따라서 심장박동 조절장치를 위한 저전압 저전력 전단 처리기에 대한 연구가 필요하다^[3-6].

제안된 회로는 인버터 기반의 스위치드 커패시터 회로를 이용하여 전력소모를 최소화하고, 낮은 전압에서도 동작 가능하도록 설계되었다. 인버터를 사용할 경우 유한한 전압이득이 문제가 되는데, 이를 해결하기 위해 상호상관 (correlated double sampling: CDS) 기법을 사용하였다. 필터는 4차의 스위치드 커패시터 필터로 구현되었으며, 커패시터의 변화율을 최소화하기 위해서 ladder 구조로 설계되었다. 가변전압 증폭기는 2단 구조로 구성되어 있고, 0-24 dB의 조절 범위를 가진다. 이때 전압이득은 0.094 dB 단위로 8-bit의 조절이 가능하다. 이는 체내 이식형 심장 박동기에 사용되기에 충분하다.

II. 본 론

1. 1. CDS를 수행하는 스위치드 커패시터 회로

일반적인 스위치드 커패시터 증폭기는 그림 2와 같이 구현될 수 있다. 이때 출력 값, V_o 는 다음과 같은 수식으로 표현된다.

$$V_o = \frac{C_S}{C_F} V_I + e \quad (1)$$

이때 V_I 는 입력 신호이고, e 는 유한한 증폭기의 전압이득으로 인한 오차이다. 오차 e 는 다음과 같이 표현될 수 있다.

$$e = -\frac{1}{A} \left(1 + \frac{C_S}{C_F} \right) V_o \quad (2)$$

오차는 증폭기의 전압이득 A 에 반비례한다. 이러한

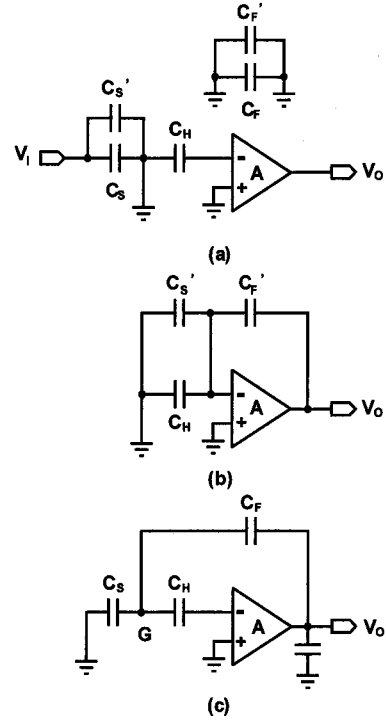


그림 3. CDS 스위치드 커패시터 증폭기 (a) Sampling (b) Pre-amplifying (c) Amplifying.
Fig. 3. CDS SC Amplifier (a) Sampling (b) Pre-amplifying (c) Amplifying.

오차는 회로의 선형성에 영향을 미친다. 입출력 신호가 충분히 천천히 움직일 경우, 유한한 전압이득을 가지는 증폭기의 특성을 향상시키는 효과적인 방법으로 CDS 기법을 사용할 수 있다^[7-8]. 그림 3은 3-phase로 이루어진 증폭기의 회로도이다^[7]. CDS 증폭기에서는 실제 증폭이 이뤄지기 전에 preamplifying 단계를 거치는데 이때 커패시터 C_H 에 증폭을 하였을 때 발생하는 가상접지의 오차를 저장하게 된다. 그리고 실제 증폭을 하는 동안 이 값을 저장하여 노드 G 를 향상된 가상접지 노드로 만드는 역할을 하게 된다. CDS 증폭기의 경우 증폭기의 오차는 입출력의 변화율이 작다면 다음과 같이 근사화 될 수 있다.

$$e \approx -\frac{1}{A^2} \left(1 + \frac{C_S}{C_F} \right) \left(\left(1 + \frac{C_S + C_H}{C_F} \right) V_o(n) - \left(\frac{C_H}{C_F} \right) V_o(n-1) \right) \quad (3)$$

오차는 증폭기의 전압이득의 제곱에 반비례함을 확인할 수가 있다. 따라서 작은 전압이득을 가지는 증폭기를 사용할 때 유용하게 사용될 수 있다. 이러한 CDS 기법을 적분기에도 적용하여 사용할 수 있으며^[8], 그림

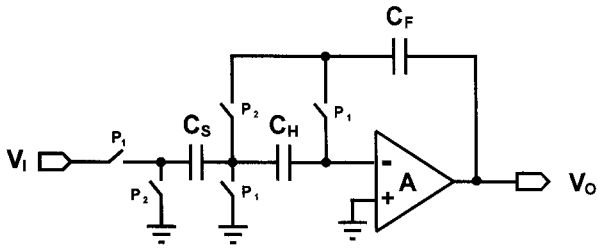


그림 4. CDS 적분기.
Fig. 4. CDS Integrator.

4는 2-phase로 이루어진 CDS 적분기의 회로도를 보여 준다.

Operational amplifier (Op-Amp)는 일반적인 스위치드 커패시터 회로의 핵심적인 구성 블록이다. Op-Amp의 전압이득은 회로의 정확도를 결정한다. 하지만 저전압 환경에서 높은 전압이득을 가지도록 Op-Amp를 설계하는 것은 쉽지 않은 일이다. CDS기법을 이용해 유한한 전압이득을 가지는 증폭기의 오차를 줄이는 것이 가능하므로, Op-Amp에서 발생하는 전력 소모를 줄이고 낮은 전압에서 동작이 가능하도록 Op-Amp를 인버터(inverter)로 대체하는 것이 가능하다^[9]. 또한 커패시터 C_H는 인버터에서 발생하는 오프셋의 변화율을 증폭기의 전압 이득만 큼 줄어들게 보이는 효과도 있어서 CDS 기법과 인버터를 동시에 사용하는 것은 저전압 환경에서 매우 효과적이다.

2. 회로 설계

가. 4차 스위치드 커패시터 밴드패스 필터 (BPF)

그림 5는 제안된 필터는 butterworth bandpass ladder 구조를 기반으로 한다. 이때 샘플링 주파수는 5 kHz로 설정되었다. 스위치드 커패시터 필터에서 전력 소모를 최소화하기 위해서는 필터 계수간의 비율을 최소로 하는 것이 필요로 한다. 표 1은 필터 전력 소모를 최소화하기 위해 최적화된 계수를 보여준다. 설계된 필

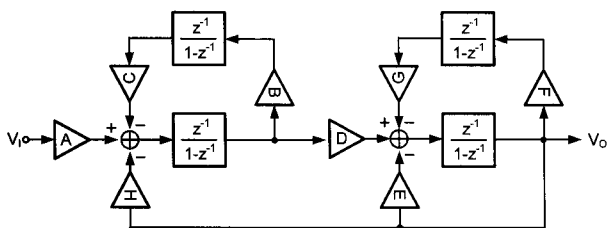


그림 5. 4차 밴드패스 필터.
Fig. 5. 4th order bandpass filter.

표 1. 필터의 계수비.

Table 1. Coefficient ratio of the filter.

Coefficient	Ratio
Feedback	13
A	2
B	1.3
C	2
D	1
E	1.6
F	2.1
G	1.3
H	1.1

터에서의 최대 계수 비는 13에 불과하다. 이를 통해 제안된 필터의 전달함수는 다음과 같이 계산된다.

$$H(z) = \frac{ADz^{-2}(1 - 2z^{-1} + z^{-2})}{1 - \alpha + \beta - \gamma + \delta} \tag{4}$$

$$\alpha = (E + 4)z^{-1} \tag{5}$$

$$\beta = (3E + FG + BC + DH + 6)z^{-2} \tag{6}$$

$$\gamma = (3E + 2FG + BCE + 2BC + 2DH + 4)z^{-3} \tag{7}$$

$$\delta = (E + FG + BC + BCE + BCFG + DH + 1)z^{-4} \tag{8}$$

그림 6은 제안된 스위치드 커패시터 밴드패스 필터의 회로도를 보여 준다. 적분기는 인버터를 이용한 CDS 적분기로 구성하였고, 전원전압에 의한 노이즈 영향을 줄이기 위해서 의사차동 (pseudo-differential) 구조로 설계되었다. 증폭기의 공통모드 (common-mode)를 안정화시키기 위해 전하 영역 (charge domain) 공통모드 피드백 회로를 이용하였다^[9].

제안된 필터에 사용된 능동 (active) 블록은 인버터 8 개에 불과하다. 이때 사용된 인버터는 각 단의 loading을 고려해 설계되었다. 설계된 인버터는 1 V 전원전압에서 35 dB의 전압이득을 가지고 있으며, GB는 25 kHz 이상이 되도록 설계되었다. 전체 필터에 사용된 커패시터는 125 pF이다.

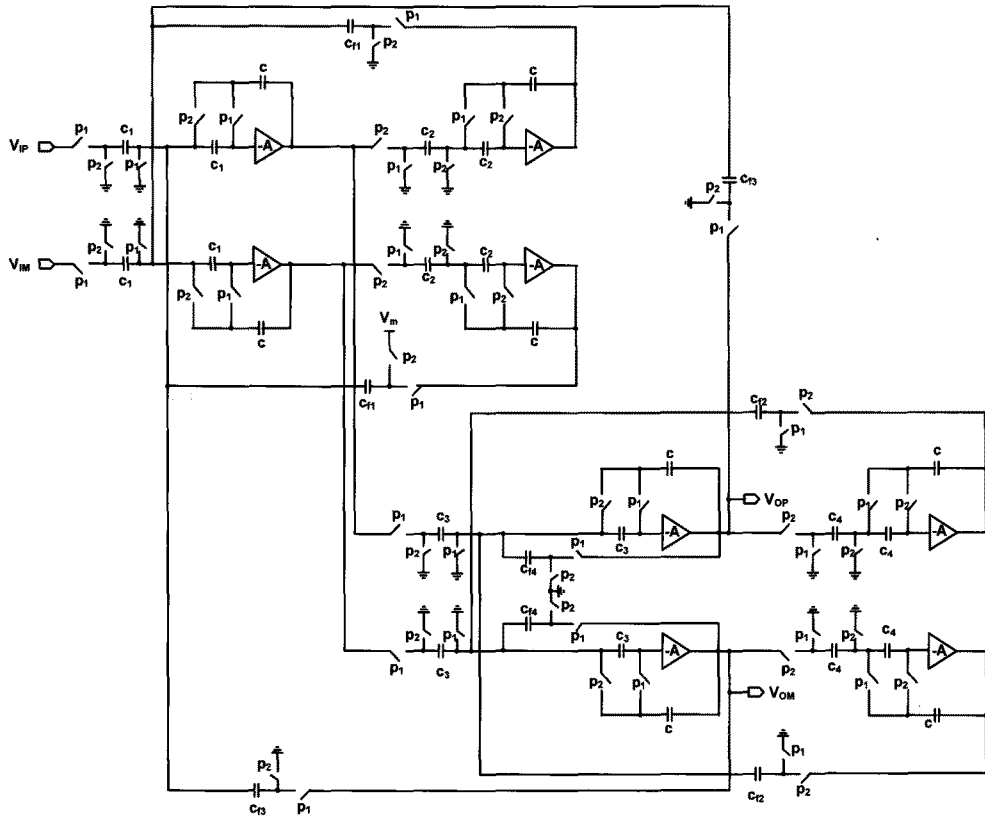


그림 6. 밴드패스 필터 회로도.
Fig. 6. Bandpass filter schematic.

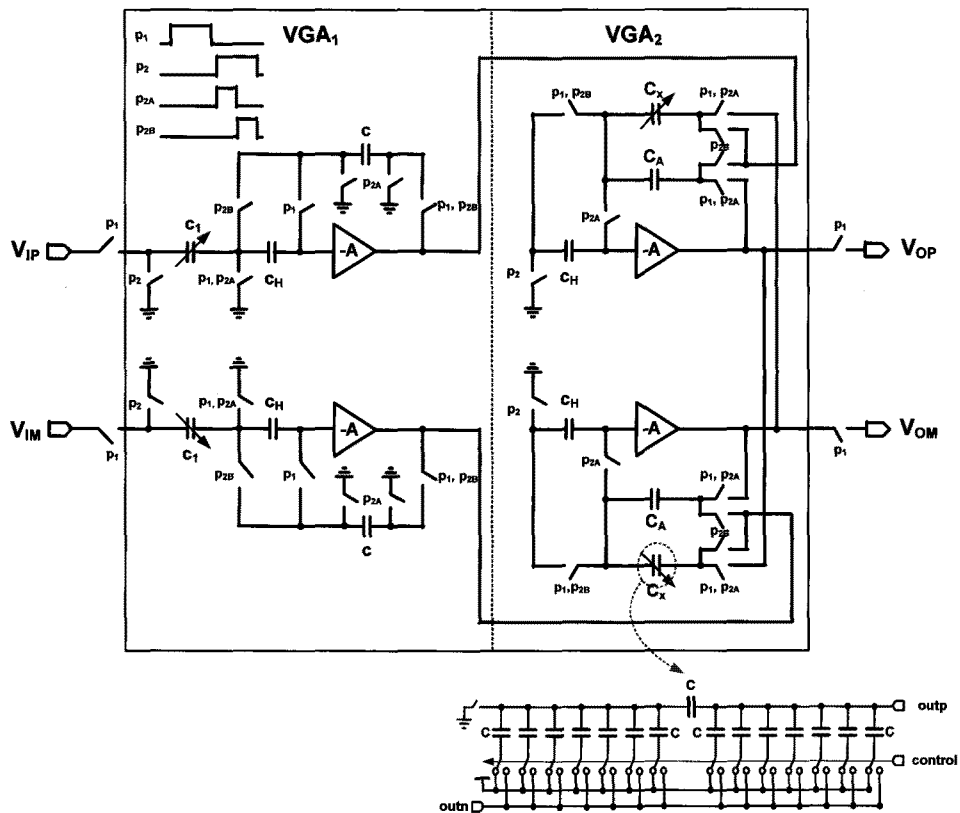


그림 7. VGA 회로도.
Fig. 7. VGA schematic.

나. 전압이득 조절 증폭기 (VGA)

그림 7은 제안된 전압이득 조절 증폭기 (VGA)의 회로도를 보여 준다. 전체 VGA는 2단 (2-stage) 구조로 되어 있다. 첫째 단 (VGA₁)은 coarse 이득 조절을 담당하고, 둘째 단 (VGA₂)은 fine 이득 조절을 담당하며, 각각 2 bit 와 6 bit 조절이 가능하다. 첫째 단 증폭기는 0에서 18 dB 까지 6 dB 간격으로 조절하고, 둘째 단 증폭기는 0에서 6 dB 까지 0.094 dB 간격으로 조절한다. VGA₁은 C₁ 값을 1, 2, 4, 8 배 조절해서 전압이득을 손쉽게 구현할 수 있다. 이에 비해서 VGA₂는 세밀한 간격으로 전압이득을 기하급수적으로 (exponential) 조절이 가능해야 하는데, 이러한 특성은 다음과 같이 근사화된 수식을 이용해 구현이 가능하다^[10].

$$e^{2x} \approx \frac{1+x}{1-x} \tag{9}$$

샘플 시점에서 커패시터 C_a와 C_x에 VGA₁의 출력 신호를 샘플링하고, 증폭 phase에서는 VGA₂의 출력에 C_a와 C_x를 연결한다. 이때 C_a는 negative 피드백 경로를 형성하고, 이와는 반대로 C_x는 positive 피드백을 형성한다. 그러면 VGA₂의 전압이득은 다음과 같이 커패시터의 비로 표현될 수 있다.

$$Gain = \frac{C_a + C_x}{C_a - C_x} = \frac{1 + C_x/C_a}{1 - C_x/C_a} \tag{10}$$

커패시터 C_a를 고정시키고, C_x를 변화시키면 전압이득의 조절이 가능하다. 이를 위해서 C_x는 array 형태로 구현하였고 중간에 직렬 커패시터를 삽입해 조절범위를 넓혔으며, 이를 통해 상위 3 bit과 하위 3 bit의 값에 따라서 커패시터 값이 결정되도록 하였다.

제안된 VGA 회로는 3-phase로 구동되 앞단의 필터와 뒷단의 ADC와 연결을 고려해 p₂ phase를 절반으로 분할한 p_{2A}와 p_{2B} phase를 사용하였다. 기본 CDS 스위치드 커패시터 증폭기에서는 각각 두개의 샘플링 커패시터와 홀딩 커패시터가 필요로 한데, 이를 줄이기 위해서 이전 증폭 phase에서 사용된 커패시터를 재사용해 C_H를 charging 하였다. 이렇게 이전 신호를 재사용할 경우 phase가 복잡해지고 기본구조에 비해 오차가 커지는 단점이 있으나 사용되는 커패시터의 개수를 줄일 수 있다. 전체 VGA에서 사용된 능동 블록은 인버터 4개이며, 이때 사용된 인버터는 1V 전원전압에서 40 dB의 전압이득과 0.9 V의 출력 범위를 가진다.

III. 결 과

심장박동 조절 장치를 위한 제안된 전단 처리기는 0.35μm CMOS 공정을 이용하여 제작되었다. 그림 8은 설계한 전단처리기의 레이아웃으로 칩 core의 면적은 1mm×2.5mm 이다. 그림 9는 제안된 밴드패스 필터의 주파수 특성에 대한 포스트-레이아웃 시뮬레이션 결과를 보여준다. 제안된 필터는 약 50dB/decade의 감쇄율을 가지며, 약 10dB의 통과대역 이득을 가진다. 샘플링 주파수가 5kHz일 때 통과대역 주파수는 80-120 Hz로 심장 신호를 처리하는데 적당하다.

그림 10은 통과대역 이내의 신호인 101Hz 정현파 입력을 인가하였을 경우 출력 스펙트럼을 보여준다. 시뮬레이션을 통해 80dB의 SFDR (Spurious Free Dynamic Range)을 가짐을 확인 할 수 있었다. 이는 심장 박동 조절장치에 사용하기에 충분한 성능이다. 제안된 필터의 전력소모는 1V 전원전압에서 200 nW에 불과하다.

그림 11은 전압이득 조절장치의 이득의 선형성을 이 상적인 수치와 함께 나타낸 그래프이다. 시뮬레이션

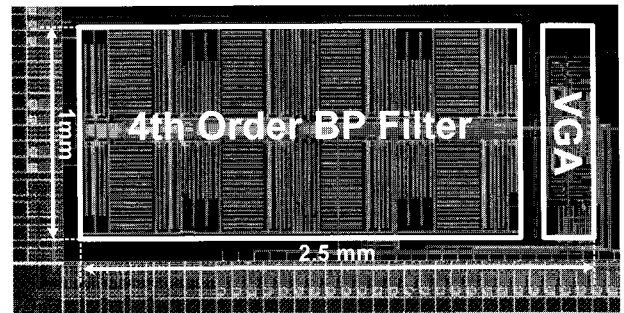


그림 8. 제안된 전단 처리기의 칩 레이아웃
Fig. 8. Chip layout of the proposed CMOS front-end.

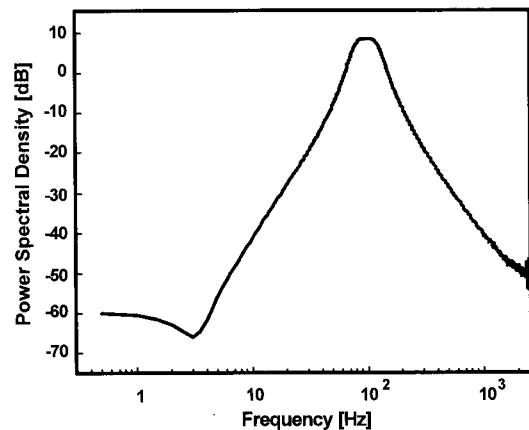


그림 9. 제안된 BPF의 주파수 응답.
Fig. 9. Frequency response of the proposed BPF.

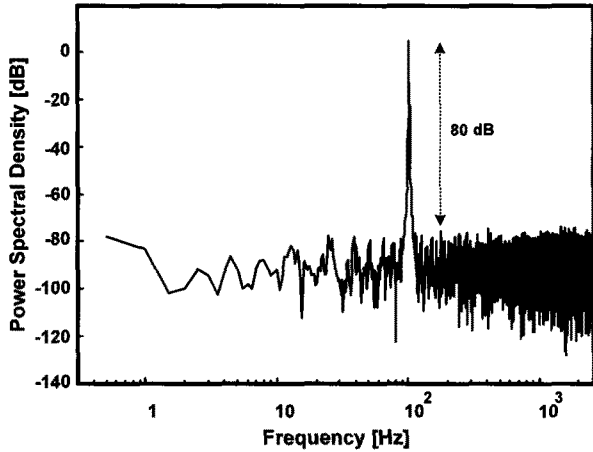


그림 10. 정현파 입력에 따른 BPF 출력 스펙트럼.
Fig. 10. BPF output spectrum with sinusoidal input signal.

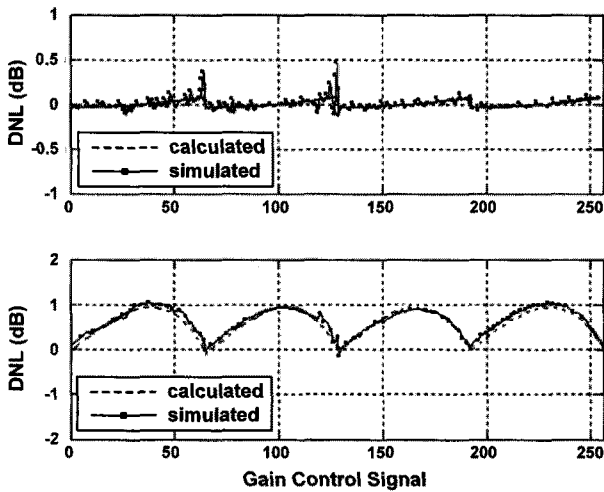


그림 11. VGA의 이득 선형성.
Fig. 11. Gain linearity of VGA.

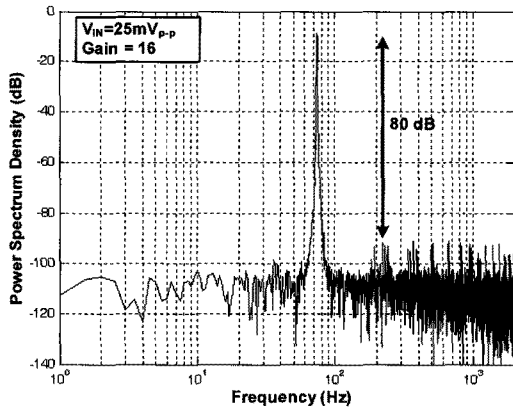


그림 12. 정현파 입력에 따른 VGA 출력 스펙트럼.
Fig. 12. VGA output spectrum with sinusoidal input signal.

표 2. 이전 논문과의 성능 비교
Table 2. Performance comparison with prior arts.

	[4]	[5]	This work
Process	0.35 μ m CMOS		
Supply	1.8 V	1 V	1 V
Filter/Amp Type	CT / CT	SC / CT	SC / SC
Fs	NA	1 kHz	5 kHz
-3dB BW	60-95 Hz	8-30 Hz	80-120 Hz
Programmable Gain	20 dB	NA	24 dB
SNDR	37.3 dB	36.1 dB	> 50 dB
SFDR	NA	50 dB	80 dB
Power	1 μ W	1.1 μ W	0.33 μ W

을 통해서 확인된 최대 DNL은 0.47 LSB이고, 최대 INL 은 1.04 LSB 이다. 이는 기존에 제시된 회로에 비하여 매우 향상된 수치이다^[4, 10]. 그림 12는 정현파 입력에 따른 출력 스펙트럼을 확인한 결과로 입력 신호가 25 mV_{p-p} 이고 16 배 gain인 경우 VGA는 80 dB의 SFDR 을 가지는 것을 확인할 수 있었다. 제안된 VGA의 전력소모는 130 nW에 불과하다. 표 2는 제안된 회로와 기존의 논문에 보고된 회로들과 비교한 결과이다. 제안된 회로는 다른 회로들에 비해서 저전압 동작이 가능하며 전력 소모가 작고, 높은 선형성을 유지하는 것을 확인할 수 있었다.

IV. 결 론

본 논문에서는 심장 박동기에 사용하기 위한 저전압 저전력 전단처리기를 제안하였다. 전력 소모를 극소화하고 낮은 전원전압에서도 상대적으로 높은 동적범위를 구현하기 위해서 인버터 기반의 스위치드 커패시터 회로를 이용하였고 인버터의 낮은 전압이득을 보상하기 위해서 CDS 기법을 사용하였다. 제안된 기법을 이용하여 4차 BPF 와 2단 VGA를 구현하였으며, 기존의 보고된 회로에 비해 현저히 낮은 전력소모와 높은 선형성을 구현할 수 있었다.

참고 문헌

- [1] J. G. Webster, Design of cardiac pacemakers. Piscataway, NJ: IEEE Press, 1995.
- [2] L.S.Y. Wong, S. Hossain, A. Ta, J. Edvinsson, D.H. Rivas, H. Naas, "A very low-power CMOS mixed-signal IC for implantable pacemaker applications," *IEEE J. Solid-State-Circuits*, vol. 39, no. 12, pp. 2446-2456, Dec. 2004.
- [3] V.S.L. Cheung, H.C. Luong, "A 0.9 V 0.5 μ W CMOS single switched opamp signal conditioning system for pacemaker applications," in Proc. *IEEE Int. Solid-State Circuits Conf.*, vol. 1, San Francisco, CA, Feb, 2003, pp. 408-409.
- [4] A. Gerosa, A. Maniero, and A. Neviani, "A fully integrated two-channel A/D interface for the acquisition of cardiac signals in implantable pacemakers," *IEEE J. Solid-State Circuits*, vol. 39, no. 7, pp. 1083-1093, Jul. 2004.
- [5] L. Lantola, A. Mozzi, A. Neviani and A. Baschiroto, "A 1-uA front-end for pacemaker atrial sensing channels with early sensing capability," *IEEE Trans. Circuits Syst. II*, vol. 50, no. 8, pp. 397-403, Aug. 2003.
- [6] K. Lasanen and J. Kostamovaara, "A 1-V analog CMOS front-end for detecting QRS complexes in a cardiac signal," *IEEE Trans. Circuits Syst.* vol. 52, no. 12, pp. 2584-2594, Dec. 2005.
- [7] J. Li and U.-K. Moon, "A 1.8V 67mW 10-bit 100-MSs Pipelined ADC using Time-Shifted CDS Technique," *IEEE J. Solid-State Circuits*, vol. 39, no. 9, pp. 1468-1476, Sep. 2004.
- [8] K. Nagaraj, T. R. Viswanathan, K. Singhal, and J. Vlach, "Switched-capacitor circuits with reduced sensitivity to amplifier gain" *IEEE Trans. Circuits Syst.*, vol. CAS-34, no. 5, p.571-574, 1987.
- [9] Y. Chae, I. Lee, G. Han, "A 0.7 V 36 μ W 85 dB DR Audio $\Delta\Sigma$ Modulator Using Class-C Inverter," in Proc. *IEEE Int. Solid-State Circuits Conf.*, vol. 1, San Francisco, CA, Feb, 2008, pp. 490-491.
- [10] Y. Fujimoto, H. Tani, M. Maruyama, H. Akada, H. Ogawa, and M. Miyamoto, "A low-power switched capacitor variable gain amplifier," *IEEE J. Solid-State Circuits*, vol. 39, no. 7, pp. 1213-1216, 2004.

저자 소개



채 영 철(학생회원)

2003년 연세대학교 전자공학과
학사졸업.

2005년 연세대학교 전자공학과
석사졸업.

2009년 현재 연세대학교
전자공학과 박사과정.

<주관심분야 : 저전력 $\Delta\Sigma$ ADC, CMOS image sensor>



이 정 환(학생회원)

2006년 연세대학교 전자공학과
학사졸업.

2009년 현재 연세대학교
전자공학과 박사과정.

<주관심분야 : 저전력 고속 ADC,
CMOS image sensor>



이 인 희(학생회원)

2006년 연세대학교 전자공학과
학사졸업.

2008년 연세대학교 전자공학과
석사졸업.

<주관심분야 : 저전력 $\Delta\Sigma$ ADC>



한 건 희(평생회원)

1990년 연세대학교 전자공학과
학사 졸업.

1997년 Texas A&M University
전자공학과 박사졸업.

2009년 현재 연세대학교 전기
전자공학과 부교수.

<주관심분야 : CMOS Image Sensor, 고속 아날
로그 회로, 저전력 $\Delta\Sigma$ ADC>