

논문 2009-46SD-1-1

고전압 집적회로를 위한 래치업-프리 구조의 HBM 12kV ESD 보호회로

(A 12-kV HBM ESD Power Clamp Circuit with Latchup-Free Design for High-Voltage Integrated Circuits)

박재영*, 송종규*, 장창수*, 김산홍*, 정원영*, 김택수*

(Jae-Young Park, Jong-Kyu Song, Chang-Soo Jang, San-Hong Kim, Won-Young Jung, and
Taek-Soo Kim)

요약

고전압 소자에서 스냅백 이후의 유지 전압은 구동전압에 비해 매우 작아서 고전압 MOSFET이 ESD(ElectroStatic Discharge) 파워클램프로 바로 사용될 경우 래치업 문제를 일으킬 수 있다. 본 연구에서는 스택 바이폴라 소자를 이용하여 래치업 문제가 일어나지 않는 구조를 제안하였다. 제안된 구조에서는 유지 전압이 구동전압 보다 높으므로 래치업 문제가 발생하지 않으면서, 기존의 다이오드를 사용한 고전압 파워클램프에 비해 면적이 작으며, 내구성 측면에서 800% 성능향상이 있게 되었다. 제안된 구조는 0.35 μm 60V BCD(Bipolar-CMOS-DMOS) 공정을 사용하여 제작되었으며, TLP(Transmission Line Pulse) 장비로 웨이퍼-레벨 측정을 하였다.

Abstract

The holding voltage of high-voltage devices under the snapback breakdown condition has been known to be much smaller than the operating voltage. Such characteristics cause high-voltage ICs to be susceptible to the transient latch-up failure in the practical system applications, especially when these devices are used as the ESD(ElectroStatic Discharge) power clamp circuit. A new latchup-free design of the ESD power clamp circuit with stacked-bipolar devices is proposed and successfully verified in a 0.35 μm 3.3V/60V BCD(Bipolar-CMOS-DMOS) process to achieve the desired ESD level. The total holding voltage of the stacked-bipolar devices in the snapback breakdown condition can be larger than the operating voltage. Proposed power clamp operates safely because of the high holding voltage. From the measurement on the devices fabricated using a 0.35 μm BCD Process, it was observed that the proposed ESD power clamp can provide 800% higher ESD robustness per silicon area as compared to the conventional clamps with a high-voltage diode.

Keywords : ESD(ElectroStatic Discharge), power clamp, transient latch-up, stacked-bipolar devices

I. 서론

집적회로에서 ESD(ElectroStatic Discharge)의 중요성은 점점 커지고 있지만 그 문제 해결은 점점 더 어려워

워지고 있다^[1-2]. 특히 고전압 집적회로의 경우 구동전압이 높고, 자동차 등 정전기에 취약한 환경에서 동작하기 때문에 일반 로직 집적회로에 비해 더 높은 ESD 보호 레벨이 요구되고, 이에 따라 ESD 보호 회로 설계는 더욱 어렵게 된다^[3-5]. 적용 제품에 따라 조금씩 차이가 있지만 자동차용 반도체 제품에서 요구하는 ESD 보호 레벨은 HBM(Human Body Model) 8kV 정도이다. 이것은 로직 집적회로에서 요구되는 HBM 2kV 보다 훨씬 높은 수준으로 이 수준을 만족하는 ESD 보호

* 정희원, (주)동부하이텍
(Dongbu HiTek)

※ 본 논문은 지식경제부가 지원하는 국가연구개발사업인 “차세대성장동력기술개발사업”을 통해 개발된 결과임을 밝힙니다.

접수일자: 2008년8월30일, 수정완료일: 2009년1월9일

회로를 설계하는 것은 아주 어려운 일이다.

또한 고전압 ESD 보호 회로를 설계하는 것은 저전압 ESD 보호 회로 설계에서 사용된 구성을 동일하게 적용할 수 없기 때문에 더욱 어려운데, 이것은 ESD 보호 회로 중 VDD와 VSS 사이의 배치되는 ESD 파워클램프(Power clamp)에서 래치업 문제가 발생할 수 있는 위험이 있기 때문이다^[6~8].

저전압 로직 집적회로에서는 단위면적 당 보호 레벨의 관점에서 좋은 성능을 보이기 때문에, 게이트를 그라운드에 연결한 MOSFET인 ggNMOS (grounded-gate NMOS)를 ESD 파워클램프로 주로 사용한다. 그런데 LDMOS(Lateral Double-Diffused MOS) 등의 고전압 소자에 이 구조를 바로 적용하여 고전압 파워클램프로 사용하기는 곤란한데, 그 이유는 LDMOS의 게이트를 그라운드에 연결한 구조로 ESD 파워클램프를 설계할 경우, 파워클램프가 동작한 후의 유지전압(holding voltage)이 구동 전압보다 매우 낮아 노이즈나 글리치(glitch) 등에 의해 파워클램프가 켜지게 될 때 래치업 문제가 발생하기 때문이다. 즉 글리치 등에 의해 파워클램프가 한 번 켜지게 되면 다시는 꺼지지 않는 문제가 발생한다. 이 현상은 결국에는 칩의 파괴로 이어질 수 있는 심각한 문제이다^[6~8].

이런 래치업 문제를 피하기 위해, 고전압 ESD 파워클램프 설계에 사용되는 대부분의 소자는 고전압 다이오드의 리버스 특성을 이용하지만, 이 역시 고전압 직접회로에서 요구하는 HBM 8kV를 만족하기가 어렵다. 다이오드는 기생 바이폴라 동작을 이용하지 않기에 스냅백이 일어나지 않고, 그리하여 낮은 유지 전압 인한 래치업 문제가 발생하지 않지만, 전류 구동 능력이 떨어지므로 면적이 아주 큰 단점이 있다. 다이오드 역시 이런 단점 때문에 고전압 파워클램프로 사용하기에는 어려움이 있다.

본 연구에서는 위와 같은 문제를 해결하기 위해 래치업 문제가 발생하지 않는 구조이면서도 면적이 작은 스택 바이폴라 ESD 파워클램프를 제안하고, 0.35 μ m 3.3V/60V BCD(Bipolar-CMOS-DMOS) 공정을 통하여 실제 제작하여 그 성능을 검증하였다.

II. 기존 고전압 파워클램프

저전압 집적회로에서는 ESD 보호를 위해 grounded-gate NMOS 또는 다이오드 등이 많이 사용

된다. 또한 동일한 구성인 grounded-gate LDMOS (ggLDMOS) 또는 고전압 다이오드 등이 고전압 ESD 보호회로에 적용되기도 한다. 하지만 고전압 파워클램프에 이들을 사용할 때 곤란한 점들이 있는데, 본 장에서 이들 보호회로를 실제 제작한 후 측정결과를 통해 함께 검토한다.

1. ggLDMOS (grounded-gate LDMOS)

MOSFET를 이용한 ESD 보호회로는 게이트를 그라운드와 연결하는 grounded-gate 구조가 일반적이다. 이 방법을 고전압 파워클램프에도 동일하게 적용하여 ggLDMOS를 설계하여 0.35 μ m 3.3V/60V BCD 공정을 통하여 실제 제작하여 그 성능을 검증하였다. 그림 1은 제작된 ggLDMOS의 I-V 특성을 TLP(Transmission Line Pulse) 장비로 측정한 결과이다. ggLDMOS는 트리거링(Triggering) 전압이 약 65V이나 유지 전압이 10V 미만으로 강한 스냅백(strong-snapback) 현상을 보인다. 이런 강한 스냅백 현상은 커크 이펙트에 의한 것으로 알려져 있다^[9~10].

유지 전압이 구동전압 보다 낮을 경우 노이즈나 글리치 등에 의해 파워클램프가 켜지게 될 때 래치업 문제가 발생하게 된다. 즉 글리치 등에 의해 파워클램프가 한 번 켜지게 되면 다시는 꺼지지 않는 문제가 발생한다. 이 현상은 칩의 파괴로 이어질 수 있는 위험성을 갖고 있기 때문에 ggLDMOS를 고전압 파워클램프로 사용하기에는 문제가 있다.

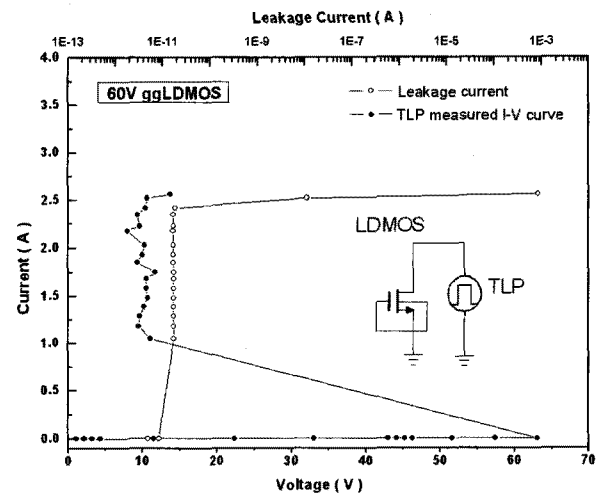


그림 1. ggLDMOS TLP 측정 I-V 특성 곡선
Fig. 1. TLP-measured I-V characteristic of ggLDMOS.

2. 고전압 다이오드

고전압 파워클램프에서는 앞에서 언급한 래치업 문제 때문에 고전압 다이오드가 더 많이 사용된다. 0.35 μm BCD 공정에서 제공하는 고전압 다이오드는 N웰과 P 에피 사이의 접합을 이용한 파워 다이오드이다. 이 다이오드의 트리거링 전압은 60V 이상이며, 기생 바이폴라를 이용하지 않기에 유지 전압이 낮아서 생기는 문제는 발생하기 않는다.

하지만, 이 다이오드 역시 한 가지 큰 문제가 있는데, 그것은 큰 면적에 따른 레이아웃 예산 문제(layout budget problem) 이다. 사용된 파워 다이오드의 페리미터(perimeter)는 4073 μm 이며, 전체 면적은 191 μm X 324 μm 로 아주 크며, 단위 페리미터 당 감당할 수 있는 전류는 565 nA/ μm , 단위 면적당 감당할 수 있는 전류는 37 nA/ μm^2 로 아주 작다. 그러므로 파워 다이오드를 고전압 ESD 파워클램프로 사용할 수는 있지만, HBM 8kV를 만족하는 ESD 보호회로를 구성하는 것은 어렵다.

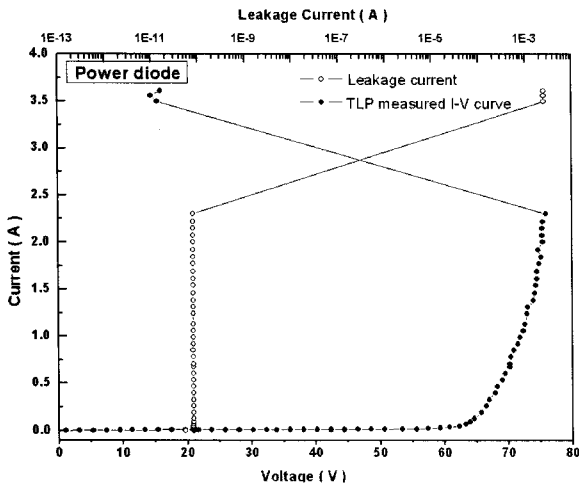


그림 2. 파워 다이오드의 TLP 측정 I-V 특성 곡선
Fig. 2. TLP-measured I-V characteristic of the power diode.

III. 스택 바이폴라 파워클램프

래치업 문제가 발생하거나 큰 면적을 차지하는 기존 고전압 파워클램프의 단점을 해결하기 위해 본 논문에서는 스택 바이폴라 파워클램프를 제안한다. 제안된 구조는 유지전압이 구동전압 보다 높아 래치업 문제가 발생하지 않는 구조이면서도, 고전압 다이오드에 비해 면적이 작은 장점을 갖는다.

ESD 보호회로에 사용되는 바이폴라 소자는 스냅백 영역을 이용하지만 LDMOS와 같이 DDD(Double Diffused Drain) 구조가 아니므로, 강한 스냅백 현상은 일어나지 않고, 그에 따라 LDMOS에 비해 상대적으로 유지전압이 높다. 0.35 μm BCD 공정에서 제작된 바이폴라 소자의 유지전압은 23V로 유지전압이 10V 미만인 LDMOS에 비해 2배 이상 높다. 하지만 이 역시 60V의 동작전압에 비하면 많이 낮은데, 이것을 극복하기 위해 스택 바이폴라 구조를 제안하여 유지전압이 60V 이상인 ESD 파워클램프를 개발하였다. 그림 3은 제안된 스택 바이폴라 파워클램프의 구조도이다.

본 논문에서 제안한 바이폴라 구조는 바이폴라 소자를 3단으로 쌓은 트리플 스택 바이폴라 구조로 유지전압이 단위 바이폴라 소자의 유지 전압의 3배인 70V이다. 이것은 각각의 소자가 NBL(N-Buried Layer)로 인해 P형 기판으로부터 격리되어 있기에 가능하다. 만약 격리되어 있지 않고 공통의 P형 기판을 이용한다면, 원하는 만큼의 유지전압의 상승을 얻을 수 없는데, 이는 각각의 바이폴라 소자가 순차적으로 트리거링 되지 못하고, 기판 전류에 의해 동시에 트리거링 되기 때문이다. 그렇기 때문에, NBL(N-Buried Layer)로 각각의 바이폴라 소자를 격리시키는 것이 중요하다.

또한 적절한 가드링(Guarding)을 설계하는 것 역시 중요한데, 이것은 스택 바이폴라 파워클램프의 내압과

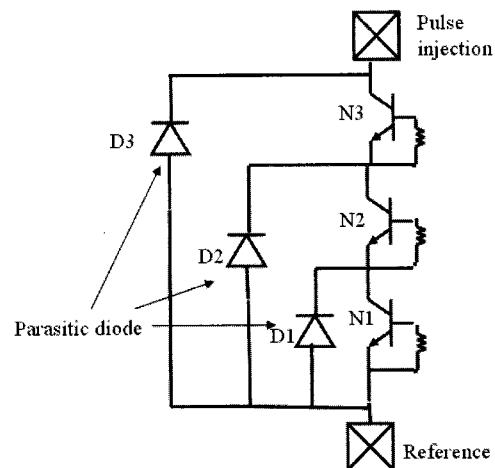


그림 3. 0.35 μm BCD 공정에서 개발된 스택 바이폴라 ESD 파워클램프의 구조도
Fig. 3. The schematic view of the stacked-bipolar structure with three cascaded devices fabricated in a 0.35 μm BCD process.

포워드 특성 때문이다. 일반적으로 단위 바이폴라 소자의 가드링은 단위 소자의 내압에 맞춰 설계되어 있다. 그러므로 이 가드링을 스택 바이폴라에 동일하게 적용하면 60V 이상의 트리거링 전압과 유지전압을 얻을 수 없고, 이에 따라 스택 바이폴라 파워클램프의 가드링은 이 보호회로가 60V 이상의 내압을 가질 수 있도록 충분한 간격을 두고 설계되어야 한다. 또한 가드링의 설계는 소자의 포워드 특성도 고려해야 하는 ESD 보호회로의 특성 상 매우 중요하다. 제안된 구조에서는 온저항(Ron)의 특성을 좋게 하기 위하여, VSS에서 VDD로 직접적인 통로가 생기도록 하는 기생 다이오드 D3를 갖게 설계하였다.

그림 4는 적절한 가드링과 격리 구조를 갖는 스택 바이폴라 파워클램프의 레이아웃(Layout)이다. 전체 면적은 110 μ m X 240 μ m 로 고전압 다이오드에 비해 작다.

그림 5는 TLP(Transmission Line Pulse) 장비로 측정된 I-V 특성 결과이다. 제안된 구조의 유지 전압은 69V로 단위 바이폴라 소자의 유지전압인 23V보다 정확히 3배가 크다. 또한 이것은 구동전압인 60V 보다 크기 때문에 앞에서 언급한 래치업 문제가 발생하지 않는 래치업 프리 방법으로 설계된 구조(Latch-up free design)이다.

또한 제안된 구조는 ESD 내구성(Robustness) 측면

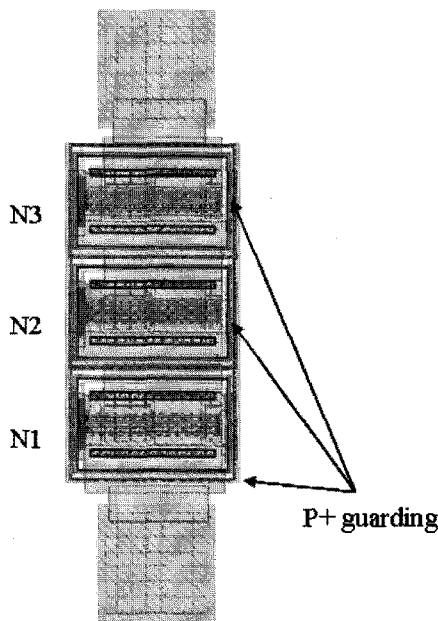


그림 4. 0.35 μ m BCD 공정에서 개발된 스택 바이폴라 ESD 파워클램프의 레이아웃

Fig. 4. The layout top view of the stacked-bipolar device fabricated in a 0.35 μ m BCD process.

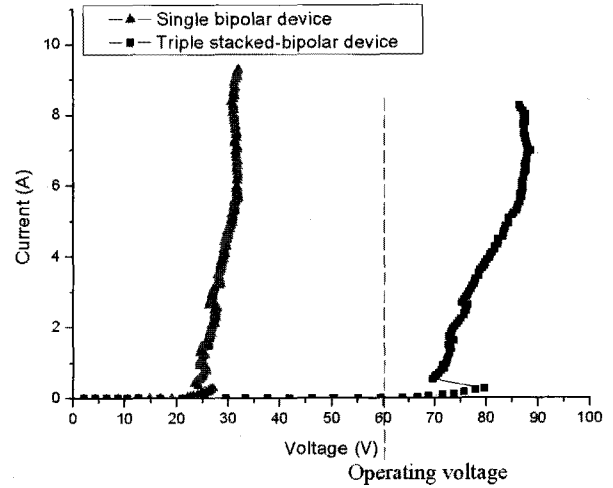


그림 5. 스택 바이폴라 ESD 파워클램프의 TLP 측정 I-V 특성 곡선

Fig. 5. TLP measured I-V characteristics of a single bipolar device and a triple stacked-bipolar device fabricated in a 0.35 μ m 60V BCD process.

에서 아주 우수하다. TLP 측정치를 일반적인 ESD 내구성 평가 기준인 HBM(Human Body Model) ESD 레벨로 변환할 수 있고 이것은 식 (1)과 같이 표현된다^[11].

$$V_{HBM} \cong 1.5k\Omega \times I_{t2} \tag{1}$$

제안된 구조의 이차 항복전류(It2)는 8A로 HBM ESD 레벨로 환산하면 HBM 12kV이다. 이것은 고전압 집적회로 업계에서 통상적으로 요구되는 HBM 8kV를 훨씬 상회하는 결과로 제안된 구조가 내구성 측면에서 아주

표 1. 본 연구에서 제안된 스택 바이폴라 ESD 파워클램프와 고전압 다이오드를 사용한 파워클램프와의 비교

Table 1. Comparisons between the proposed stacked-bipolar structure and the high-voltage diode device.

	고전압 다이오드	스택 바이폴라
유지전압(V)	-	69.0
이차 항복전류(A)	2.3	8.3
면적(μ mX μ m)	191 μ mX324 μ m	110 μ mX240 μ m
단위면적 당 전류량(nA/ μ m ²)	37	314
HBM level(kV)	2	12
개선율(%)	100%	849%

우수함을 보여준다.

이와 같이 본 논문에서 제안된 스택 바이폴라 ESD 파워클램프는 래치업과 면적, 두 가지 측면에서 아주 우수하다. 유지전압이 구동전압에 비해 크기 때문에 래치업 문제가 일어나지 않으면서 면적도 작다. 특히 면적 측면에서 기존 고전압 다이오드를 800% 이상 개선하였다. 표 1에서는 기존 고전압 다이오드와 제안한 구조를 비교하였다.

IV. 결 론

기존에 ESD 파워클램프로 사용되었던 ggLDMOS와 고전압 다이오드의 문제를 분석하고, 이 문제를 해결한 스택 바이폴라 ESD 파워클램프를 제안하였다. 제안된 소자는 유지전압이 구동전압보다 높기에 래치업 문제가 없는 구간에서 동작하도록 설계되었으며, $0.35\mu\text{m}$ 3.3V/60V BCD 공정을 사용하여 제작하여 TLP 장비로 검증하였다. 제안된 파워클램프는 고전압 집적회로를 위해 HBM 8kV를 목표로 하였으며, 면적이 $110\mu\text{m} \times 240\mu\text{m}$ 일 때, HBM 12kV급 ESD 보호회로임을 확인하였다. 제안된 스택 바이폴라 구조의 고전압 ESD 파워클램프는 단위 너비 당 ESD 내구성이 기존 연구 결과를 토대로 제작된 고전압 다이오드 ESD 파워클램프보다 단위면적 당 전류량 측면에서 800% 이상 우수하며 래치업 문제를 일으키지 않는 안전한 영역 내에서 동작함을 확인하였다.

참 고 문 헌

- [1] G. Notermans, Z. Mrcarica, T. Keller, H. van Zwol, T. Smedes, and P. de Jong, "Process and Design Optimization of a Protection Scheme Based on NMOSFETs with ESD Implant in 65nm and 45nm CMOS Technologies," in Proc. EOS/ESD Symp., 2007, pp. 385 - 394.
- [2] 최진영, 임주섭, "소자 시뮬레이션을 이용한 ESD 보호용 NMOS 트랜지스터의 항복 특성 분석", 전자공학회논문지, 제 34권, SD편, 제11호, pp.37-47, 1997년 11월
- [3] K. Chatty, R. Gauthier, M. Abou-Khalil, D. Alvarez, and C. Russ "Designing HV Active Clamps for HBM Robustness," in Proc. EOS/ESD Symp., 2007, pp. 47 - 52.
- [4] J.-H. Lee, J.-R. Shih, C.-S. Tang, K.-C. Liu, Y.-H.Wu, R.-Y. Shiue, T.-C. Ong, Y.-K. Peng, and J.-T. Yue, "Novel ESD protection structure with embedded SCR LDMOS for smart power technology," in Proc. IEEE Int. Reliability Physics Symp., 2002, pp. 156 - 161.
- [5] V. De Heyn, G. Groeseneken, B. Keppens, M. Natarajan, L. Vacaresse, and G. Gallopyn, "Design and analysis of new protection structures for smart power technology with controlled trigger and holding voltage," in Proc. IEEE Int. Reliability Physics Symp., 2001, pp. 253 - 258.
- [6] Kawamoto, K., and Takahashi, I., "An advanced no-snapback LDMOSFET with optimized breakdown characteristics of drain n-n+ diodes," IEEE transactions on electron devices, v.51 no.9, 2004, pp.1432-1440.
- [7] R. Lewis and J. Minor, "Simulation of a system level transient-induced latchup event," in Proc. EOS/ESD Symp., 1994, pp. 193 - 199.
- [8] Ming-Dou Ker and Kun-Hsien Lin, "The Impact of Low-Holding-Voltage Issue in High-Voltage CMOS Technology and the Design of Latchup-Free Power-Rail ESD Clamp Circuit for LCD Driver ICs," IEEE Journal of Solid-State Circuits, vol. 40, no. 8, pp.1751-1759, Aug. 2005.
- [9] S. M. Sze, Physics of Semiconductor Devices, 2nd ed. New York: Wiley, 1981.
- [10] M.-D. Ker and K.-H. Lin, "Double snapback characteristics in high voltage nMOSFETs and the impact to on-chip ESD protection design," IEEE Electron Device Lett., vol. 25, no. 9, pp. 640 - 642, Sep. 2004.
- [11] ESD-STM5.1-2001, Standard Test Method For Component Level HBM Tester Waveform Verification Procedure; Electrostatic Discharge Association, Tome NY.

저 자 소 개



박 재 영(정회원)
 2005년 한양대학교 전자전기
 컴퓨터공학과 학사 졸업
 2008년 한양대학교 전자통신
 컴퓨터공학과 석사 졸업
 2008년~현재 (주)동부하이텍
 반도체 부문

<주관심분야 : 반도체, ESD 보호회로설계>



송 종 규(정회원)
 2004년 방송통신대학교
 미디어영상학과 학사졸업
 2009년~현재 숭실대학교
 전자공학과 석사재학
 2009년~현재 (주)동부하이텍
 선임연구원

<주관심분야 : ESD 보호회로설계>



장 창 수(정회원)
 1994년 유한대학교 전문학사
 졸업
 1994년 현대전자 System IC
 연구소 주임연구원
 2000년~현재 (주)동부하이텍
 반도체 부문

<주관심분야 : 반도체, ESD 보호회로설계>



김 산 홍(정회원)
 1994년 경북대학교 전자공학과
 학사 졸업
 1996년 경북대학교 전자공학과
 석사 졸업
 1996년~2000년 하이닉스 반도체
 선임연구원

2000년~현재 (주)동부하이텍 반도체 부문
 <주관심분야 : TCAD, ESD 보호회로설계>



정 원 영(평생 회원)
 1988년 성균관대학교 물리학과
 학사 졸업
 1996년 한양대학교 전자공학
 석사 졸업
 2008년 숭실대학교 전자공학
 박사 졸업

1988년~1998년 LG반도체 선임연구원
 1998년~2000년 미국 Ingenuus Cooperation
 수석 연구원
 2000년~2003년 미국 Cadence Design System
 Sr. Engineering Manager
 2003년~2007년 미국 Nanno Solution, Inc.
 Exe. VP/CTO
 2007년~현재 (주)동부하이텍 반도체 부문
 <주관심분야: CAD & VLSI, DFM/DFY,
 TCAD/ESD Simulation & Modeling>



김 택 수(정회원)
 1983년 연세대학교 전자공학과
 학사 졸업
 1985년 KAIST 전기 및 전자
 공학과 석사 졸업
 1995년 University of
 Massachusetts, Amherst
 전자공학과 박사 졸업.

1985년~2004년 삼성전자 ASIC 사업부
 2004년~2007년 삼성전기 IC 개발 사업부
 2007년~현재 (주)동부하이텍 반도체 부문
 Analog Foundry 사업부 TE센터 담당
 <주관심분야 : SOC 설계, Design Methodologies
 for UDSM technology>