

On-Chip 나선형 인덕터의 품질계수 향상을 통한 저잡음 RF 전치부 설계

論 文

58-2-23

A Design of Low Noise RF Front-End by Improvement Q-factor of On-Chip Spiral Inductor

高在亨* · 鄭孝彬* · 崔鎮圭* · 金炯碩†

(Jae-Hyeong Ko · Hyo-Bin Jung · Jin-Kyu Choi · Hyeong-Seok Kim)

Abstract - In the paper, we confirmed improvement Noise figure of the entire RF front-end using spiral inductor with PGS(Patterned Ground Shield) and current bleeding techniques. LNA design is to achieve simultaneous noise and input matching. Spiral inductor in input circuit of LNA inserted PGS for betterment of Q-factor. we modeling inductor using EM simulator, so compared with inductor of TSMC 0.18 μ m. We designed and simulation the optimum structure of PGS using Taguchi's method. We confirmed enhancement of noise figure at LNA after substituted for inductor with PGS. Mixer designed using current bleeding techniques for reduced noise. We designed LNA using inductor with PGS and Mixer using current bleeding techniques, so confirmed improvement of noise figure.

Key Words : Spiral Inductor, Low Noise Amplifier, Mixer, Taguchi's Method, RF Front-End, Noise Figure

1. 서 론

최근 들어 CMOS 공정을 이용하여 RF 회로를 구현하는 RFIC(Radio Frequency Integrated Circuit) 기술에 대한 많은 연구가 수행되어 왔다. RF 능동회로 및 RF 수신부의 중요한 특성 중 하나인 잡음지수(NF : Noise Figure)에 많은 영향을 미치는 능동 소자가 저잡음 증폭기(LNA : Low Noise Amplifier)이다. LNA는 전체 수신부의 NF에 가장 많은 영향을 미치기 때문에 높은 이득뿐만 아니라 낮은 NF를 구현해야 한다.[1]

잡음 특성을 개선하기 위해 inductive source degeneration 방식[2]이 있으나 gate induced current noise는 입력 회로의 품질계수(Q-factor)에 따라 높아지는 문제점이 있다. 그러나, 높은 Q-factor는 channel current noise를 줄이는데 이점이 있어 큰 Q값에 의해 gate induced current noise는 무시할 수 있다.[2]

RF 수신단의 NF를 낮추기 위해 LNA의 입력 회로의 Q-factor를 높여야 한다. 입력 회로 손실의 대부분은 인덕터에 의해 발생한다. 인덕터의 손실을 줄임으로써 LNA의 입력회로의 Q-factor를 높일 수 있다. 이에 RF 회로에서 나선형 인덕터(Spiral Inductor)의 중요성은 증가되고 있다. 인덕터의 낮은 전도율과 유전체 효과 및 와상전류에 의해 인덕터의 Q-factor가 감소한다. 인덕터의 각각의 손실을 줄이기

위한 방법으로 여러 방법이 있다. 첫째 인덕터의 전도 손실을 줄이기 위해 다층의 나선형 구조를 이용하거나 도체 두께를 증가 시키는 방법이 있다. 둘째 유전체 손실을 줄이기 위해 높은 저항성의 기판 사용이나 인덕터와 실리콘 기판 사이의 산화층을 증가시키는 방법이 있다. 마지막으로 와상전류를 감소시키기 위해 PGS(Patterned Ground Shield)를 사용하는 방법이 있다.[3]

본 논문에서는 TSMC 0.18 μ m 공정으로 Cascode LNA에 사용되는 인덕터에 PGS를 삽입하여 LNA의 입력 회로 Q-factor를 향상에 대해 연구하고 Current Bleeding기법을 적용한 직접변환 방식의 Mixer를 설계하여 전체 RF Receiver Front-End의 주요 특성 및 잡음 지수 향상에 대한 연구를 하였다.

2. 본 론

2.1 SNIM방식의 저잡음 증폭기 설계

LNA 설계시 NF 특성 및 입, 출력간 격리 특성이 우수하고 임피던스 매칭이 용이한 Cascode 구조를 많이 사용한다. Cascode 구조에서 인덕터를 사용한 series feedback을 통해, 입력 매칭과 노이즈 매칭을 동시에 만족시키는 simultaneous noise and input matching(SNIM) 방법을 사용 하여 LNA를 설계하였다.[4]

그림 1은 SNIM방법을 사용한 LNA의 회로도도 나타내었다. SNIM 방식을 이용한 LNA 설계는 일반적인 Cascode 구조에 L_s 추가된 형태이다. 이는 series feedback을 통해, 입력 매칭과 노이즈 매칭을 동시에 만족시킬 수 있다.

* 準會員 : 中央大 工大 電子電氣工學部 碩士課程

† 교신저자, 正會員 : 中央大 工大 電子電氣工學部 正教授

E-mail : kimcaf2@cau.ac.kr

接受日字 : 2008年 10月 30日

最終完了 : 2008年 12月 10日

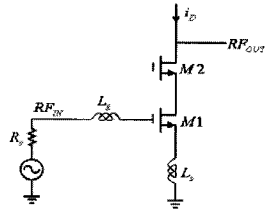


그림 1 SNIM 방법을 사용한 LNA 회로도.
Fig. 1 Schematic of LNA using SNIM Method.

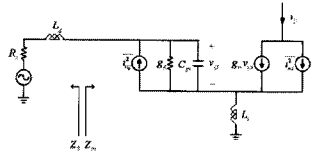


그림 2 소신호 등가 회로.
Fig. 2 Equivalence Circuit of small signal.

그림 2는 그림 1의 소신호 등가회로를 나타내었다. 그림 2에서 $\overline{i_{nd}^2}$ 은 channel thermal noise 전류를 나타내며, $\overline{i_{ng}^2}$ 는 gate-induced noise 전류를 나타낸다. channel thermal noise 전류와 gate-induced noise 전류는 서로 상관관계가 있으며 상관 계수는 식 (1)로 나타낼 수 있다.

$$c = \frac{\overline{i_{ng} \cdot i_{nd}^*}}{\sqrt{\overline{i_{ng}^2}} \cdot \sqrt{\overline{i_{nd}^2}}} \quad (1)$$

소신호 등가회로에서 noise parameter를 계산하면 식 (2)~(4)와 같으며, 식 (3)에서의 C_i 는 C_{gs} 와 같다.

$$R_n = \frac{\gamma}{\alpha} \frac{1}{g_m} \quad (2)$$

$$Z_{opt} = \frac{\alpha \sqrt{\frac{\delta}{5\gamma(1-|d|^2)}} + j \left(\frac{C_i}{C_{gs}} + \alpha d \sqrt{\frac{\delta}{5\gamma}} \right)}{w C_{gs} \left\{ \frac{\alpha^2 \delta}{5\gamma(1-|d|^2)} + \left(\frac{C_i}{C_{gs}} + \alpha d \sqrt{\frac{\delta}{5\gamma}} \right)^2 \right\}} - s L_s \quad (3)$$

$$NF_{min} = 1 + \frac{2}{\sqrt{5}} \frac{w}{w_T} \sqrt{\gamma \delta (1-|d|^2)} \quad (4)$$

그림 1에서 입력단에서 바라본 입력 임피던스는 식 (5)로 나타낼 수 있다.

$$Z_{in} = \frac{L_s}{C_{gs}} g_m + j \left(w L_s + w L_s - \frac{1}{w C_{gs}} \right) \quad (5)$$

식 (5)의 입력 임피던스는 C_{gd} 가 무한대라는 가정하에서 구한 것이다. 실제로 Cascode 구조에서는 입, 출력간 isolation이 좋기 때문에 C_{gd} 가 굉장히 크다고 볼 수 있다. Cascode 구조의 이용한 LNA 설계 시, 입력 매칭과 노이즈 매칭을 동시에 맞추기 위해서는 degeneration 인덕터 L_s 를 사용하게 된다.

앞서 기술한 SNIM 방식을 이용하여 2.45GHz 대역의 단

일 대역 LNA를 설계하였다.

회로 설계 후, 성능이 최적화되는 소자 값들을 찾았다. 완성된 회로의 시뮬레이션 결과를 그림 3과 4에 나타내었다.

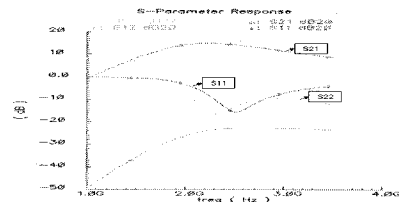


그림 3 S-Parameter 시뮬레이션 결과.
Fig. 3 Simulation of S-Parameter.

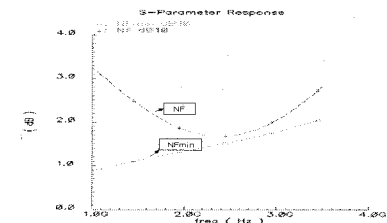


그림 4 NF와 NFmin의 시뮬레이션 결과.
Fig. 4 Simulation of NF and NFmin.

시뮬레이션 결과, S21은 2.45GHz에서 14.52dB이며, S11은 -15.15dB, S22는 -14.84dB로 입, 출력 매칭이 잘 된 것을 알 수 있다. NF는 2.45GHz에서 1.67dB가 나왔으며, 그림 5에서 알 수 있듯이 NFmin에 거의 근접한 NF를 얻었다. 또한 LNA의 Saturation 여부를 확인 하는 P1dB는 -9.84dBm의 결과를 얻었다. 이를 그림 4에 나타내었다. 시뮬레이션 결과를 표 1에 나타내었다.

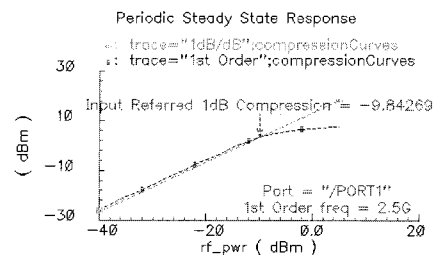


그림 5 설계된 LNA의 P1dB.
Fig. 5 P1dB of LNA designed.

표 1 2.45GHz LNA 시뮬레이션 결과

Table 1 Simulation of 2.45GHz LNA

항 목	단 위	시뮬레이션 결과
Gain	dB	14
S11	dB	-15.15
S22	dB	-14.84
NF	dB	1.67
P1dB	dBm	-9.84
Power consumption	mW	8.77

설계된 회로를 바탕으로 TSMC 0.18um 공정을 이용해 Layout하였다. 이를 그림 6에 나타내었다.

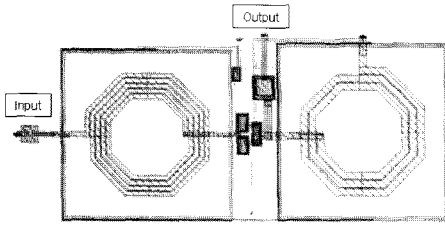


그림 6 설계된 LNA의 Layout.
Fig. 6 Layout of LNA designed.

2.2 최적 PGS 구조가 적용된 Inductor 설계

인덕터의 Q-factor 향상을 위해 적용하는 PGS는 일반적으로 Oxide 층과 substrate의 경계면에 삽입한다[5].

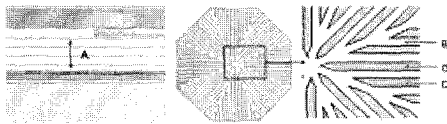


그림 7 PGS 설계 인자.
Fig. 7 Design parameter of PGS.

본 연구에서 사용되는 PGS 구조 설계 인자를 그림 7과 같이 PGS의 삽입 위치인 나선형 PGS의 위치(A)와 나선형 인덕터에 의한 image current를 감소시키기 위한 slot 간격(B) 및 나선형 인덕터에서 형성되는 전기장을 차단시키기 위한 strip 넓이(C)와 함께 중앙 strip 넓이(D)로 인자를 결정하여 다구찌법을 이용하여 PGS 구조에 대해 연구하였다.

PGS 구조가 있는 인덕터의 Q-factor를 목표로 정하여 Q-factor가 높을 수록 좋은 광대특성을 이용하여 Q-factor의 최대치를 갖는 PGS 구조를 찾코자 하였다. 각 설계인자는 각 세가지 수준 수를 갖도록 하였으며 고려된 설계 인자 및 수준 수에 따라 수행되어야 할 최소 실험 회수 조합을 L9(3⁴)형 직교배열표를 사용하였다. 모의 시험 조합에 따라 2.45 GHz의 주파수에서 산출된 Q-factor로 정의된 특성치에 대한 SN비를 식 (6)에 나타내었다. 표 2에 설계 인자와 수준 수를 제시하였다.

$$SN_{LB} = -10 \log \left(\frac{1}{n} \sum_{i=1}^n \frac{1}{y_i^2} \right) \quad (6)$$

표 2 설계 인자 및 수준수 (단위 um)
Table 2 Defined design parameter and level (unit um)

Factor level	Variable A PGS 위치	Variable B Slot 간격	Variable C Strip 넓이	Variable D 중앙 Strip 넓이
1	Layer 1	12	2	2
2	Layer 2	15	4	4
3	Layer 3	18	6	6

각 설계 인자가 특성치에 미치는 영향을 쉽게 분석하기 위해 LNA의 입력 매칭 회로의 인덕터의 SN비와 백분 기여도를 그림 8~9에 제시하였다.

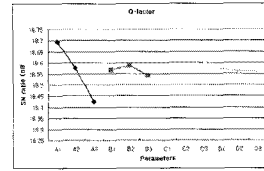


그림 8 Q-factor의 민감도.
Fig. 8 Sensitivity of Q-factor.

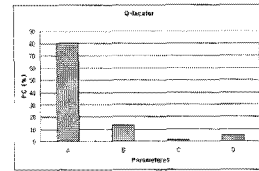


그림 9 Q-factor의 백분기여율.
Fig. 9 Percentage contribution of Q-factor.

그림 8~9을 통해 A-parameter가 Q-factor에 많은 영향을 미치는 것을 확인 할 수 있다. 민감도와 백분 기여율을 통해 PGS의 인자별 수준을 결정하면 A1 B2 C1 D1이다.

다구찌 법을 이용하여 찾은 PGS의 구조를 인덕터에 삽입하면 인덕턴스는 6.983 nH 이고 Q-factor는 8.503의 시뮬레이션 결과를 얻었다.

PGS를 적용한 인덕터의 결과를 ADS 프로그램을 이용하여 LNA에 적용하여 시뮬레이션을 하였다.

PGS가 없는 인덕터인 NGS의 인덕턴스와 Q-factor는 각각 6.985 nH와 8.236으로 LNA에 적용하여 시뮬레이션 결과를 그림 10에 나타내었다.

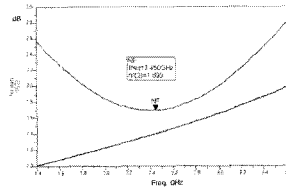


그림 10 NGS 적용 LNA의 NF.
Fig. 10 NF of the LNA with NGS.

NGS를 적용한 LNA의 이득이 14.571 dB일 때 S11과 S22는 각각 -17.458 dB와 -13.88 dB이다. 또한, NF는 1.699 dB이며 NFmin은 1.405 dB 이다. TSMC 공정의 LNA와 NGS 결과를 적용한 LNA의 이득이 같을 경우 NF는 1.699 dB로 같다. PGS의 시뮬레이션 결과를 적용한 LNA에 대한 시뮬레이션 결과를 그림 11에 나타내었다.

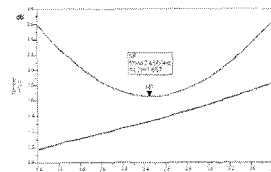


그림 11 PGS 적용 LNA의 NF.
Fig. 11 NF of the LNA with PGS.

PGS를 적용하여 14.571 dB의 이득을 갖는 LNA의 S11과 S22는 각각 -16.985 dB와 -14.142 dB이다. 이때 NFmin은 1.337 dB이고 NF는 1.657 dB의 결과를 얻었다.

최종 설계된 PGS를 삽입한 LNA의 Layout을 그림 12에 나타내었다.

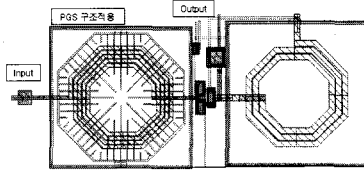


그림 12 PGS 적용 LNA Layout.
Fig. 12 Layout of the LNA with PGS.

2.3 Current Bleeding 기법 적용한 주파수 혼합기 설계

Mixer는 Gilbert cell구조인 이중평형 형태를 기본 구조로 설계 하였다. Gilbert cell구조의 혼합기는 RF 신호와 LO 신호를 차동으로 동작 시키고 RF, LO 및 IF 신호포트들이 서로 분리되어 있기 때문에 각 포트간의 격리도가 좋으며, 위상차에 의해서 짝수차수 고조파 성분이 상쇄되기 때문에 각종 스퓨리어스나 고조파 발생이 억제된다.

본 논문에서는 Mixer를 직접 변환 방식으로 설계를 하였다. Mixer를 직접 변환 방식으로 설계 할 경우 MOS에서 생성되는 고유잡음인 Flicker noise특성이 주요 고려사항이 된다. Flicker Noise의 주요 원인은 Mixer의 switching단과 bias current이다. 그리고 RF단의 bias current의 증가는 높은 이득과 향상된 선형성을 보장하지만 이로 인해 LO switching current가 증가함으로써 voltage headroom 문제를 야기한다. LO switching단에서 생성되는 Flicker Noise를 줄이기 위해서는 LO swing폭이 크고, 트랜지스터의 width가 넓어져야 한다. 하지만 트랜지스터의 크기가 커지면서 기생 커패시턴스(Cp)가 커지며 이는 LO Switching 단의 영향을 준다. 이는 1/f noise의 증가로 이어지므로 트랜지스터의 기생 커패시턴스 (Cp)를 상쇄시킬 수 있는 방법이 요구된다. 또한 noise 전류는 bias 전류에 비례하고 혼합기의 flicker noise는 switching단의 영향을 많이 받으므로 switching단의 bias current를 줄여야 할 필요가 있다. 이를 해결하기 위해 본 연구에서는 CMOS를 이용한 current bleeding 기법을 이용하여 Mixer를 설계하였다. 그림 13은 Current Bleeding기법을 적용한 직접변환 방식의 Mixer 회로도를 나타내었다.[6]

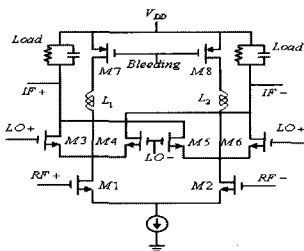


그림 13 Current bleeding 기법 적용 Mixer의 회로도.
Fig. 13 Schematic of Mixer using current bleeding.

PMOS로 구성된 current bleeding 회로는 voltage headroom문제를 완화시키므로 load 저항을 증가시켜 Mixer의 높은 이득을 얻을 수 있도록 한다. 또한 load단에 저항과 같이 커패시턴스를 포함하여 출력단의 고조파 성분을 제거하기 위해 RC filter를 사용하여 혼합기의 선형성을 높이고자 하였다. 또한 RF단 MOS의 bias current를 LO switching단을 거치지 않고 높일 수 있으므로 역시 Mixer의 이득을 높일 수 있다. 혼합기의 flicker noise를 줄이기 위해 switching단의 트랜지스터의 크기가 커짐으로 인해 회로에서 영향이 커진 switching단의 트랜지스터의 기생 커패시터의 영향을 줄이기 위해 L1과, L2를 연결하였다.

RF power는 -40dBm, LO power는 0dBm을 사용하였다. 그림 14는 설계한 Mixer의 DSB noise특성을 나타내었다. 설계 된 구조에서 IF frequency가 510kHz이상일 때 Noise Figure는 8dB이하를 나타내었다.

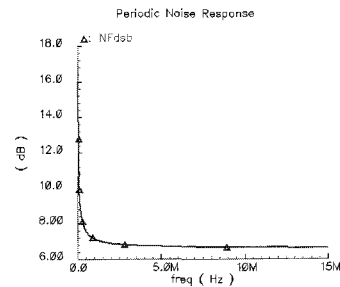


그림 14 DSB 잡음 특성.
Fig. 14 Noise Figure of DSB.

그림 15에서 입력 power에 대한 출력 power를 나타내었다. 입력 RF power는 -40dBm이고 IF Power는 10MHz에서는 -23.6dBm을 나타내었다. 그 결과 약 16dB의 변환 이득이 나타내었다.

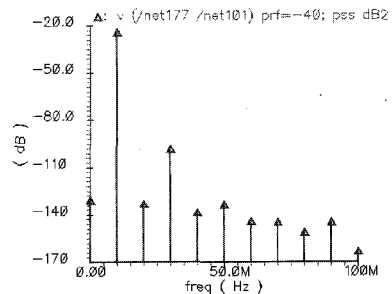


그림 15 혼합기의 IF 신호 출력 크기.
Fig. 15 Power IF signal of Mixer.

Mixer의 선형성 특성은 변환 이득, Noise 특성과 더불어 중요한 성능 결정 요소이다. 설계한 Mixer의 선형성을 보기 위해 2-tone Simulation을 하였다. Simulation 결과 혼합기의 IP3는 약 -3.3dBm이며 결과를 그림 16에 나타내었다.

설계한 혼합기의 One chip제작을 위해 TSMC 0.18um공정을 이용하여 레이아웃 하였다. 크기는 0.47mm X 0.39mm이며 그림 17에 나타내었다.

표 3에 혼합기의 모의실험 결과를 정리하였다.

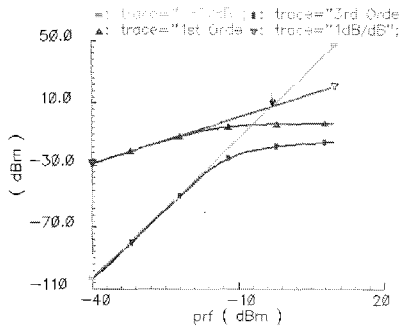


그림 16 혼합기의 선형 특성.
Fig. 16 Linearity of Mixer.

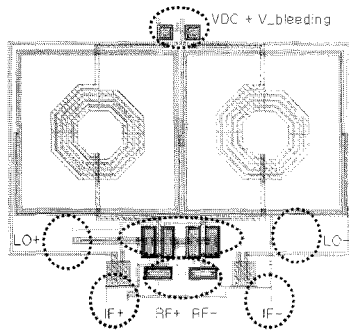


그림 17 설계한 혼합기의 레이아웃.
Fig. 17 Layout of Mixer designed.

표 3 설계한 혼합기의 시뮬레이션 결과.
Table 3 Simulation of Mixer designed.

	단위	시뮬레이션 결과
RF Frequency	MHz	2450
LO Frequency	MHz	2440
IF Frequency	MHz	10
RF Power	dBm	-40
LO Power	dBm	0
Conversion Gain	dB	15.45
IIP3	dBm	-3.3
Noise Figure	dB	7.71(at 510KHz)
P1dB	dBm	-18.531
Power Consumption	mW	10.65
Chip Size	mm	0.474 X 0.39

2.4 PGS 구조 적용한 RF 수신단 전치부 설계

Mixer와 LNA를 각각 설계한 후 두 회로를 Balun을 연결하여 LNA-Mixer를 시뮬레이션 하였다. Mixer의 LO입력단 역시 Balun을 연결하여 단일의 LO신호가 Balun을 통해 Balanced되어 Mixer로 입력 되도록 구성하였다. 본 연구를 통해 설계한 LNA-Mixer의 Schematic을 그림 18에 나타내었다.

설계한 LNA-Mixer의 시뮬레이션 결과 RF Power가 -40dBm, LO Power가 0dBm, RF 주파수가 2.45GHz일 때 이득은 22.33dB이며 NF는 2.48dB가 나왔다. 그리고 같은 조건에서 PGS구조가 결합된 LNA-Mixer의 시뮬레이션 결과 Gain은 20.47dB의 결과를 보였으며 NF 결과 2.423dB로 0.06정도의 향상된 결과를 볼 수 있었다. 그림 19에 두 회로

의 DSB Noise figure특성을 비교 하였다.

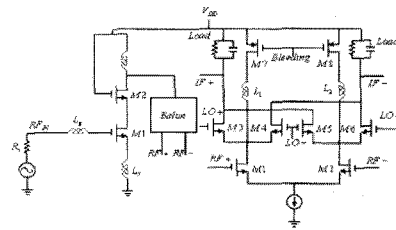


그림 18 RF 전치부 회로도.
Fig. 18 RF Front-end Circuit.

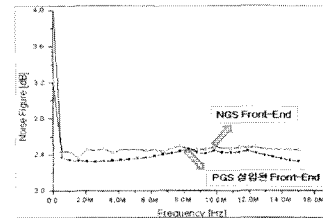


그림 19 NGS와 PGS 회로의 DSB NF.
Fig. 19 DSB NF of NGS and PGS circuit.

설계한 LNA, Mixer 와 이를 적용한 Front-End 시뮬레이션 결과 값을 표 4에 정리 하였다.

표 4 시뮬레이션 결과.
Table 4 Result of Simulation.

Front-End	단 위	NGS 시뮬레이션 결과	PGS 시뮬레이션 결과
RF Power	dBm	-40	-40
LO Power	dBm	0	0
IF Power	dBm	-17.667	-19.528
Gain	dB	22.33	20.47
NF	dB	2.483	2.423
Chip Size	mm	0.474 X 0.39	

설계한 LNA-Mixer의 One chip제작을 위해 TSMC 0.18um공정을 이용하여 레이아웃 하였다. 레이아웃 시 시뮬레이션 실험 결과와 측정결과의 차이를 줄이기 위해 기생소자를 최대한 고려하여 레이아웃 하였다. Layout를 한 후 테스트 환경을 그림 20에 나타내었다.

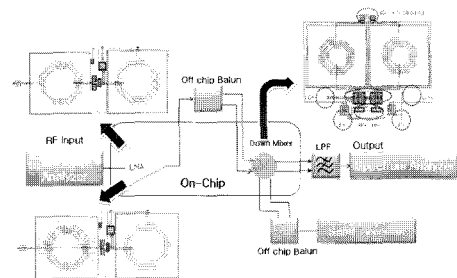


그림 20 검증 환경.
Fig. 20 Evaluation Environment.

3. 결 론

본 연구에서 나선형 인덕터에 삽입되는 PGS로 인해 Q-factor와 인덕턴스를 향상시키기 위해 최적의 PGS 구조를 찾기 위해 다구찌 실험 계획법을 사용하였다. 다구찌 실험 계획법을 통해 인자 별 백분 기여율과 설계 인자 및 수준별 설계 민감도를 분석하였다. 낮은 주파수에서는 strip 넓이(C)가 많은 영향을 주나 주파수가 증가하면서 PGS 높이(A)가 Q-factor와 인덕턴스에 많은 영향을 주는 것을 확인할 수 있었다. PGS를 삽입함으로써 Q-factor 향상을 크게 하면서 인덕턴스 감소가 적은 구조의 PGS를 찾아 EM 시뮬레이션을 통해 넓은 주파수 대역에서도 일정한 영향을 주는 구조를 찾았다.

설계한 PGS 구조를 시스템 전체 잡음지수에 영향을 미치는 LNA의 입력 매칭부 인덕터에 삽입하여 시뮬레이션 하였다. 또한 LNA 뒷단에 붙일 Mixer를 설계를 한 뒤 이를 결합하기 위해 외부 발룬을 통하여 전체적인 Front-End를 구성하였다. 기존의 Front-End 구조에 비해 설계된 PGS 구조를 적용한 Front-End의 잡음지수가 0.06dB의 향상된 결과를 볼 수 있다. 본 논문에서 설계된 PGS 기법을 향후 RFIC 설계에 있어 RF 수신부의 중요한 특성인 잡음 지수 향상에 기여를 할 수 있을 것으로 사료된다.

감사의 글

본 연구 보고서는 지식경제부 출연금으로 ETR, SoC 산업진흥센터에서 수행한 IT-SoC 핵심설계인력 양성 사업의 연구 결과입니다.

참 고 문 헌

[1] Tadshi Maeda et al., "Low-Power-Consumption Direct-Conversion CMOS Transceiver for Multi-Standard 5-GHz Wireless LAN Systems with Channel Bandwidths of 5-20MHz", IEEE J. Solid-State Circuit, vol. 41, pp.375-383, Feb, 2006.

[2] K.B. Ashby, "High Q inductors for wireless applications in a complementary silicon bipolar process," IEEE J. Solid-State Circuit, vol. 31. No.1, Jan. 1996.

[3] C.P. Yue, "On-chip spiral inductors with patterned ground shields for Si-based RF IC's," IEEE J. Solid-State Circuits, vol.33, No.5, May 1998.

[4] Pietro Andreani, "Noise Optimization of an Inductively Degenerated CMOS Low Noise Amplifier," IEEE Trans. Circuits and Systems, vol. 48, pp. 835-841, Sep. 2001.

[5] J.T. Tsai, J.H. Chou, T.K. Liu, "Tuning the structure and parameters of a neural network by using hybrid Taguchi-genetic algorithm," IEEE trans. vol. 17, pp. 69-80, Jan. 2006.

[6] Park, C. H. Lee, B. S. Kim, J. Laskar, "Design and Analysis of Low Flicker Noise CMOS Mixers for Direct Conversion Receivers," IEEE Trans. on Microwave theory and techniques, vol. 54, no. 12, pp. 4372-4380, Dec., 2006

저 자 소 개



고 재 형 (高 在 亨)

2004년 중앙대학교 전자전기공학부 졸업
2008년 중앙대학교 전자전기공학 석사 졸업
2008년 중앙대학교 전자전기공학 박사과정 중.



정 효 빈 (鄭 孝 彬)

2007년 상주대학교 전자전기공학부 졸업
2006년~현재 중앙대학교 전자전기공학부 석사과정 중.



최 진 규 (崔 鎭 圭)

2006년 중앙대학교 전자전기공학부 졸업
2007년~현재 중앙대학교 전자전기공학부 석사과정 중.



김 형 석 (金 炯 碩)

1985년 서울대학교 전기공학 공학사.
1987년 서울대학교 전기공학 공학 석사.
1990년 서울대학교 전기공학 공학박사
1990~2002 순천향대학교 정보기술공학부 부교수.
1997~1998 R.P.I 미국 방문교수.
2002~현재 중앙대학교 전자전기공학부 교수.