

Hole 구조 상변화 메모리의 전기 및 열 특성

최홍규* · 장낙원† · 김홍승** · 이성환*** · 이동영***

(원고접수일 : 2008년 10월 6일, 원고수정일 : 2008년 11월 27일, 심사완료일 : 2008년 11월 27일)

Electro-Thermal Characteristics of Hole-type Phase Change Memory

Hong-Kyw Choi* · Nak-Won Jang† · Hong-Seung Kim** · Seong-Hwan Lee*** and Dong-Young Yi***

Abstract : In this paper, we have manufactured hole type PRAM unit cell using phase change material $\text{Ge}_2\text{Sb}_2\text{Te}_5$. The phase change material $\text{Ge}_2\text{Sb}_2\text{Te}_5$ was deposited on hole of 500 nm size using sputtering method. Reset current of PRAM unit cell was confirmed by measuring R-V characteristic curve. Reset current of manufactured hole type PRAM unit cell is 15 mA, 100 ns. And electro and thermal characteristics of hole type PRAM unit cell were analyzed by 3-D finite element analysis. From simulation temperature of PRAM unit cell was 705°C.

Key words : Phase change material(상변화재료), Phase change random access memory(상변화메모리), Thermal transmission(열전달), Finite element analysis(유한요소법), Reset current(지우기 전류)

1. 서 론

최근 정보기술의 급속한 발전과 정보 소비량의 비약적 증가로 대용량 멀티미디어 정보를 고속 처리하고 전원 없이도 이를 안정적으로 저장, 보관할 수 있는 초고속, 대용량, 저전력의 비휘발성 메모리에 대한 연구가 활발히 진행 중에 있다. 그중에서 상변화 메모리 PRAM(Phase Change Random Access Memory)은 전류에 따라 발생된 열에 의해 상변화 물질이 결정립 또는 비정질로 변환됨에 따라 나타나는 저항 차이를 이용하여 정

보를 저장하는 비휘발성 메모리로, 제조공정이 단순하여 저가격화 달성이 용이하고 셀 크기를 기존의 메모리에 비해 크게 줄일 수 있는 장점이 있어 최근 연구가 활발히 이루어지고 있다^{(1),(2)}.

현재 PRAM 개발은 Fig. 1(a) 와 같이 TiN 발열전극을 발열체로 이용하는 평면형의 구조를 가지고 주로 연구되고 있으나 이 구조는 지우기 전류(Reset current)가 큰 값을 나타내는 단점이 있어 타 메모리와의 경쟁력을 갖추기 위해서는 지우기 동작 전류를 낮추어야 한다. 상변화 소자의 동작 전류를 낮추기 위해 상변화 메모리의 구조 변

† 교신저자(한국해양대학교 전기전자공학부, E-mail:nwjang@hhu.ac.kr, Tel: 051)410-4413)

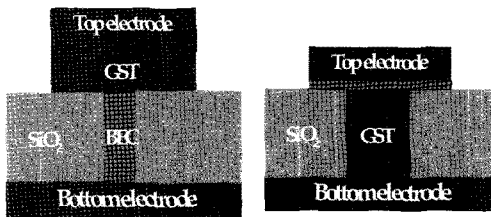
* 한국해양대학교 전기전자공학부

** 한국해양대학교 나노반도체공학과

*** 위덕대학교 에너지전기공학부

화, 상변화 재료의 개발 및 발열전극 재료 개발의 연구가 진행 중에 있다. 그 중에서 셀 구조를 변형함으로써 지우기 전류를 줄여보고자 하는 연구가 이루어지고 있다^{(3),(4),(5)}. 특히 상변화 물질 자체를 발열체로 사용하는 Fig. 1(b)와 같은 Hole 형 PRAM이 평면형에 비해 지우기 전류를 감소시킬 수 있는 적절한 단위 셀 구조로 알려져 많은 관심을 받고 있다. 그러나 이 구조는 hole 안에 상변화 물질을 충전하는 고층덮임(Step coverage) 증착 기술이 어려워 연구가 미미하여 시급히 소자 제작에 의한 동작 특성 파악이 이루어져야 한다. 또한 소자 제작에 앞서 시뮬레이션을 통해 소자의 구조에 따른 동작을 예측하고 최적화하는 설계 기술이 필요하나 상변화 메모리 소자에 대한 연구 기간이 얼마 되지 않아 시뮬레이션을 통한 소자 특성에 대한 예측 기술이 아주 부족한 실정이다.

따라서 본 연구에서는 PRAM의 지우기 전류를 줄이기 위해 hole 형 PRAM 소자를 제작하여 소자 특성을 조사하였으며, PRAM 소자의 3차원 전기 및 열전달 해석 model을 구축하여 hole 형 PRAM 소자의 전기 및 발열 특성을 해석하였다.



(a) Planar type (b) Hole type

Fig. 1 Structure of PRAM

2. 실험

2.1 상변화 메모리 제작

Fig. 2는 본 연구에서 제작한 상변화 메모리 단면도이다. 그림에서 보듯이 제작된 상변화 메모리는 상변화 물질 $Ge_2Sb_2Te_5$ (GST)가 발열체로 500 nm 크기의 hole에 충전된 구조를 가지며 하부 전극은 TiN/TiW를 사용하였으며 상부전극은 텅스텐을 사용하였다. Fig. 2의 상변화 메모리 단

위 셀을 제작하기 위한 공정은 다음과 같다.

먼저 TiN/TiW의 하부전극을 SiO_2/Si 의 기판위에 형성한 후, 플라즈마 화학증착법을 이용하여 200 nm 두께의 SiO_2 인 절연층을 증착한다. 형성된 SiO_2 인 절연층에 상변화 물질을 채우기 위한 500 nm 크기의 hole을 패터닝 한 후, RF 마그네트론 스퍼터링 방법으로 상변화 물질 GST를 증착한다. 증착된 막의 두께는 약 300 nm이다. 마지막으로 W의 상부전극 접촉면(TEC)은 via contact이 패터닝 된 후 형성하였다.

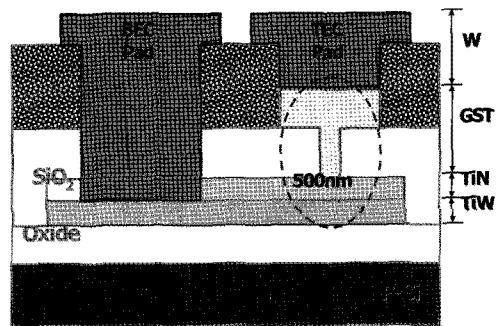


Fig. 2 Schematic diagram of PRAM device

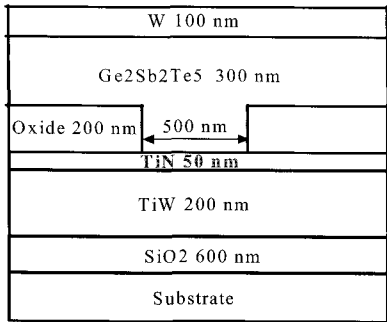
제작된 상변화 메모리 셀의 전기적인 특성을 측정하기 위하여 펄스발생기(HP 8110A)와 반도체 특성 측정기(HP 4145B)를 이용하였다. 펄스발생기에 의해 형성된 전압과 전류를 상변화 메모리 셀에 인가한 후 반도체 특성 측정기를 통해 V-I특성을 측정하였다.

2.2 상변화 메모리 셀의 유한 요소 모델

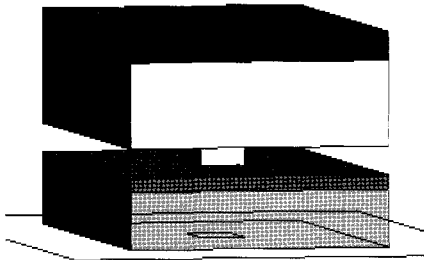
상변화 메모리의 전기 및 열전달 특성을 시뮬레이션을 통해 확인하기 위한 상변화 소자의 유한요소 해석 모델을 구축하였고 인가 전류에 따른 주열 발생 및 열전달의 해석은 상용 전자장해석 도구인 MagNet, ThermNet을 이용하여 수행하였다.

상변화 메모리의 해석 모델을 구축하기 위해 Fig. 3과 같은 2차원 단위 셀 도면을 작성한 후, 이 도면을 바탕으로 상용 전자장해석 도구를 이용하여 3차원 유한요소 모델을 구축하였다. 시뮬레이션을 위해 구축된 해석 모델의 각 층의 두께와 크

기는 다음과 같다. 우선 GST 상변화 박막의 크기와 두께는 3.0X3.0 um, 300 nm 이다. 상변화 재료 GST가 충전되는 hole 의 크기와 두께는 지름 500 nm, 100 nm 이다. 또한 하부전극 TiN의 크기와 두께는 3.0X3.0 um, 50 nm 로 하였으며, TiW 의 크기와 두께는 3.0X3.0 um, 200 nm 로 하였다. 전류가 공급되는 상부전극 W의 두께는 3.0X3.0 um, 100 nm 로 하였다.



(a) Schematic diagram



(b) Finite element analysis model

Fig. 3 Schematic diagram and finite element analysis model of PRAM unit cell

Table 1 Material parameters

물 질	전기전도도 (1/Ω·m)	열전도도 (J/cm·K·s)	비 열 (J/cm ³ ·K)	밀 도 (g/cm ³)
W	1.75x 10 ⁷	1.78	2.58	19.3
GST	2.4x 10 ⁵	0.018	1.2	2.698
TiN	1.0x 10 ⁶	0.13	3.235	5.4
TiW	1.43x 10 ⁶	0.6	146.76	14.3
SiO ₂	1.0x 10 ⁻¹⁴	0.014	3.1	2.33

상변화 메모리 모델의 인가 전류에 따른 발열 및 열전달 해석을 위한 상변화 물질 및 각 층의 재료들의 전기전도도, 열전도도, 비열 등과 같은 물질 상수는 Table 1에 나타내었다.

3. 결과 및 고찰

3.1 상변화 메모리 전기적 특성

Fig. 4 는 반도체 공정을 거쳐 제작되는 상변화 메모리 셀의 단면 사진이다. 500 nm 크기의 hole 이 하부전극위에 형성되었고 그 안에 sputtering 방법으로 GST 상변화 박막이 잘 증착된 것을 볼 수 있다.

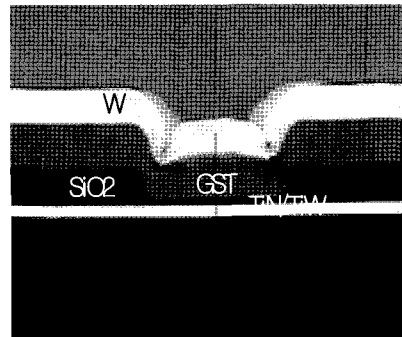


Fig. 4 A cross of constructed PRAM device

제작된 상변화 메모리 셀의 지우기 전류(reset current) 특성을 펄스 발생기와 반도체 특성 측정기를 이용하여 측정하였다. 상변화 메모리는 지우기 동작 시에는 강한 전류 펄스가 인가되어 상변화 재료의 국부적인 부분을 순간적으로 용융온도 이상으로 용융/급냉 시킴으로써 비정질상이 되어 높은 저항을 나타내게 되고, 쓰기 동작 시에는 낮은 전류 펄스를 인가하여 결정화 온도 이상으로 일정시간 유지하여 상변화 재료가 결정화되어 낮은 저항을 나타내게 된다. Fig. 5는 제작된 상변화 메모리 셀에서 측정된 저항-전류 지우기 특성 그래프(R-I Reset programming curve)이다. 이때 지우기 동작을 위해 인가된 전류의 펄스 폭은 100 ns 이다.

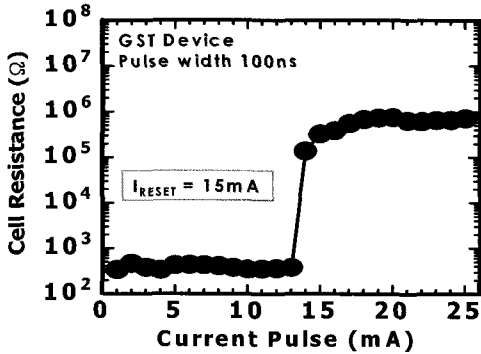


Fig. 5 R-I reset programming curve of the fabricated PRAM device

Fig. 5에서 보듯이 인가 전류 값이 증가하여 15 mA 일 때 상변화 메모리 셀의 저항 값이 10^2 Ω에서 10^6 Ω으로 급격히 증가하는 것을 알 수 있다. 이는 15 mA 가 상변화 재료를 용융시켜 비정질상의 높은 저항을 갖게 하는 지우기 동작 전류임을 알 수 있다. 따라서 제작된 500 nm 의 hole 크기를 갖는 상변화 메모리는 15 mA 100 ns 의 지우기 전류 값을 갖는다.

3.2 상변화 소자의 전기 및 발열특성

상변화 메모리의 전기 및 열전달 특성을 시뮬레이션을 통해 확인하기 위해 상용 전자장 해석도구를 이용하여 구축한 유한요소 해석 모델의 신뢰성을 검증하기 위해 지우기 전류 인가에 따른 상변화 메모리 셀의 발열 온도 해석을 수행하였다. 본 연구에 이용한 상변화 재료 $Ge_2Sb_2Te_5$ 의 용융온도는 일반적으로 $632^\circ C$ 로 제작된 상변화 메모리가 지우기 동작 시에 이 용융온도까지 올라가 비정질화 된다⁽⁶⁾.

제작된 상변화 메모리에서 측정된 지우기 전류값은 15 mA , 100 ns 으로, 본 연구에서는 Fig. 3 의 상변화 메모리 모델에 지우기 전류 15 mA , 100 ns 를 인가하여 상변화 재료의 발열온도를 구하여 실제 제작된 상변화 메모리의 동작과 비교하였다.

상변화 메모리 셀의 지우기 전류에 따른 발열온도의 분포를 Fig. 6 에 나타내었다. 그림에서 보듯

이 구축된 상변화 메모리 셀 모델의 경우, 지우기 전류 15 mA , 100 ns 가 인가되었을 때 상변화 재료가 $779^\circ C$ 까지 올라간 것을 볼 수 있다.

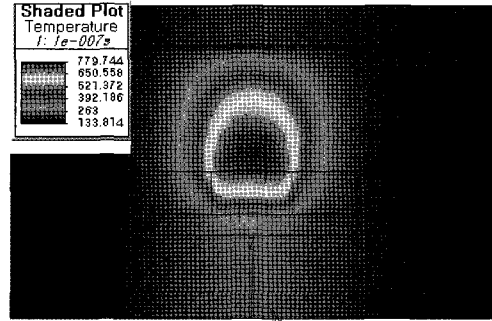


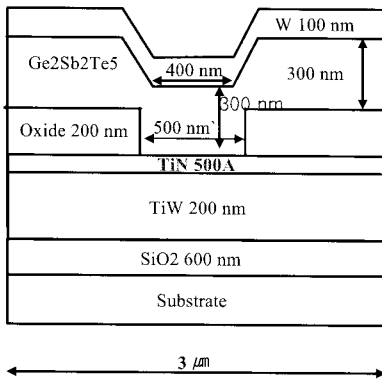
Fig. 6 Temperature distribution of PRAM device model

상변화 메모리에 지우기 전류가 인가되면 hole 내의 상변화 재료와 하부전극 접촉면에서 발생한 열은 상변화 재료로 전달되어 상변화 재료의 온도가 올라가된다. 일반적으로 상변화 메모리가 지우기 동작 시에 $Ge_2Sb_2Te_5$ 의 용융온도 $632^\circ C$ 보다 높은 $700^\circ C$ 정도까지 올라간다. 그러나 본 연구에서 구축된 상변화 메모리 모델의 경우 지우기 동작 시 상변화 재료가 $779^\circ C$ 까지 조금 많이 올라가는 것을 볼 수 있다. 따라서 좀 더 정확한 상변화 메모리 셀 모델을 구축하기 위하여 구축된 모델과 실제 동작과의 차이의 원인을 조사하였다.

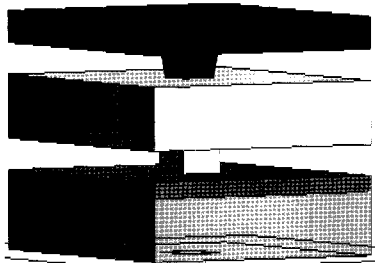
반도체 공정을 거쳐 제작되는 상변화 메모리 소자의 경우, 소자를 설계할 때 그려지는 단위 셀의 단면도는 이상적인 소자의 구조를 나타내지만, 실제 공정을 진행하게 되면 박막 장비와 포도 장비의 성능, 재료의 특성 및 공정 기술 능력에 따라 그 모양이 이상적인 경우와 크게 차이가 나게 된다. Fig. 2 와 같은 이상적인 상변화 메모리 셀의 경우, GST 상변화 재료가 hole을 모두 채우고 난 후 평탄하게 도포되는 것으로 그려져 있다. 그러나 실제 공정상에서 스퍼터링 방식으로 도포되는 상변화 재료 GST 막은 hole의 크기가 작은 경우 hole 을 완전히 채우는 것이 불가능하며 CMP 공정을 추가 하지 않으면 GST 막을 평탄하게 제작하기 어렵다. 실제로 제작되는 소자의 경우, Fig.4 와 같이 상변화 재

료 GST 박막이 hole을 채운 후 평탄하지 않고 굴곡이 있는 모양을 갖게 된다. 실제 제작된 소자의 모형과 차이가 있는 Fig. 3의 단면도와 모형을 가지고 시뮬레이션을 수행할 경우 소자 동작을 정확히 파악하기 어려운 점이 있다. 따라서 본 연구에서는 실제 제작된 상변화 Cell 모형과 동일한 형태의 PRAM 셀에 대한 유한요소 해석모형을 새롭게 구축하고 지우기 전류 인가 후의 발열온도를 시뮬레이션 하였다.

Fig. 7은 실제 공정을 통해 제작된 상변화 메모리 모양과 같게 그려진 2차원 단위 셀 단면도와 도면을 바탕으로 구축된 3차원 유한요소 해석모형이다. 그림에서 하부전극과 SiO₂ 산화막 위에 증착된 상변화 박막 GST의 두께가 모두 300 nm으로 실제 제작된 상변화 소자의 상변화 재료의 증착 모양과 동일한 모양을 보임을 알 수 있다.



(a) Schematic diagram of fabricated PRAM



(b) Finite element analysis model of fabricated PRAM

Fig. 7 Schematic diagram and finite element analysis model of fabricated PRAM unit cell

새로 구축된 상변화 메모리 셀 모델에 지우기 전류 15 mA, 100 ns가 인가되었을 때의 발열 분포를 Fig. 8에 나타내었다. 그림에서 상변화 재료의 발열온도가 705 °C로 일반적인 상변화 메모리가 지우기 동작 발열온도 700 °C와 거의 비슷한 값을 나타내는 것을 볼 수 있다. 또한 최초의 상변화 소자 셀 모델의 발열 온도 779 °C보다 크게 낮은 값을 나타내고 있다. 지우기 전류가 상부전극을 통해 상변화 재료 GST에 인가되면 hole 내의 상변화 재료와 하부전극 접촉면에서 발생한 열은 상변화 재료로 전달되어 상변화 재료의 온도를 올리고 상부 전극을 통해서 열이 방출된다. 따라서 새롭게 구축된 모델의 경우, hole 내에 증착되는 상변화 재료 GST 막의 두께가 처음 구축된 모델의 상변화 박막 두께 보다 얇아 발생한 열이 상부전극 텅스텐과 접촉하면서 외부로 쉽게 방출되어 온도상승을 억제 하는 것으로 생각된다.

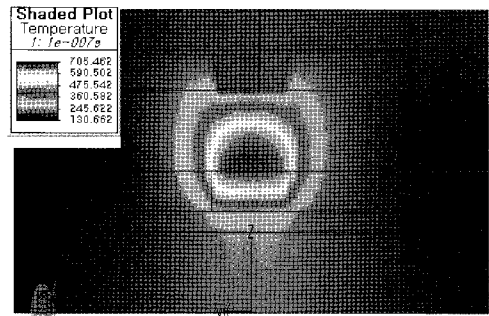


Fig. 8 Temperature distribution of fabricated PRAM

4. 결 론

본 연구에서는 상변화 재료인 Ge₂Sb₂Te₅를 이용하여 hole형 상변화 소자를 제작하였다. 상변화 재료 Ge₂Sb₂Te₅는 스퍼터링법에 의해 500 nm 크기의 hole에 증착하였다. 제작된 hole형 상변화 메모리 셀의 R-V 특성 곡선을 측정하여 상변화 메모리의 지우기 동작을 확인하였다. 제작된 hole형 상변화 메모리 셀의 지우기 전류 크기는 15 mA, 100 ns이다.

또한 상변화 메모리 소자의 동작을 시뮬레이션을

통해 예측하기 위해 PRAM 소자의 3차원 유한요소 해석 모델 구축하여 전기 및 발열 특성을 해석하였다. 상변화 재료 GST 박막의 profile 에 따라 발열 온도가 779 °C에서 705 °C로 낮아지는 것을 알 수 있었다. 이는 상변화 박막에서 발생한 열이 상부전극 텅스텐과 접촉하면서 외부로 쉽게 방출되기 때문에 사료된다.

감사의 글

본 연구는 산업자원부의 지원에 의하여 기초전력 연구원(R-2005-7-068) 주관으로 수행된 과제임

참고문헌

[1] S.Ovshinsky, "Reversible Electrical Switching Phenomena in Disordered Structures", Phys. Rev. Lett., Vol.21 (20), p. 1450, 1968.

[2] S.H.Lee, Y.N.Hwang, S.Y.Lee, K.C.Ryoo, S.J.Ahn, H.C. Koo, W.C.Jeong, Y.T.Kim, G.H.Koh, G.T.Jeong, H.S.Jeong and Kinam Kim, "Full Integration and Cell Characteristics for 64Mb non-volatile PRAM", IEEE Symposium on VLSI Tech. Dig., pp. 20-21, 2004.

[3] S.Y. Lee, K.j. Choi, S.O. Ryu, S.M. Yoon, N.Y. Lee, Y.S. Park, S.H. Lee and B.G. Yu, "Polycrystalline silicon-germanium heating layer for phase-change memory application", Applied Physic Letter, Vol.89, pp. 053517-1-3, 2006.

[4] Y.H.Ha, J.H.Yi, H.Horii, J.H.Park, S.H.Joo, S.O.Park, U.I.Chung, J.T.Moon, "An Edge Contact Type Cell for Phase Change RAM Featuring Very Low Power Consumption" IEEE Symposium on VLSI Tech. Dig., pp. 175-176, 2003.

[5] Y.N.Hwang, S.H.Lee, S.J.Ahn, S.Y.Lee, K.C.Ryoo, H.S. Hong, H.C. Koo, F. Yeung, J.H. Oh, H.J. Kim, W.C.Jeong, J.H Park, H. Horii, Y.H. Ha, J.H. Yi, G.H. Koh, G.T.Jeong, H.S.Jeong and Kinam Kim, "Writing current reduction for high-density phase change RAM", IEDM 03, pp. 893-896, 2003.

[6] I. Friedrich, V. Weidenhof, W. Njoroge, P. Franz, M.Wuttig, "Structural transformation of Ge₂Sb₂Te₅ films studied by electrical resistance measurements", J. Appl. Phys., Vol.87, No.9, p. 4130, 2000.

저 자 소 개

최홍규 (崔洪奎)

1981년 10월 31일생, 2007년 한국해양대학교 전기전자공학부 졸업, 2007년 9월~현재 한국해양대학교 대학원 전기전자공학 재학(석사)



장낙원 (張樂元)

1967년 11월 7일생, 1990년 연세대학교 전기공학과 졸업, 1992년 연세대학교 대학원 전기공학과 졸업(석사), 1999년 연세대학교 대학원 전기공학과 졸업(박사), 1992~1995년 삼성전자 AMLCD 사업부, 1999~2003년 삼성전자 반도체연구소, 2003년 9월~현재 한국해양대학교 전기전자공학부 부교수



김홍승 (金泓承)

1968년 2월 7일생, 1990년 한국과학기술대학교 전자재료과 졸업, 1993년 한국과학기술원 재료공학과 졸업(석사), 1999년 한국과학기술원 재료공학과 졸업(박사), 1999~2003년 한국전자통신연구원, 2001~2002년 미국 코넬대학교(박사후연수), 2003년 9월~현재 한국해양대학교 나노반도체전공 조교수





이성환 (李聖煥)

1966년 8월 10일생. 1990년 연세대학교 전기공학과 졸업, 1992년 연세대학교 대학원 전기공학과 졸업(석사), 1998년 연세대학교 대학원 전기공학과 졸업(박사), 1995~2001년 현대중공업 기전연구소, 2001년 3월~현재 위덕대학교 에너지전기공학부 조교수



이동영 (李東映)

1962년 7월 19일생. 1985년 서울대학교 전기공학과 졸업, 1990년 서울대학교 대학원 전기공학과 졸업(석사), 1995년 서울대학교 대학원 전기공학과 졸업(박사), 1991~1996년 기초전력공학공동연구소 선임연구원, 1996~1997년 한국전력공사 전력연구원 선임연구원. 1997년 8월~현재 위덕대학교 에너지전기공학부 부교수