

Master-Slave 기법을 적용한 System Operation의 동작 검증

論 文
58-1-31

Verification of System using Master-Slave Structure

金 吝 洙[†] · 閔 炯 福^{*}
(Insoo Kim · Hyoung Bok Min)

Abstract - Scan design is currently the most widely used structured Design For Testability approach. In scan design, all storage elements are replaced with scan cells, which are then configured as one or more shift registers(also called scan chains) during the shift operation. As a result, all inputs to the combinational logic, including those driven by scan cells, can be controlled and all outputs from the combinational logic, including those driving scan cells, can be observed. The scan inserted design, called scan design, is operated in three modes: normal mode, shift mode, and capture mode. Circuit operations with associated clock cycles conducted in these three modes are referred to as normal operation, shift operation, and capture operation, respectively. In spite of these, scan design methodology has defects. They are power dissipation problem and test time during test application. We propose a new methodology about scan shift clock operation and present low power scan design and short test time.

Key Words : Low Power Testing, Master-Slave Structure, Scan Design, Shift Operation, System Verification

1. 서 론

임베디드 시스템을 비롯한 디지털 시스템의 다양한 분야에서 활용되고 있는 동작 검증 기법으로 스캔 기법 또는 Design For Testability 기법이 포괄적으로 사용되고 있다 [1][2][3][4][5][6][7][8][11]. 스캔 기법(scan design)은 클럭과 플립플롭의 동작을 중심으로 시스템의 검증 과정을 거치게 된다. 스캔 기법은 이미 세계적으로 검증 기술의 우수성이 입증되었으며 산업계 전반 및 수많은 설계자들로부터 높은 신뢰를 얻고 있다. 그러나 스캔 기법은 검증 과정에서의 과도한 전력 소모 및 과도한 검증 시간으로 인해 단점으로 가지고 있는 것으로 인식되어 있다 [1][2][3][4][5][6][7][8]. 스캔 기법을 이용한 시스템의 동작 검증 과정에서는 클럭의 상승 신호만을 활용하여 동작 검증에 사용하고, 하강 신호를 활용하지 못하는 단점을 가지고 있다. 스캔 동작의 핵심 운영인 shift operation과 capture operation 과정에서 발생하는 과도한 전력 소모 및 시간을 줄이고자 한다. 본 논문에서는 시스템의 주 클럭의 상승 신호와 하강 신호를 모두 활용함으로써 검증 시간의 단축 및 전력 소모의 감소 등 다양한 이득을 취하는 방안에 관하여 제안한다. 이를 통하여 기존의 시스템 검증 과정에서 가장 큰 문제점으로 지적되는 과도한 검증 시간의 사용 및 전력 사용으로 인한 문제점을 해결할

수 있는 방안을 제시함과 동시에 실험을 통하여 타당성을 입증한다.

2. 본 론

2.1 표준 스캔 검증 기술

그림 1을 통하여 보여주는 표준 스캔 기법은 시스템에 존재하는 일반 플립플롭을 스캔 플립플롭으로 교체한 후 주 클럭으로부터 인가되는 클럭 신호에 따라 각각의 스캔 플립플롭들을 쉬프트 레지스터와 유사한 방식으로 운영함으로써 시스템 전체의 동작을 검증하는 기법이다.

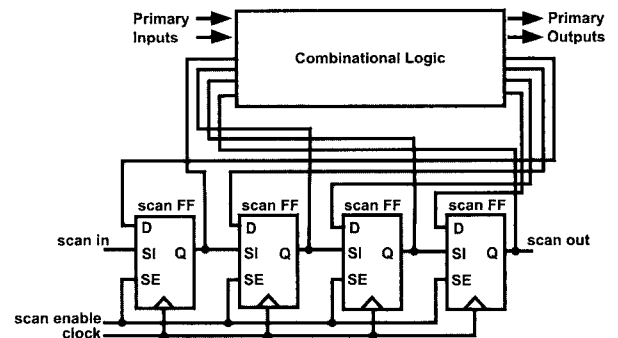


그림 1 완전 스캔 기법을 적용한 회로
Fig. 1 Circuit with Full Scan Design

스캔 동작 검증 기법의 기본 개념은 다음과 같다. 순차 회로의 동작 검증에서 회로의 출력을 관찰하는 동시에 모든

† 교신저자, 正會員 : 성균관대학교 정보통신공학부 외래교수
E-mail : iskim@ece.skku.ac.kr

* 正會員 : 성균관대학교 정보통신공학부 정교수
接受日字 : 2008年 8月 29日
最終完了 : 2008年 10月 1日

플립플롭들의 상태를 관찰할 수 있다면 회로의 동작 검증은 수월하게 진행될 수 있다는 생각에서 출발하였다. 각 플립플롭들의 상태와 각 입력 조합들에 대하여 회로의 출력이 올바른 것인지 또 올바른 다음 상태로 진행되는지 확인해야 한다. 하나의 방법은 동작을 검증하는 회로 내의 각 플립플롭들의 출력을 회로의 출력 핀에 연결하는 것이다. 그러나 회로의 핀 수는 제한되어 있기 때문에 이 방법은 상당히 제약을 받을 수 있다. 많은 입출력 핀수가 요구되지 않으면서 동시에 모든 플립플롭들의 상태를 관찰할 수 있는 기법을 제안한 것이 스캔 동작 검증 기법이다. 회로 내의 각각의 플립플롭들이 쉬프트 레지스터를 형성하도록 만든다면 하나의 출력 핀을 이용하여 플립플롭의 출력이 한 비트씩 이동하여 출력되도록 할 수 있다.

스캔플립플롭에서 test mode 가 0 일 때는 d로 입력 값이 입력되고, test mode 가 1 일 때는 scan in 으로 입력 값이 입력된다. 출력 핀 scan out 은 또 다른 스캔 플립플롭의 scan in 으로 연결되도록 하여 결과적으로 쉬프트 레지스터의 형태를 갖도록 구성된다. 이러한 쉬프트 레지스터를 스캔 체인 또는 스캔 경로라고 부른다. 이러한 스캔기법은 뛰어난 controllability와 observability를 이유로 여러 테스트기법들 중에서 선호되는 기법 중 하나이며 많은 장점을 가지고 있는 것이 사실이다[1][2].

2.2 표준 스캔 검증 기술의 문제점

그러나 그림 1을 통하여 알 수 있듯이 기존 스캔체인 구조에서는 테스트를 위한 값이 전체 회로 중 순차 회로내에 인가되는 동안 조합 회로의 스위칭이 일어나게 된다. 스캔 기법의 최대 단점으로 지적되는 과도한 전력 소모의 이유 중 하나가 이 부분에 해당된다. 즉, 회로의 동작을 검증하는 과정인 스캔 기법 적용 단계에서 테스트를 위한 입력 값이 순차 회로(스캔 체인)내로 인가될 때인 shift operation 과정 중에 조합 회로의 스위칭은 전체 test operation 의 전력 소모를 증가시키고 검증 시간을 지연시키는 원인 중 하나라 판단되어 본 논문에서는 shift operation 동안의 전력 소모 및 검증 시간의 단축을 위하여 회로의 클럭 운영 방식에 있어서 기존과 다른 관점에서 접근한다.

스캔 기법에서 shift operation과 capture operation은 필수적으로 요구되는 단계이다. 회로 내에 스캔 플립플롭이 200개로 구성되어 있는 단일 스캔 체인을 가정하면 shift operation을 위한 shift 클럭은 200회가 요구된다. 그러나 capture operation을 위한 capture 클럭은 1회 또는 2회 정도 요구된다. 즉, 스캔 기법을 적용한 동작 검증 과정에서의 중점적인 역할을 하는 것은 capture 클럭이 아닌 shift 클럭이다. 이를 통하여 볼 때 앞서 언급한 동작 검증 과정에서 소모되는 전력과 시간은 대부분 shift operation 과정에서 발생한다. 따라서 본 논문에서는 이와 같은 근거로 capture 클럭은 논외로 하고, shift 클럭의 운영에 중점을 두고 있으며 shift 클럭의 운영에 관한 개선된 방안을 제안한다.

2.3 제안하는 shift 클럭의 운영 방식

앞에서 언급한 바와 같이 회로 또는 시스템의 동작 검증

과정에서는 주로 shift operation을 중심으로 운영된다. 이러한 shift operation 과정에서 사용되는 shift 클럭은 회로 또는 시스템의 동작 검증을 위한 테스트 값이 순차 회로에 인가되기 위해 필수적인 클럭이다. 그러나 이러한 필수적인 shift 클럭의 움직임으로 인해 동작 검증 전체의 전력 소모가 증가하고 동작 검증의 시간이 지연된다. 또한 부수적으로 조합 회로의 스위칭까지 유도하게 됨으로써 더욱 불필요한 움직임이 가중된다.

본 논문에서는 회로 또는 시스템의 동작 검증에 필수적이지만 단점으로 지적되는 shift 클럭의 움직임을 최소화하기 위한 방안을 제안한다. Shift 클럭의 운영을 master-slave 방식을 응용하여 적용하게 되면 기존의 단점으로 지적되는 부분들이 상당 부분 개선이 가능하다[9][10]. 비록 설계 범칙에 의하면 회로 또는 시스템의 모든 플립플롭들은 직접적으로 조절이 가능해야 한다는 조건이 있지만, 동작 검증을 위한 회로 또는 시스템의 모든 플립플롭에 있어서 클럭의 고장이 존재하지 않는다는 보장이 되는 경우라면 본 논문에서 제안하는 방안이 적용 가능하다. 본 논문에서는 기존의 설계 범칙을 반드시 위배한다고 판단하지 않는다. 그 이유는 본 논문에서 제안하는 방식은 전체 동작 검증의 모든 과정에서 운영되는 클럭 운영 방안을 제안한 것이 아니라 shift operation의 운영 과정에서의 적용을 대상으로 한다. Shift operation 과정에서의 적용을 중점으로 고려한 이유는 이미 앞서 언급을 하였다.

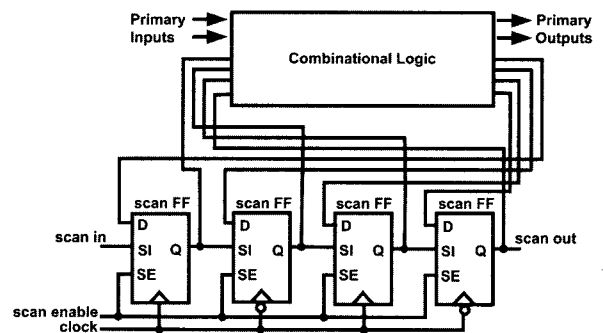


그림 2 제안하는 기법을 적용한 완전 스캔 기법 회로의 기본 개념

Fig. 2 Theory about Proposed Scan Designed Circuit with Full Scan Design

본 논문에서는 그림 2를 통하여 제안하는 스캔 기법을 보여준다. Normal mode(test mode=0)에서는 회로 또는 시스템은 회로 고유의 일반적인 동작을 수행한다. Test mode(test mode=1)에서는 크게 두 가지의 세부 상태로 분류된다. Shift mode와 capture mode이다. Scan enable 신호가 1일 경우에 동작 검증의 대상 회로 또는 시스템은 shift operation을 수행하고, scan enable 신호가 0일 경우에는 capture operation을 수행한다. 본 논문에서는 test mode=1 상태 즉 test mode 상태에서 scan enable=1 상태에서의 shift operation을 수행하는 클럭인 shift 클럭의 동작을 제어한다. 클럭들 사이에 다음과 같이 인버터 또는 not 게이트를 추가적으로 설치할 경우 동작 검증 해당 회로의 스캔 체인들은 master-slave 쉬프트 레지스터의 동작을 수행한다. 이

와 같은 구조는 기존의 클럭 상승 신호만을 사용하는 기법과 달리 하강 신호를 동시에 사용함으로써 기존의 동작과 비교하여 그 절반의 노력만으로 동일한 효과를 얻을 수 있다.

Scan enable 신호가 1일 경우에만 스캔 체인들을 구동하는 클럭들에게 인버터를 추가해야 하므로 다음과 같이 추가적인 회로를 삽입하여 제어가 가능하다.

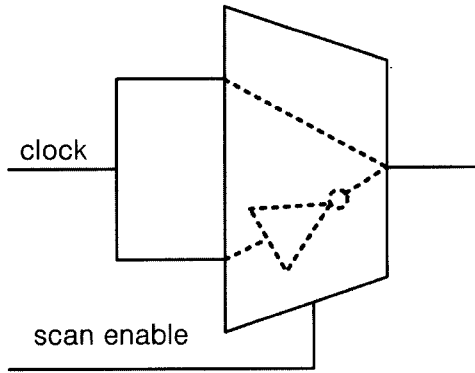


그림 3 Scan Enable 신호를 이용하여 제안하는 기법을 조절

Fig. 3 Proposed Test Methodology by Scan Enable Signal

스캔 플립플롭들 각각의 회로에 인가되는 클럭들의 앞단에 그림 3과 같은 멀티플렉서를 추가적으로 삽입하여 scan enable 신호가 0일 경우에는 capture operation을 수행하고, scan enable 신호가 1일 경우에는 shift operation을 수행하도록 한다. Scan enable 신호가 1일 경우에는 멀티플렉서 내부의 인버터를 통하여 앞단 플립플롭과 뒷단 플립플롭의 구조를 master-slave 구조로 변경한다. 즉, 기존의 설계 법칙을 충실히 따르면서 shift operation을 수행하는 과정에서만 스캔 플립플롭들이 master-slave 구조로 변경되므로 동작 검증을 위한 클럭의 신호를 입력받았을 때 상승 신호와 하강 신호 모두 동작 검증을 위해 사용이 가능하다.

그림 4를 통하여 제안하는 기법을 조절하는 멀티플렉서가 삽입된 회로를 보여준다.

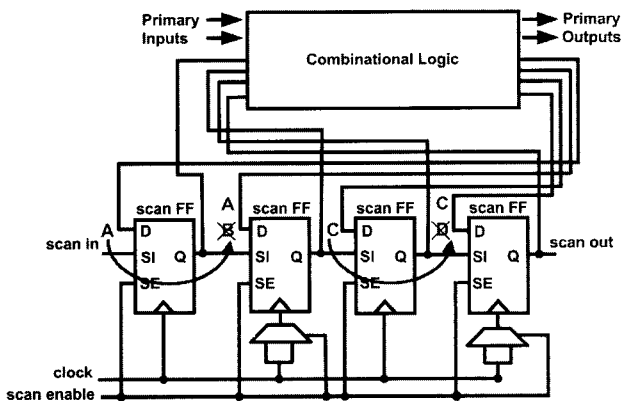


그림 4 Master-Slave 기법의 적용 시 문제점

Fig. 4 Problem of Master-Slave Concept

본 논문에서 제안하는 master-slave 기법을 shift 클럭에 적용하면 그림 4와 같은 구조가 형성된다. 그런데 이 시점에서 약간의 문제가 발생한다. Shift 클럭의 상승 신호에서 1,3번째 플립플롭들이 동작하고, 하강 신호에서 2,4번째 플립플롭들이 동작하는 master-slave 구조가 형성되는데 상승 신호에서 전달되는 동작 검증을 위한 값들이 타이밍 문제를 발생시킨다. 동작 검증을 위한 값 B가 다음 플립플롭으로 전달된 후 A의 이동이 있어야 하는데 1,3번째 플립플롭들과 2,4번째 플립플롭들의 동작 시점이 동일하지 않기 때문에 A 값이 이동하면서 미처 다음 플립플롭으로 전달되지 못한 동작 검증 값 B를 덮어쓰는 현상이 발생한다. C 값도 역시 D 값이 다음 플립플롭으로 전달되기 전에 D 값을 삭제하는 문제가 발생한다. Master-slave의 장점을 살리는 과정에서 동작 검증 값의 부분적인 삭제가 발생하게 된다. 이를 해결하기 위해 플립플롭들 사이에 동작 검증 값을 홀드(hold)하는 Lock-up Latch를 삽입한다. 이를 통하여 상승 클럭 신호에서 전달받은 앞단 플립플롭의 값이 잠시 홀드 상태가 된 후 하강 클럭 신호에서 다음 플립플롭으로 전달된다.

비로소 우리는 shift 클럭의 상승 신호와 하강 신호를 기준으로 정확하게 동작하는 shift operation을 위한 구조를 제안한다. 최종 제안된 구조는 그림 5를 통하여 보여준다.

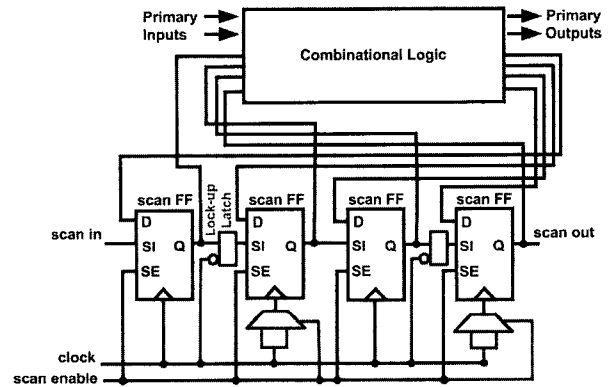


그림 5 제안하는 스캔 동작 검증 기법을 적용한 구조

Fig. 5 Proposed Scan Design Methodology Architecture

그림 5를 통하여 제안하는 기법의 구체적인 구조를 보여준다. Test mode 동작에서 scan enable을 통하여 shift operation을 수행하기 위한 신호를 발생하면 그와 동시에 스캔 플립플롭들은 master-slave 구조로 변경된다. 이를 통하여 제안하는 기법이 적용된 클럭 운영 방식으로 회로 또는 시스템의 동작 검증 과정이 실행되며, capture operation을 위한 신호 즉 scan enable=0 상태가 되면 클럭은 기존의 방식과 동일한 상태로 다시 변경된다. 이를 통하여 본 논문에서는 기존의 클럭 운영과 비교하여 획기적인 전력 감소 및 동작 검증 시간의 감소를 가져온다. 그림 5에서 shift operation 과정에서 추가되는 Lock-up Latch 회로를 포함하여 표현한다. 이는 shift 클럭의 상승 신호와 하강 신호에 동작하는 연속된 스캔 플립플롭들의 값들이 over-loading되는 문제를 해결하기 위해 추가된 회로이다. 이 회로 또한 shift operation 동안만 추가되어 동작하는 회로이다.

이를 통하여 기존의 스캔 기법의 동작 검증에서의 최대

단점으로 지적되는 전력 소모량을 절반으로 감소시킬 수 있으며 동작 검증에 필요한 시간도 역시 약 절반으로 감소가 가능하다.

그림 6을 통하여 기존의 클럭 운영과 본 논문에서 제안하는 클럭 운영을 비교한다.

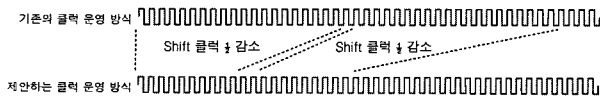


그림 6 기존의 shift 클럭 운영과 제안하는 shift 클럭 운영의 비교

Fig. 6 Comparison Proposed Shift Clock Operation with Existing Shift Clock Operation

그림 6에서는 스캔 체인 내에 20개의 스캔 플립플롭들로 구성되어 있다고 가정한다. 붉은 shift 클럭 신호들과 푸른 capture 클럭 신호들로 구성된 동작 검증 클럭이다. 기존의 클럭 운영 방식과 비교하여 제안하는 클럭 운영 방식에서는 동작 검증을 위한 shift 클럭이 절반만 요구되는 특성이 있다. 이를 통하여 확인하듯이 기존의 방식과 비교하여 획기적인 감소가 가능한 기법을 본 논문에서는 제안한다.

3. 결 론

최근의 회로 및 시스템들은 단일 스캔 체인보다는 다중의 스캔 체인 방식을 적용한 동작 검증 과정을 거치게 되며, 수많은 순차 회로 또는 플립플롭들로 구성된다. 이러한 최근의 경향을 고려할 때 회로 및 시스템의 정확하고 세밀한 동작 검증 과정은 필수적임에 분명하지만 검증 과정에서 해결하기 어려운 문제인 과도한 전력 소모 및 동작 검증 시간의 지연은 스캔 동작 검증의 최대 단점으로 지적된다. 특히 동작 검증을 위한 과정의 대부분은 shift operation이 대다수를 차지하고 있기에 본 논문에서는 이러한 최대 단점의 문제를 해결하기 위해 shift 클럭을 중심으로 문제를 해결한다. Shift 클럭 운영에 있어서 전력 감소 및 시간의 감소를 얻는다면 동작 검증 전체의 전력 문제 및 시간의 문제를 직접적으로 해결이 가능하다. 본 논문에서는 master-slave 구조를 응용한 클럭의 운영을 통하여 세계적인 표준으로 자리잡은 스캔 동작 검증 기법의 최대 단점을 해결하는 방안을 제시한다.

감사의 글

본 연구는 2008년도 반도체설계교육센터(IDEC)의 지원에 의하여 이루어진 연구로서, 관계부처에 감사드립니다.

참 고 문 헌

[1] Laung-Terng Wang, Charles E. Stroud and Nur A. Touba, "System On Chip Test Architectures Nanometer Design For Testability," Morgan Kaufmann Publishers, 2008.
 [2] Laung-Terng Wang, Cheng-Wen Wu and Xiaoqing

Wen, "VLSI Test Principles and Architectures Design For Testability," Morgan Kaufmann Publishers, 2006.
 [3] Bushnell, M.L. and Agrawal, V.D., "Essentials of Electronic Testing," Academic publishers, 2000.
 [4] Abramovici, M., Breuer, M.A. and Friedman, D., "Digital Systems Testing and Testable Design," Computer Science Press, 1990.
 [5] Miczo, A., "Digital Logic Testing and Simulation," John Wiley & Sons, 1986.
 [6] Eichelberger, E.B. and Williams, T.W., "A Logic Design Structure for LSI Testability," Proc. 14th Design Automation Conf. June, 1977.
 [7] Sedra Abramovici, M., Breuer, M.A. and Friedman, A.D., "Digital Systems Testing And Testable Design," IEEE Press, 1990.
 [8] <http://www.synopsys.com>, 2008.
 [9] Michael D. Ciletti, "Modeling, Synthesis, and Rapid Prototyping with the Verilog HDL," Prentice Hall, 1999.
 [10] Jan M. Rabaey, Anantha Chandrakasan and Borivoje Nikolic, "Digital Integrated Circuit-A Design Perspective 2nd Edition," Prentice Hall, 2003.
 [11] Mark Burns and Gordon W. Roberts, "An Introduction to Mixed-Signal IC Test and Measurement," Oxford University Press, 2001.

저 자 소 개



김인수 (金 沕 洙)

1974년 11월 25일생. 2000년 2월 성균관대학교 전기전자 및 컴퓨터공학부 졸업(학사). 2002년 2월 성균관대학교 일반대학원 전기전자 및 컴퓨터공학과 졸업(석사). 2008년 2월 성균관대학교 일반대학원 전기전자 및 컴퓨터공학과 졸업(박사). 2004년~ 현재 성균관대학교 정보통신공학부 외래교수
 Tel : 031-290-7162, Fax : 031-290-7689
 E-mail : iskim@ece.skku.ac.kr



민형복 (閔 炯 福)

1958년 2월 22일생. 1980년 서울대학교 전자공학과 졸업(학사). 1982년 한국과학기술원 전기 및 전자공학과 졸업(석사). 1990년 The University of Texas at Austin 전기 및 컴퓨터공학과 졸업(박사). 1982년~1985년 금성통신(주) 연구소 주임연구원. 1985년~1986년 미국 Columbia 대학교 연구원. 1991년~ 현재 성균관대학교 정보통신공학부 정교수
 Tel : 031-290-7119, Fax : 031-290-7689
 E-mail : min@ece.skku.ac.kr