논 문
58-12-11

고주파 필터를 이용한 개선된 위상각 검출 방법

Enhanced Phase Angle Detect Method Using High-pass Filter

허 민 호* · 송 성 근† · 김 광 헌** · 남 해 곤** · 박 성 준***
(Min-Ho Heo · Sung-Gun Song · Gwang-Heon Kim · Hae-Gon Nam · Sung-Jun Park)

Abstract - The enhanced phase angle estimation algorithm is essential to supply the power stably under synchronizing with grid source. In this paper, we are proposed the novel phase angle estimation algorithm and verified the validity of proposed method as simulation with PSIM and experiments. We sort the harmonics element using high-pass filter(HPF) that have the cut-off frequency below basic element and make reverse d-q transformation. So, it can be restored the harmonics element at stationary axis, and we can get the fundamental voltage element of AC grid. Proposed PLL method have a rapid responsibility and a large margin at controller design than conventional method because it have a small phase delay and a sufficient controller gain margin. And, it can reduce the error of voltage rms value and axis transformation according to robust PLL algorithm against the harmonic and phase unbalance.

Key Words : PLL, HPF, Angle estimation algorithm

1. 서 론

현재 많이 사용되고 있는 화력과 원자력 발전의 환경 및 안정성 등의 문제로 인해 대체 에너지에 대한 관심이 지속적으로 증가하고 있다[1],[2]. 그 중 태양광 및 풍력발전은 실용성이 높아 대단위 발전단지가 전 세계적으로 많이 늘어나고 있는 추세며, 국내에서도 태양광 및 풍력발전 단지의 건설추진이 가시화 되고있다[3]. 그 이외에도 연료전지 등의 대체에너지관련 발전시스템에 대한 연구는 지속적으로 진행될 것이다[4]. 이러한 대체 에너지를 이용한 발전시스템은 전력회사 계통에 연계하여 운전하는 계통연계시스템과 전력계통에 관계없는 독립적인 부하에 전원을 공급하는 독립전원시스템으로 분류할 수 있다[5]. 특히 계통연계시스템에서 계통과 연계하기 위해서는 계통의 주파수와 위상에 동기되어 전력을 공급하여야 한다. 계통전원과 동기된 상태로 전력을 안정적으로 공급하기 위해서는 우수한 위상 추정알고리즘이 필수적이다. 일반적인 위상추정 알고리즘은 d-q 변환을 통하여 위상정보를 취득하는데 3상 전압에 고조파성분이 함유될 경우 변환된 d-q 전압성분에 리플분이 존재하게 되며, 이러한 고조파 리플분을 제거하기 위해 저역통과 필터를 사용함으로써 위상지연이 발생하며, 이로 인하여 위상추정 제어기를 설계하는데 상당한 어려움이 있다.

본 논문에서 이러한 문제점을 해결하기 위해 현재까지 사용되지 않는 고역통과 필터를 이용한 새로운 위상각 검출 알고리즘을 제안하였다. PSIM을 이용한 시뮬레이션과 실험실 차원의 실물 제작을 통하여 제안된 방식의 타당성을 검증 하였다.

* 정 회 원 : 전남대 공대 전기공학과 박사과정
** 정 회 원 : 전남대 공대 전기공학과 교수
*** 정 회 원 : 전남대 공대 전기공학과 부교수
† 교신저자, 정회원 : 전자부품연구원 선임연구원
E-mail : fid_111@naver.com
접수일자 : 2009년 10월 15일
최종완료 : 2009년 11월 21일

2. PLL 알고리즘

2.1 기존의 PLL알고리즘

신뢰성 있는 PLL(phase-locked loop)을 행하기 위해서는 계통전압의 기본파성분에 대한 정확한 정보가 필수적이다. 그러나 계통전압에는 기본파 성분 이외에 고조파 성분이 다소 포함되어 있으며, 이는 위상각 추정의 에러에 직접적인 영향을 미친다. 그림 2.1은 계통에 포함되어 있는 고조파성분을 제거하기 위해 사용되는 일반적인 방식을 도시하고 있다.

일반적으로 그림 2.1(a)와 같이 정지 2상 좌표상인 a-b축 상에 나타나는 계통전압에는 기본파와 고조파성분이 포함되어 있다. a-b축 상에 존재하는 고조파성분을 제거하기 위한 저역통과 필터 설계보다 회전 2상 좌표인 d-q 축 상에 나타나는 저역통과 필터의 설계가 용이하여 d-q 변환 후 저역통과 필터를 설계하는 것이 통상적이다. 그림 2.1(b)와 같이 정지 2상 좌표를 회전 2상 좌표로 변환 할 경우 계통전압의 기본파 성분은 직류 성분으로 변환되고, 고조파 성분은 1차 낮거나 높은 고조파 성분이 된다. 이 고조파 성분을 제거하기 위해 그림 2.1(c)와 같이 기본파 성분 이하의 컷-오프 주파수(fc)를 갖는 저역통과 필터를 사용하여 그림 2.1(d)와 같이 직류성분만 취하게 된다. 이때 고조파 성분을 강력히 제거하기 위해서는 낮은 컷-오프 주파수를 갖는 필터를 설계하여야 하나, 이는 큰 시정수에 의해 위상각 검출 속도가 저

감되는 단점이 있다.

일반적인 PLL의 구조는 d축 전압성분을 Zero로 할 수 있도록 PI제어기가 위상을 출력하도록 하는 형태를 취하고 있다. 이 경우 d축 전압성분에 리플분이 존재하는 경우 제어기의 Gain 설정에 문제가 있으며, 이로 인해 한정된 에러 범위 내에서 위상각 추종에 어려움이 있고, 위상을 추종할 수 있는 d축 전압 리플율에 제한이 있어 모든 신호영역에 대하여 위상을 추종하는 것이 불가능하게 된다. 따라서 기존의 PLL이 동작할 수 있는 전원전압의 고조파율과 추종속도에는 한계가 있다.

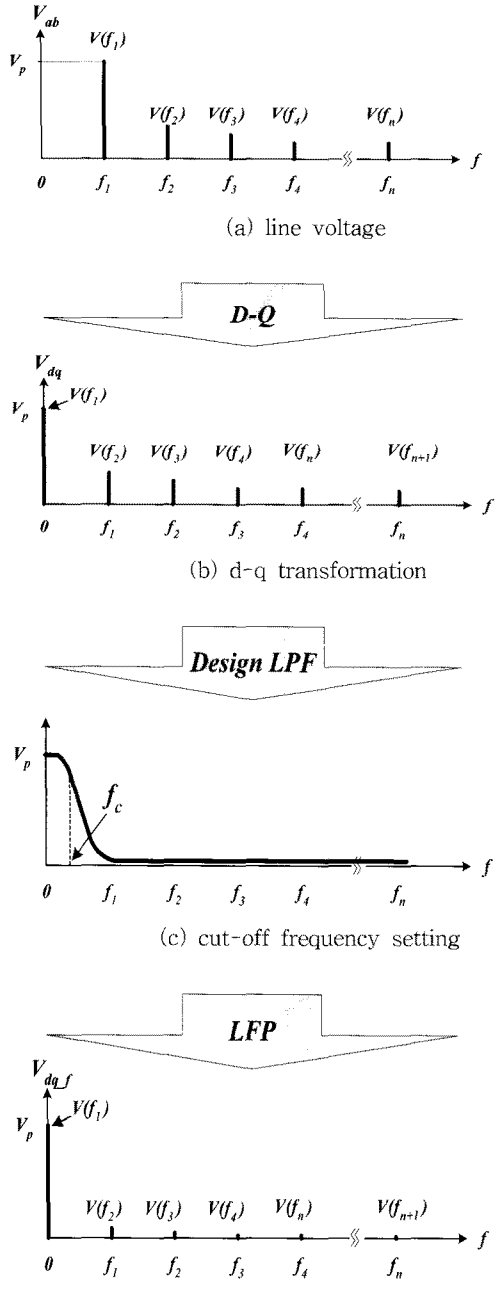


그림 2.1 d-q변환과 저역통과 필터를 이용한 리플 제거법

Fig. 2.1 Ripple reduction method using d-q transformation and low pass filter

계통에서 불평형 3상 전압은 다음과 같이 표현될 수 있다.

$$\begin{vmatrix} v_a \\ v_b \\ v_c \end{vmatrix} = V^+ \begin{vmatrix} \cos(\omega t+\phi^+) \\ \cos(\omega t-\frac{2\pi}{3}+\phi^+) \\ \cos(\omega t+\frac{2\pi}{3}+\phi^+) \end{vmatrix} + V^- \begin{vmatrix} \cos(\omega t+\phi^-) \\ \cos(\omega t+\frac{2\pi}{3}+\phi^-) \\ \cos(\omega t-\frac{2\pi}{3}+\phi^-) \end{vmatrix} \quad (1)$$

식 (1)에서 첨자 +, -는 각각 정상분과 역상분 전압의 계수를 의미 한다. 식 (1)을 복소수 전압으로 표현하면 아래와 같다.

$$v_{abc} = V^+ e^{j(\omega t+\phi^-)} + V^- e^{-j(\omega t+\phi^-)} \quad (2)$$

θ_s축인 동기좌표계의 복소수 전압은 아래와 같다.

$$v_{abc} = V^+ e^{j(\omega t+\phi^- -\theta_s)} + V^- e^{-j(\omega t+\phi^- +\theta_s)} \quad (3)$$

위식에서 d-q전압은 아래와 같이 표현된다.

$$\begin{aligned} v_d &= V^+\cos(\omega t+\phi^+-\theta_s) + V^-\cos(\omega t+\phi^- +\theta_s) \\ v_q &= V^+\sin(\omega t+\phi^+-\theta_s) + V^-\sin(\omega t+\phi^- +\theta_s) \end{aligned} \quad (4)$$

PLL에서 계통전압의 위상을 정확히 추정하고 있다면 θ_s축은 ωt가되어 위 식은 아래와 같이 간략화 된다.

$$\begin{aligned} v_d &= V^+\cos(\phi^+) + V^-\cos(2\omega t+\phi^-) \\ v_q &= V^+\sin(\phi^+) + V^-\sin(2\omega t+\phi^-) \end{aligned} \quad (5)$$

따라서 계통전압에 불평형이 발생하면 동기좌표계상의 PLL시스템에서는 역상분 전압으로 인해 d-q축 전압성분에 전원주파수의 2배에 해당하는 전압맥동분이 발생한다. 이 역상분 전압에 의한 고조파를 제거하기 위서는 일반적으로 90도 위상지연을 갖는 전역통과 필터(APF)를 사용한다. 식 (5)가 전역통과 필터를 거치면 아래와 같이 된다.

$$\begin{aligned} v_d' &= V^+\cos(\phi^+) + V^-\sin(2\omega t+\phi^-) \\ v_q' &= V^+\sin(\phi^+) + V^-\cos(2\omega t+\phi^-) \end{aligned} \quad (6)$$

따라서 다음 식에 의해 계통전압 불평형에 따라 d-q상에 나타나는 맥동분 제거가 가능하다.

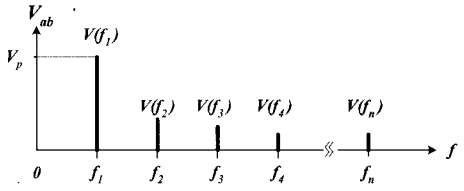
$$\begin{aligned} v_d &= \frac{1}{2}(v_d+v_q+v_d'-v_q') = V^+\cos(\phi^+) \\ v_d &= \frac{1}{2}(-v_d+v_q+v_d'+v_q') = V^+\sin(\phi^+) \end{aligned} \quad (7)$$

개선된 PLL 시스템 구축을 위해서는 계통전압의 고조파 성분과 전압 불평형을 보상할 수 있는 알고리즘의 구성이 필수적이다.

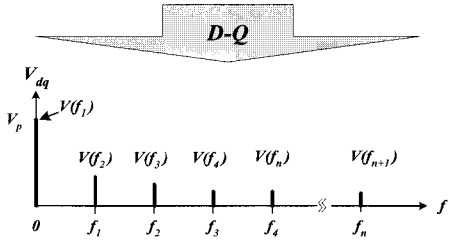
2.2 제안된 계통전압 고조파 제거 알고리즘

계통전압의 기본파성분에 대한 정확한 정보 취득을 통한 신뢰성 있는 PLL를 구축하기 위해 본 논문에서는 고역통과 필터를 이용한 고조파 제거 알고리즘을 제안한다.

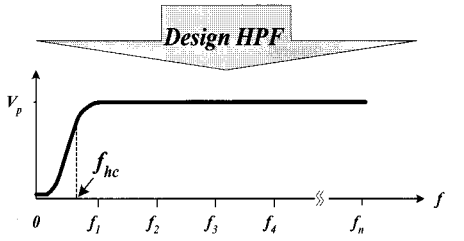
그림 2.2는 계통에 포함되어 있는 고조파성분을 제거하기 위해 제안된 방식을 나타내고 있다. 그림 2.2(a)와 같이 기본파와 고조파성분이 포함되어 있는 정지 2상 계통전압을 회전 2상 좌표인 d-q축 상에 변환한다. 이 경우 계통전압의 기본파 성분은 직류 성분으로 변환되고, 고조파 성분은 한 차수 낮거나 높은 고조파 성분이 된다. 특히 역상분 성분은 d-q변환 시 120[Hz]성분인 2고조파 성분이 된다. 우선 기본파 성분을 제거하여 고조파 성분만 취득하기 위해 기본파 성분 이하의 컷-오프 주파수(fc)를 갖는 고역통과 필터를 사용한다. 고조파 성분만으로 구성된 d-q축 상의 전압을 역 d-q변환을 행하면 정지좌표계상의 고조파 성분으로 환원이 가능하며, 이를 a-b축 상의 전압에서 빼주게 되면 계통의 기본파 성분을 취할 수가 있다.



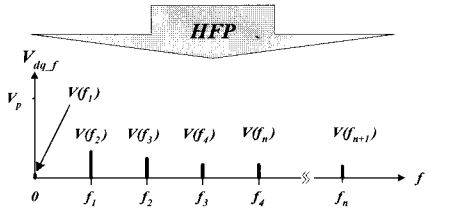
(a) line voltage with harmonic frequency



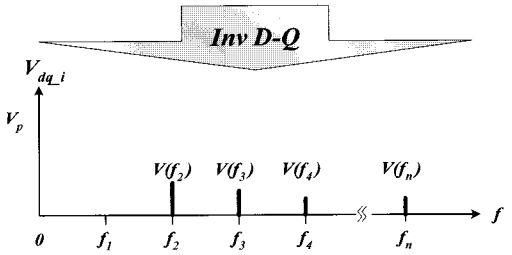
(b) d-q transformation



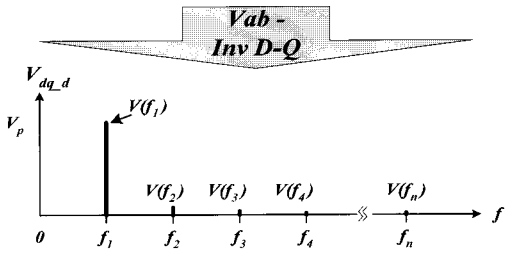
(c) cut-off frequency setting



(d) high pass filter



(e) inverse d-q transformation



(f) restored base element of line voltage

그림 2.2 d-q변환과 고역통과 필터를 이용한 리플 제거법
Fig. 2.2 Ripple reduction method using d-q transformation and high pass filter

이상의 원리를 블록도로 표현하면 그림 2.3과 같이 표현할 수 있다. 그림에서 보는 바와 같이 d-q변환 된 전원전압에는 다수의 고조파 성분이 포함되어 있고, 고역통과 필터 출력에는 직류전압이 제거된 고조파 성분만이 포함되어 있으므로 입력전압과 고역통과 필터 출력전압의 차는 직류성분만 존재하게 된다. 이러한 방식은 기존의 저역통과 필터를 이용한 방법과 고조파 제거비는 거의 동일하나 동특성이 우수하여 전원전압 변동의 실시간 검출에 유리하게 된다.

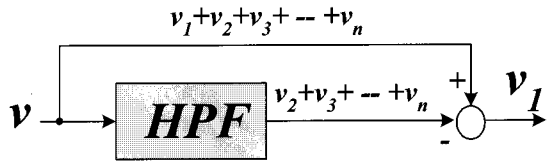


그림 2.3 고역통과 필터를 이용한 저역통과 필터 블럭도
Fig. 2.3 LPF black diagram using HPF

2.3 전압 및 전류제어기의 구성

3상 PWM 인버터를 나타낸 전압 방정식은 아래와 같이 2상 동기좌표계 모델로 얻어진다.

$$C\frac{du_{dc}}{dt} = \frac{3}{2}(i_q^e d_q^e + i_d^e d_d^e) - i_{dc} \tag{8}$$

$$L\frac{di_q^e}{dt} = e_q^e - u_{dc}d_q^e - \omega L i_d^e - R i_q^e \tag{9}$$

$$L\frac{di_d^e}{dt} = e_d^e - u_{dc}d_d^e + \omega L i_q^e - R i_d^e \tag{10}$$

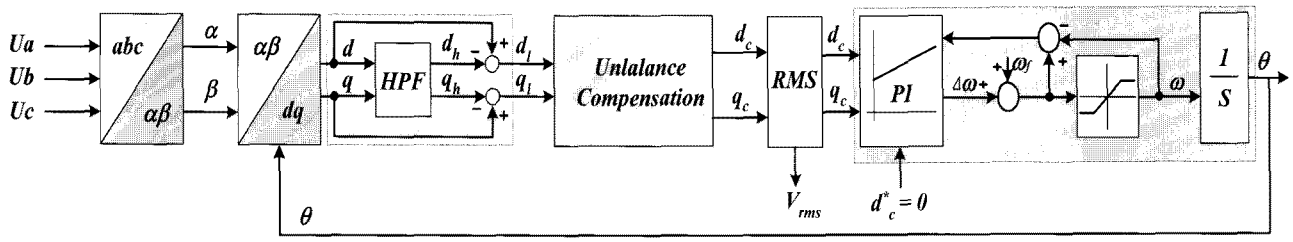


그림 2.4 제안된 PLL제어 알고리즘 블록도
Fig. 2.4 Proposed PLL control black diagram

식(8)에서 식(10)까지의 2상 동기좌표계 모델 블럭도는 그림 2.5와 같이 나타낼 수 있다.

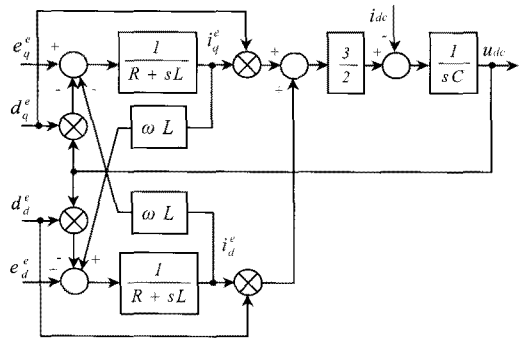


그림 2.5 2상 동기좌표계 모델 블록도
Fig. 2.5 Two phase synchronous reference model block

그림 2.5에서 알 수 있듯이 d-q축은 ωL의 간섭분이 존재하나 이항은 전향보상기의 사용으로 제거가 가능하다. 동기좌표계 q축 전류를 제어함으로써 전원 측에서 공급되는 입력전력을 제어할 수 있다. 그러므로 q축 전류지령치로 직류링크전압을 일정하게 유지하기 위하여 전원 측으로 발전하는 전력에 대한 전향보상(feedforward)항과 직류 링크전압의 오차에 대한 궤환항으로 구성할 수 있다. 궤환제어기로 IP제어기를 사용하는 경우에는 다음 식과 같다.

$$i_q^* = [-K_p u_{dc} + K_i \int (u_{dc}^* - u_{dc}) dt] + P_{out} / (\frac{3}{2} E) \tag{11}$$

여기에서 전원(태양광/풍력/연료전지 등) 모듈에서 발생하는 전력은 전원 측 전류와 전압정보로부터 구할 수 있다. 직류 링크전압에 관한 방정식은 다음과 같다.

$$\frac{C}{2}\frac{du_{dc}^2}{dt} = P_{in} - P_{out} \tag{12}$$

여기에서 C는 직류 링크 커패시턴스이다.

q축 전류제어가 완벽하고 전원 모듈에서 발생하는 전력에 대한 보상이 완벽하다면 식(11), (12)로부터 아래 식을 얻을 수 있다.

$$\frac{C}{2}\frac{du_{dc}^2}{dt} = \frac{3}{2} E [-K_p u_{dc} + K_i \int (u_{dc}^* - u_{dc}) dt] \tag{13}$$

직류 링크전압의 동작점(v_{dco})에서 직류링크 전압의 제곱을 테일러 시리즈로 전개한 후, 2차 이상을 무시하여 구하면 식 (13)이 되고, 이식을 식 (14)에 대입하면 식(15)로 표현된다.

$$u_{dc}^2 = u_{dco}^2 + 2(u_{dc} - u_{dco}) \tag{14}$$

$$Cu_{dco}\frac{du_{dc}}{dt} = \frac{3}{2} E [-K_p u_{dc} + K_i \int (u_{dc}^* - u_{dc}) dt] \tag{15}$$

식(15)의 전달함수는 식(16)과 같다.

$$\frac{u_{dc}(S)}{u_{dc}^*(S)} = \frac{\frac{\frac{3}{2}EK_i}{Cu_{dco}}}{s^2 + \frac{\frac{3}{2}EK_p}{Cu_{dc0}} s + \frac{\frac{3}{2}EK_i}{Cu_{dc0}}} = \frac{\omega_n^2}{s^2 + 2\zeta\omega_n s + \omega_n^2} \tag{16}$$

식(16)에서 ω_n은 자연 비감쇠 주파수(natural undamped frequency)이고 ζ는 감쇠비(damping ratio)이다. IP제어기의 비례이득과 적분이득은 주파수 영역에서의 해석을 통하여 구할 수 있다 이 때, 직류 링크전압제어가 원활히 수행되는 경우에는 직류 링크전압의 동작점을 직류 링크전압 지령치라고 생각할 수 있으므로, 비례이득과 적분이득은 다음과 같이 구할 수 있다.

$$K_p = 2\zeta\omega_n \frac{Cu_{dc}^*}{\frac{3}{2}E} \tag{17}$$

$$K_i = \omega_n^2 \frac{Cu_{dc}^*}{\frac{3}{2}E} \tag{18}$$

전원전압과 전류가 정현파인 경우에 단위 역률제어를 위해서는 d축 전류 지령치를 Zero로 설정하면 된다. 전류제어기는 i^e_d와 i^*_d의 편차를 보상함으로서 v^*_d출력하므로 식(19)로 나타난다.

$$-L\frac{di_d^e}{dt} = K_p i_d^e + K_i \int (i_d^e - i_d^*) dt \tag{19}$$

이때 식(19)의 전달함수를 구하면 식(20)과 같이 된다.

$$\frac{i_d(S)}{i_d^*(S)}=\frac{\frac{K_i}{L}}{s^2+\frac{K_p}{L}s+\frac{K_i}{L}}=\frac{\omega_n^2}{s^2+2\zeta\omega_n s+\omega_n^2} \tag{20}$$

따라서 역률제어기의 비례이득과 적분이득은 다음과 같이 구할 수 있다.

$$K_p=2\zeta\omega_n L \tag{21}$$

$$K_i=\omega_n^2 L \tag{22}$$

3. 시뮬레이션 및 실험결과

3.1 시뮬레이션 결과

그림 3.1은 고역통과 필터를 이용하여 PLL 회로를 구성할 경우 특성을 분석하기 위한 Psim시뮬레이션 회로도이며, 그림 3.2는 180[Hz], 30[V] 3고조파를 1[V]로 감쇠시키는 기존의 PLL 회로와 고역통과 필터를 이용한 제안된 회로의 특성을 분석한 파형이다. 특성분석 결과 기존의 PLL 회로에 비하여 제안된 필터의 시정수가 적게 나타남을 알 수 있었다.

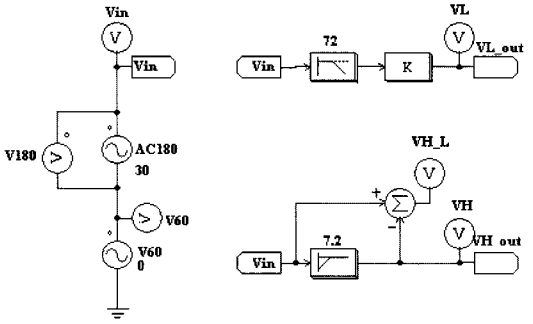
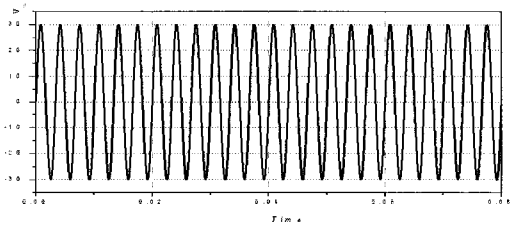
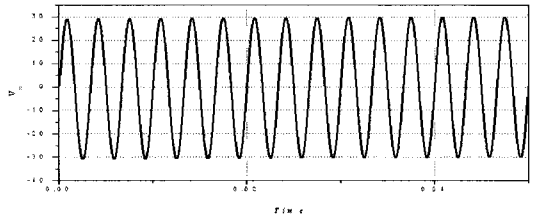


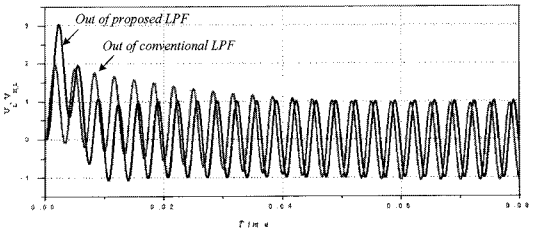
그림 3.1 필터 특성 분석 회로도
Fig. 3.1 Circuit for analysis of PLL characteristic



(a) input 3th-harmonic



(b) output of HPF



(c) output of proposed HPF and PLL using LPF

그림 3.2 두 필터의 특성 비교
Fig. 3.2 Comparison of two filter characteristics

그림 3.3은 고조파 및 상 불평형을 포함한 역상분 전압에 대하여 제안된 개선된 PLL기법의 타당성을 검증하기 위한 시뮬레이션 회로도이다.

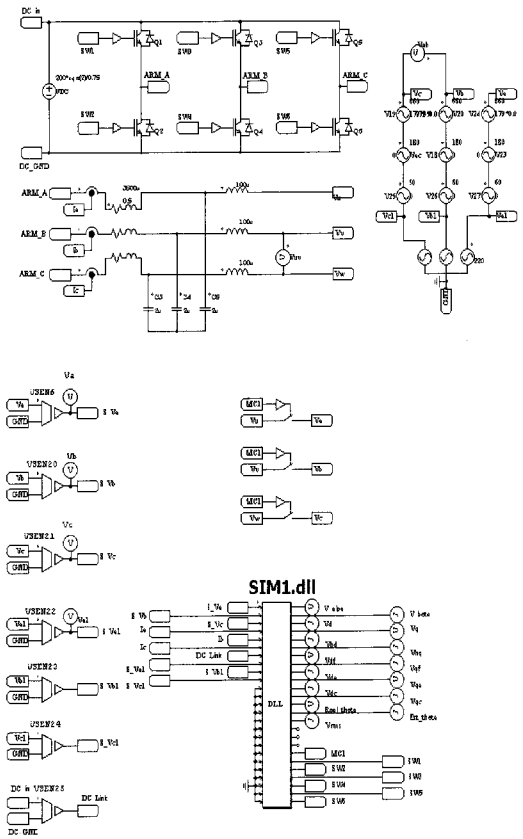
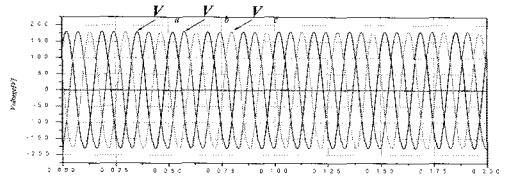
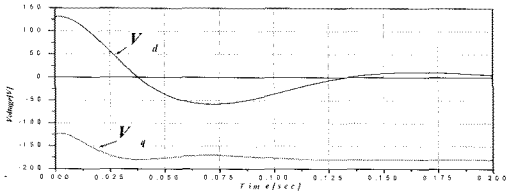
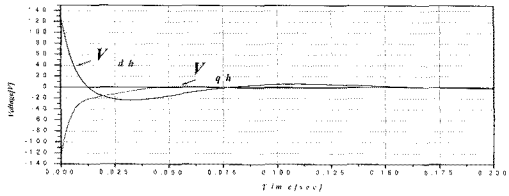


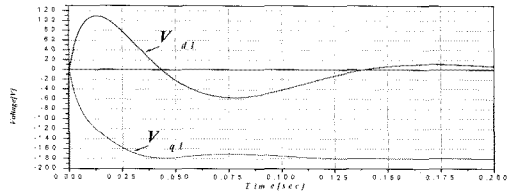
그림 3.3 PLL 시뮬레이션 회로도
Fig. 3.3 Circuit of PLL simulation with PSIM

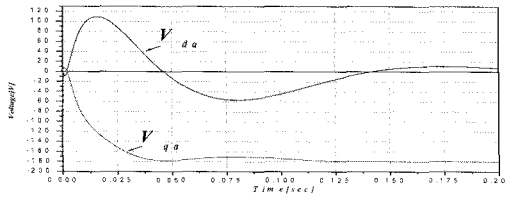
그림 3.4에서 그림 3.6까지는 제안된 알고리즘의 타당성을 검증하기 위한 시뮬레이션 결과이다. 그림의 위에서부터 입력 3상 전압, d-q전압, 고역통과 필터의 출력, 고역통과 필터를 이용한 PLL 회로의 출력, 120[Hz]성분이 90° 위상지연을 갖는 전역통과 필터의 출력, d-q전압과 전역통과 필터의 출력을 기반으로 하여 상 불평형을 포함한 역상분 보상회로의 출력, 위상각 추정알고리즘의 출력 및 출력전압의 실효치를 나타나고 있다.

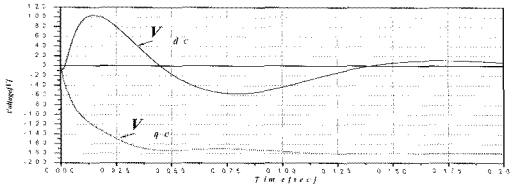

(a) 3phase input voltage

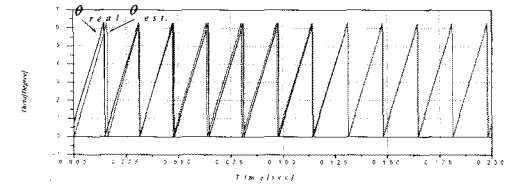

(b) d-q voltage


(c) d-q high pass filter output


(d) d-q low pass filter output


(e) d-q all pass filter output


(f) d-q compensation output


(g) real and estimated theta

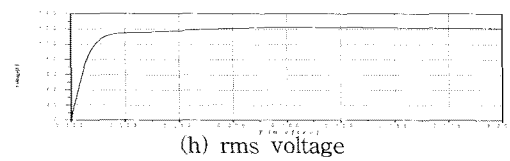
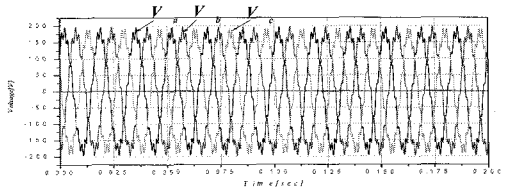
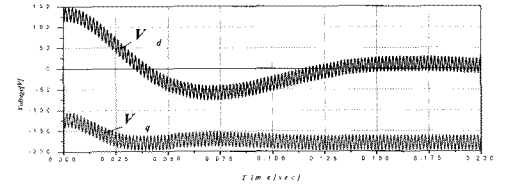
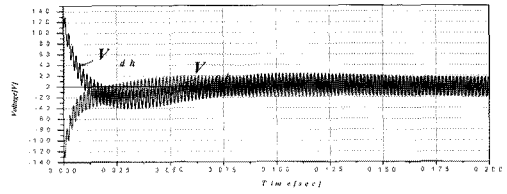

(h) rms voltage

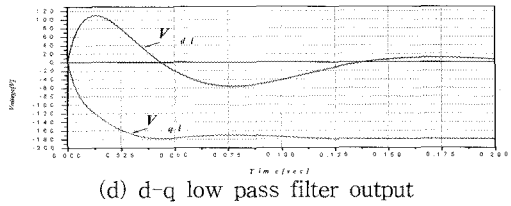
그림 3.4 3상 정현파 PLL 시뮬레이션 파형

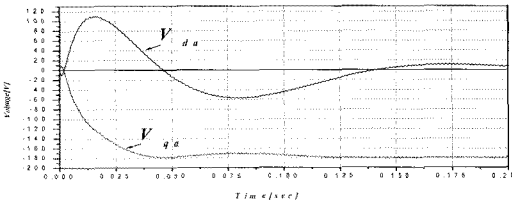
Fig. 3.4 PLL simulation results at sinusoidal input

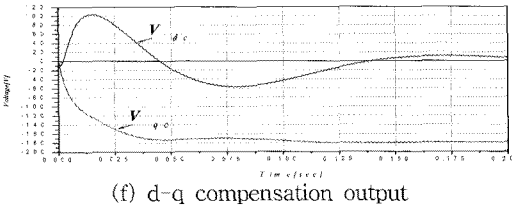

(a) 3phase harmonic wave input voltage

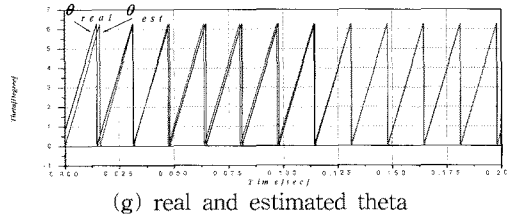

(b) d-q voltage


(c) d-q high pass filter output


(d) d-q low pass filter output


(e) d-q all pass filter output


(f) d-q compensation output


(g) real and estimated theta

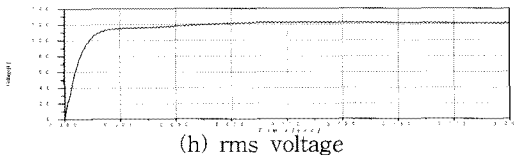
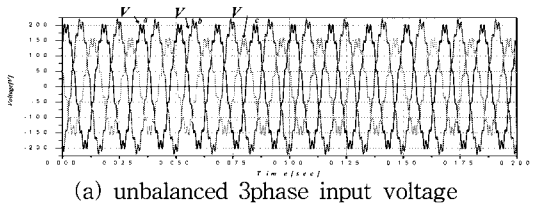
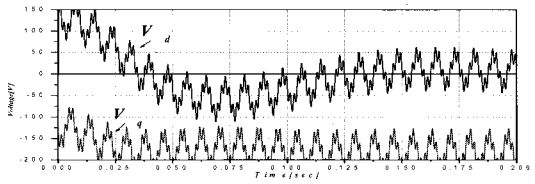
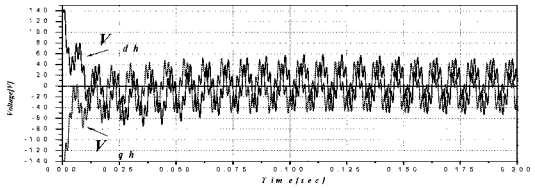

(h) rms voltage

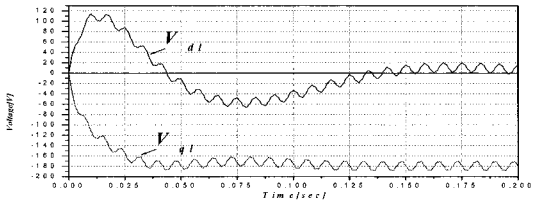
그림 3.5 고조파가 포함된 3상 PLL 시뮬레이션 파형

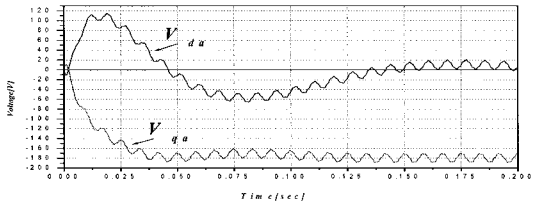
Fig. 3.5 PLL simulation results at harmonics input

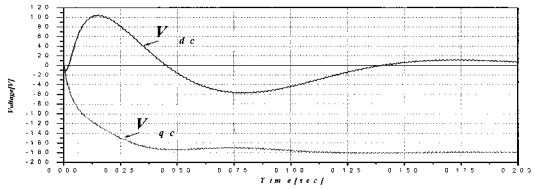

(a) unbalanced 3phase input voltage

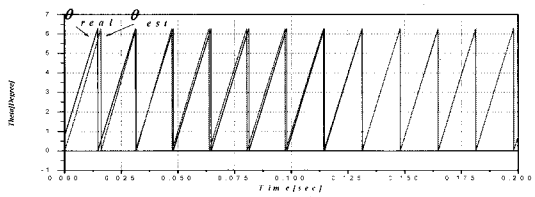

(b) d-q voltage


(c) d-q high pass filter output


(d) d-q low pass filter output


(e) d-q all pass filter output


(f) d-q compensation output


(g) real and estimated theta

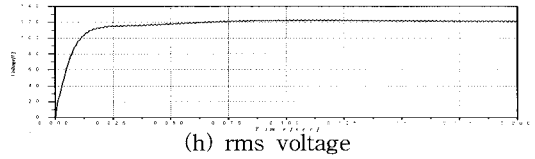

(h) rms voltage

그림 3.6 불평형 3상 PLL 시뮬레이션 파형

Fig. 3.6 PLL simulation results at unbalanced input

그림 3.4는 정현적인 입력전압(선간 220[V])에 대한 시뮬레이션 결과로 위상추정은 약 0.12[sec] 이후에 정상상태에 도달함을 알 수 있었으며, 이 시간 이전영역에서 d-q전압의 변동은 추정각도 오차에 의한 좌표변환에 의한 결과로 나타나는 현상으로 추정 각도가 실제 위상각과 동일한 경우에는 이 맥동분이 제거됨을 알 수 있다. 또한 출력전압도 추정각도 오차가 매우 적은 영역에서는 정확한 결과를 얻을 수 있음을 알 수 있었다.

그림 3.5는 제안된 PLL 회로의 특성을 검증하기 위해 정현적인 입력전압에 대하여 10%의 11고조파가 함유된 경우의 시뮬레이션 결과이다. 그림 3.5(b)에서 보는 바와 같이 좌표변환한 d-q전압에는 10차 고조파 성분이 포함되어 있으며, 그림 3.5(c)에는 고역통과 필터의 출력으로 고조파 성분만 존재하게 된다. 그림 3.5(d)는 제안된 회로의 출력으로 그림 3.4(d)와 같이 정현적인 전압 인가시와 동일한 형태를 취하고 있다. 그림 3.5(e),(f),(g)도 그림 3.4와 거의 동일한 특성이 나타남을 알 수 있었으며, 이러한 결과로부터 제안된 PLL 방식을 사용할 시 고조파 성분에 강인한 제어가 이루어짐을 알 수 있다.

그림 3.6은 부하 불평형시 보상특성을 검증하기 위해 정현적인 입력전압에 대하여 10%의 11고조파가 함유 및 20% 역상분이 함유된 경우의 시뮬레이션 결과이다.

그림 3.6(b)에서 보는바와 같이 좌표변환한 d-q전압에는 10차 고조파 성분 및 2차고조파 성분이 포함되어있으며, 그림 3.6(d)에서는 11차 고조파 성분은 제거되었으나, 역상분에 의한 2 고조파 성분이 존재함을 알 수 있다. 식 (7)에 따른 역상분 보상식에 의한 출력인 그림 3.6(f)에서는 2고조파 성분이 제거됨을 알 수 있었다. 그림 3.5(g)에서 보는바와 같이 그림 3.4와 거의 동일한 특성이 나타남을 알 수 있었으며, 상불평형과 같은 역상분 성분에 강인한 PLL제어가 이루어짐을 알 수 있다.

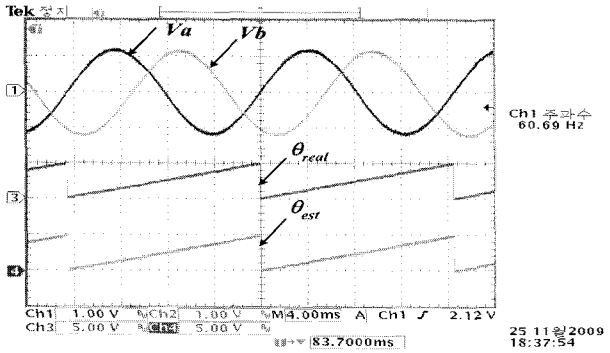
3.2 실험 결과

그림 3.7은 시험조건은 시뮬레이션 조건과 동일한 사항에서 입력전압에 따른 PLL 특성을 분석한 파형이다. 그림 3.7(a)는 정현적인 입력전압, 그림 3.7(b)는 11고조파 함유시, 그림 3.7(c)는 11고조파 및 상 불평형이 포함된 경우로, 실험분석결과 모든 조건에 대하여 양호한 PLL 출력특성을 나타내었다.

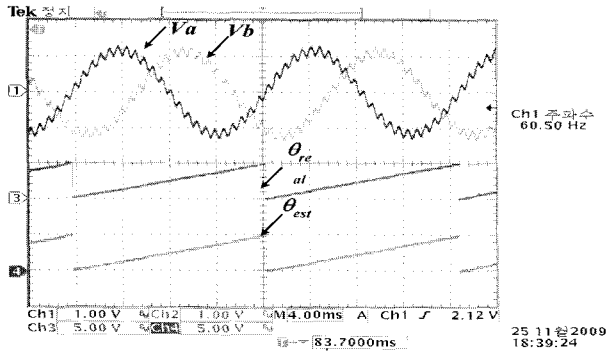
그림 3.8은 제안된 고역통과 필터를 이용한 PLL회로 및 상불평형분 보상 특성을 분석하기 위한 파형이다. 그림 3.8(a)에서 보는바와 같이 q축 전압 성분은 직류성분과 고조파 성분이 포함되어 있어나, 고역통과 필터의 출력(V_{qh})은 고조파 성분만을 포함하고 있으며, 제안된 방식의 출력은 직류성분과 120[Hz]의 역상분이 존재함을 알 수 있다. 그림 3.8(c)는 역상분 성분을 전역통과 필터로 90° 지연시킨 후 보상함으로 보상기의 출력은 120[Hz]성분이 대폭 감소됨을 알 수 있다.

그림 3.9는 PLL의 동특성을 관찰하기 위한 실험결과이다. PLL은 d축 전압이 Zero가 되게 제어함으로 d축 전압은 초기에는 위상각 추정오차로 인하여 맥동하나 PLL이 안정됨에 따라 Zero에 수렴함을 알 수 있다. 그림 3.9(b)는 정상상

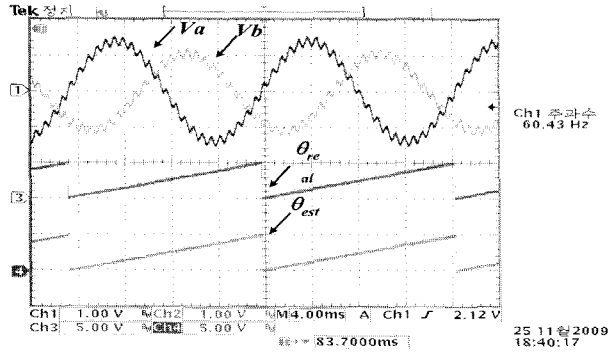
태에서 d축 전압, 보상된 d축 전압, 추정 위상각 및 실제 위상각으로 양호한 특성을 나타내고 있다.



(a) sinusoidal



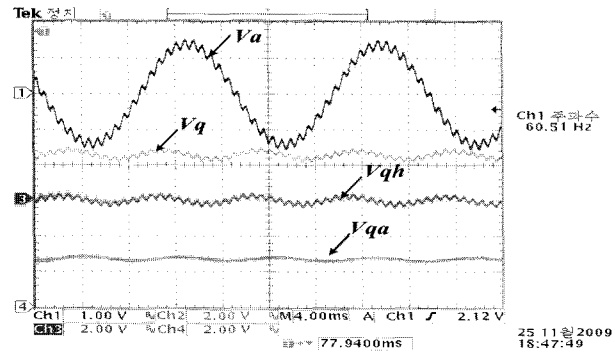
(b) harmonics



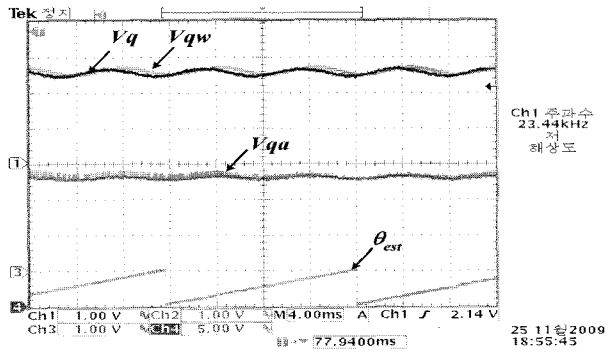
(c) phase unbalanced

그림 3.7 입력전압에 따른 PLL 특성

Fig. 3.7 PLL characteristics according to input voltage pattern



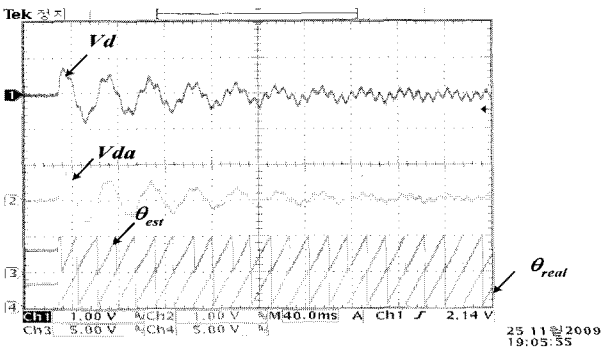
(a) proposed PLL



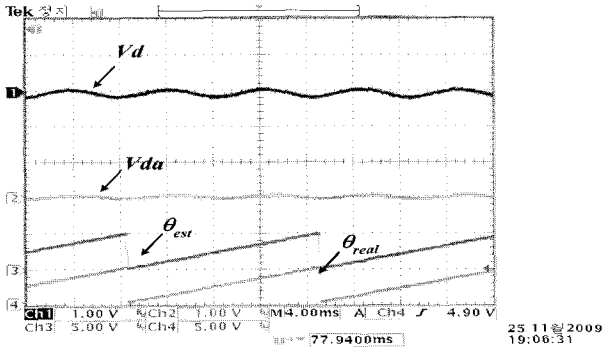
(b) reverse phase compensating

그림 3.8 제안된 저역통과 필터 및 역상분 보상기 특성

Fig. 3.8 Proposed PLL and reverse phase element compensator



(a) Starting characteristics



(b) Static state characteristics

그림 3.9 PLL의 동특성

Fig. 3.9 Waveform of unbalanced PLL simulation

4. 결 론

계통전원과 동기된 상태로 전력을 안전적으로 공급하기 위해서는 우수한 위상 추정알고리즘이 필수적이다. 따라서 본 연구는 계통의 상 불평형 및 고조파 성분을 제거하기 위해 고역통과 필터를 이용한 새로운 저역통과 필터의 구조를 제안하고, 제안된 방식의 타당성을 검증하기 위해 시뮬레이션 및 실험을 행하였으며 다음과 같은 결론을 얻을 수 있었다.

- 제안된 PLL의 구조는 기존의 방식에 비하여 위상지연이 적음으로 인해 속응성 있는 필터의 구성이 가능하였다.
- 제안된 방식의 PLL 알고리즘은 전류제어기 및 전압제어기의 이득 여유를 크게 가질 수 있는 구조로 제어기 설계에 충분한 여유도를 부여할 수 있다.
- 고조파 및 상 불평형에 강인한 PLL알고리즘으로 실효치 전압 및 좌표변환의 에러를 작게 할 수 있다.
- 속응성 있는 PLL 알고리즘으로 인해 과전압 및 상 불평형에 대처하는 보호기능에 적합한 구조를 갖는다.

참 고 문 헌

[1] Wei-Neng Chang, Kuan-Dih Yeh, "Digital design and implementation of fast power frequency and voltage detector with iteration method", PEDS 2003, Vol. 2, 1345 - 1349, 2003

[2] Hui-Yung Chu, Huring-Liahng Jou, Ching-Lien Huang, "Transient Response of a Peak Voltage Detector for Sinusoidal Signals", IEEE Trans. on Industrial Electronics, Vol. 39, No. 1, 74 - 79, 1992

[3] 최형진, 송승호, 정승기, 최주엽, 최익, "3상 계통연계형 인버터를 위한 SRF-PLL 시스템의 동특성 개선", 전력전자학회 논문지, Vol. 14, No. 2, 134 - 141, 2008

[4] B.D Min, J.P Lee, J.H Kim, T.J Kim, D.W Yoo, K.RR, J.J Kim, E.H Song, "A Novel Grid-Connected PV PCS with New High Efficiency Converter", International Conference on Power Electronics, pp.478-482, 2007, Oct. 22-26.

[5] S.-K. Chung, "Phase-locked loop for grid-connected three-phase power conversionsystem", Electric Power Applications. IEEE Proceedings, Vol. 147, pp. 213-219, 2000, May.

[6] V. Kaura and V. Blasko, "Operation of a Phase Locked Loop System Under Distorted Utility Conditions", IEEE Transactions on Industy Applications, Vol. 33, No. 1, pp. 58-63, 1997.

저 자 소 개

허 민 호 (許 珉 鎬)

1971년 7월 22일생. 1997년 전남대 공대 전기공학과 졸업. 1999년 전남대 전기공학과 졸업(석사). 현재 동 대학원 전기공학과 박사과정.

Tel : 062-530-0048

E-mail : minhoheo@chonnam.ac.kr

송 성 근 (宋 成 根)

1975년 9월 16일생. 1998년 전남대 공대 전기공학과 졸업. 2000년 동대학원 석사 졸업. 2007 동대학원 박사졸업, 2001~2004년 (주)프로컴 시스템 연구원. 2004~2005년 (주)세오전자 연구원. 현재 전자부품연구원 선임연구원.

Tel : 062-530-0629

E-mail : fid_111@naver.com

남 해 곤 (南 海 鯤)

1950년 10월 16일생. 1975년 서울대 공대 전기공학과 졸업. 1980년 Univ. of Houston 졸업(석사). 1986년 Univ. of Texas(Austin) 전기공학과 졸업(공박). 1975~1978년 한국전력 원자력 건설부 근무. 1986~1988년 한국전기연구소 근무. 1988년~ 현재 전남대 전기공학과 교수

Tel : 062-530-1749

E-mail : hknam@chonnam.ac.kr

김 광 헌 (金 晄 憲)

1960년 12월27일생. 1983년 전남대 계측제어 공학과 졸업. 1986년 서울대 대학원 전기공학과 졸업(석사). 1992년 동 대학원 전기공학과 졸업(박사). 현재 전남대학교 전기공학과 교수

Tel : 062-530-1742

E-mail : joono@chonnam.ac.kr

박 성 준 (朴 晟 濬)

1965년 3월20일생. 1991년 부산대 전기공학과 졸업. 1993년 동 대학원 졸업(석사). 1996년 동 대학원 졸업(공박). 2002년 동 대학원 지능기계공학과 졸업(공박). 1996년~2000년 거제대학 조교수. 2000~2003년 동명대학 조교수. 2003년~ 현재 전남대학교 전기공학과 부교수.

Tel : 062-530-1741

E-mail : sjpark1@chonnam.ac.kr