

A Study on the Multi-level PV-PCS Using Cascade 3-Phase Transformer

김기선* · 송성근† · 조수억** · 최준호*** · 김광현§ · 박성준***

(Ki-Seon Kim · Sung-Geun Song · Su-eog Cho · Joon-Ho Choi · Kwang-Heon Kim · Sung-Jun Park)

Abstract - The study on the multi-level inverter has been increasingly progressing to reduce the switching loss and improve the THD of output current in photovoltaic inverter. Recently, the main topics of multi-level inverter are to reduce the number of devices maintaining the power quality. Therefore, the novel topology was proposed for these problem which is composed of the isolated H-bridge multi-level inverter using the three phase low frequency transformer. The proposed multi-level inverter may not be need for a independent DC power, diode and capacitor. Specially, It has a advantage in generating high voltage source. The proposed approach is verified through simulation and experiment.

Key Words : Multi-level inverter, Cascade voltage, THD, Transformer

1. 서론

기존 태양광 인버터의 경우 3상 교류 전원을 형성하기 위해 펄스폭 변조(PWM : Pulse Width Modulation)기법을 많이 사용하고 있으나 이 방식의 경우 출력 전압 및 전류의 THD(Total Harmonic Distortion)를 개선하기 위해 높은 스위칭 주파수가 필요하며, 이는 많은 스위칭 전력 손실이 발생한다는 단점이 있어 근래에 들어 스위칭 주파수를 현저히 낮춘 새로운 구조의 다중레벨 인버터를 이용한 방식이 많이 연구되고 있다[1-3]. 다중레벨 인버터는 크게 다이오드 클램프 방식, 플라이 커패시터 방식과 H-Bridge 다중레벨 인버터 방식이 있으나 다이오드 클램프 방식, 플라이 커패시터 방식의 경우 많은 스위치 소자수와 그와 같은 수만큼의 다이오드 또는 커패시터가 필요하다는 단점이 있으며, H-Bridge 다중레벨 인버터의 경우 H-Bridge 개수만큼의 독립된 DC전원이 필요하다는 단점이 있다[4-6]. 따라서 본 연구에서는 이와 같은 문제를 다소 줄이기 위한 새로운 방식의 3상 다중레벨 인버터 구조를 제안하였다. 제안된 인버터는 3상 저주파 변압기를 이용하여 전압을 적층하는 새로운 방식의 3상 변압기 절연형 H-Bridge 멀티레벨 인버터(IHCML, Isolated H-Bridge Cascade Multi Level)로 출력단에 저주파 변압기를 이용하여 절연하므로 독립된 DC 전

원이 필요하지 않다는 장점이 있으며, H-Bridge 구조로 부가적인 다이오드나 커패시터가 필요치 않다는 장점을 가지고 있다.

2. 새로운 3상 다중레벨 인버터

다중레벨 인버터는 여러 개의 스위치 소자를 이용하여 낮은 전압을 적층하여 출력 전압을 형성하는 방식으로 낮은 전압을 스위칭 함으로 dv/dt 에 의한 영향이 작아지며 EMC의 발생 역시 줄어든다. 또한 전압 적층을 하기 위해 스위치들이 직렬로 연결되므로 각 스위치의 전압정격이 낮아지게 되며, 이는 다시 말해 고전압 형성하기 위해 전압 정격이 낮은 스위치를 사용할 수 있으므로 구현이 용이하다. 또한 다중레벨 인버터의 각 스위치는 적절한 스위칭 패턴을 이용하면 스위칭 주파수를 낮출 수 있으며 이로 인해 스위칭 손실이 감소하게 된다[7]. 이와 같이 다중레벨 인버터는 2레벨 인버터에 비해 몇 가지 장점을 가지고 있으며 이를 요약하면 다음과 같다.

- 전압레벨 증가 : 2레벨 인버터는 0 또는 $\pm V_{dc}$ 의 전압 레벨만 가지지만 다중레벨 인버터는 0 또는 $\pm V_{dc}$, $\pm 2V_{dc}$, ..., $\pm mV_{dc}$ 이 가능하므로 출력전압의 레벨수가 증가하므로 낮은 스위칭 주파수로 고품질의 출력전압을 얻을 수 있다.
- 낮은 전압정격의 스위치를 이용한 고전압 출력 가능 : 스위치들이 직렬로 연결되므로 각각의 스위치에 요구되는 전압정격이 낮아진다.
- 스위치의 dv/dt 가 낮아지므로 EMC의 발생이 작음.
- 스위칭 주파수 감소에 따른 과도 스위칭 손실 감소.
- 적은 Common-mode 전압 : 중성점 전압 변동의 최소화로 인한 모터 베어링의 스트레스 감소.
- 다양한 스위치 제어를 통한 다양한 제어기법 사용가능.

* 준 회원 : 전남대학교 공대 전기공학과 박사과정

** 정 회원 : 서일대학 전기공학과 조교수

*** 정 회원 : 전남대학교 공대 전기공학과 부교수

§ 정 회원 : 전남대학교 공대 전기공학과 교수

† 교신저자, 정회원 : 광주 전자부품 연구원

E-mail : fid_111@naver.com

접수일자 : 2009년 10월 15일

최종완료 : 2009년 11월 21일

가능한 벡터는 그림 2.2와 같이 19개의 정규화된 벡터로 표현되며 레벨 수로는 3-레벨이 된다. 그림 2.1의 인버터 구조에서 1개의 3상 저주파 변압기와 3개의 H-Bridge를 사용하는 경우 그림 2.2와 같은 3-레벨의 벡터도를 형성할 수 있으며, 2개 이상의 변압기를 사용하는 경우 그림 2.2의 벡터도를 확장하는 개념을 사용하면 된다.

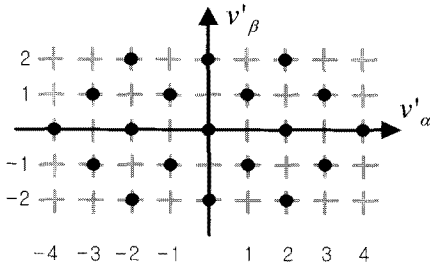


그림 2.2 변압기 1개 사용시 IHCML 인버터의 벡터도
Fig. 2.2 Vector diagram of IHCML using one transformer

그림 2.3은 2개의 변압기를 사용하는 경우이다. 두 변압기의 변압비를 T라할 때 T를 1에서 4까지 증가한 경우 출력 가능한 벡터도를 나타낸 것으로 출력 레벨은 5에서 11까지 변화한다. 그림에서 확인할 수 있듯 변압비 T가 5이상이면 출력 벡터가 불연속적으로 분포되므로 T의 최대값은 4가 된다.

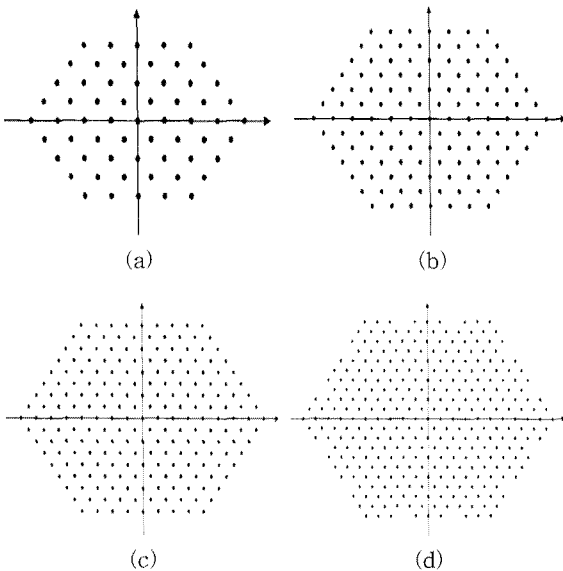


그림 2.3 Cascade 3상 IHCML의 정규화된 벡터도
Fig. 2.3 Vector diagram in cascade 3-phase IHCML
(a) T = 1 (5-level) (b) T = 2 (7-level)
(c) T = 3 (9-level) (d) T = 4 (11-level)

그림 2.4는 변압기 2개를 사용하고 변압비 T가 4인 경우에 대해 각 인버터별 출력 벡터를 보다 자세히 도식한 것으로 그림에서 큰 점은 변압비가 큰 인버터의 출력 벡터를 작은 점은 변압비가 작은 인버터의 출력 벡터를 나타내고 있다.

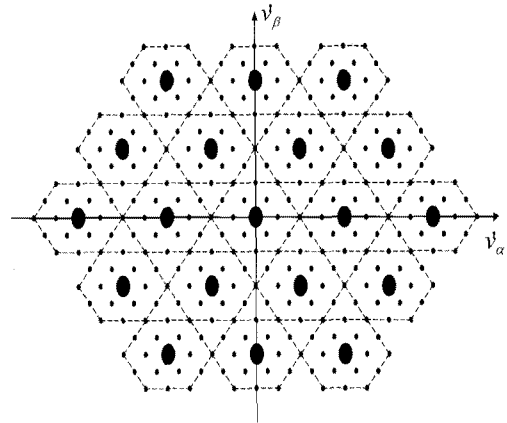


그림 2.4 변압기 2개 사용시 IHCML 인버터의 정규화 벡터도
Fig. 2.4 Vector diagram of IHCML using two transformers

본 연구에서는 출력 전압의 고조파율을 낮추기 위해 3개의 변압기를 사용하였으며 각 변압기의 변압비는 1: 4: 16으로 하였으며 이 경우 그림 2.5와 같이 최대 42-레벨을 생성할 수 있는 다중레벨 인버터 제작이 가능하다. 그러나 그림에서 보는 바와 같이 최외각에 불연속적으로 벡터가 존재하므로 실제 3개의 IHCML 인버터를 직렬 연결하여 사용하는 경우 최대 36-레벨의 출력이 가능하다.

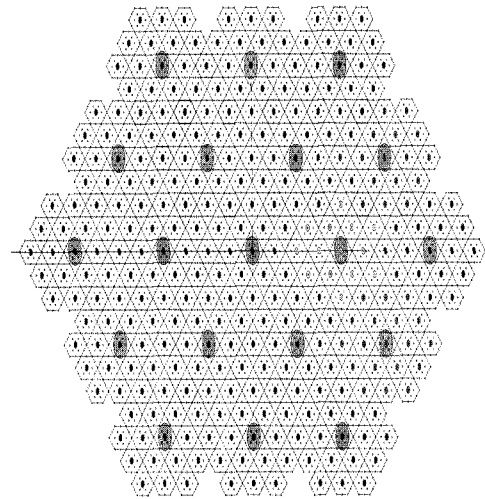


그림 2.5 변압기 3개 사용시 IHCML 인버터의 정규화 벡터도
Fig. 2.5 Vector diagram using three transformers

2.2 공간 벡터 다중레벨 인버터 제어

인버터 출력을 위한 기준 신호는 H-Bridge의 출력과는 달리 연속적인 Sine 함수이다. 그러나 기준 신호 벡터 v'_{ref} 는 항상 정수 값을 가지지 않으므로 IHCML 인버터에서는 기준 벡터에 대해 오차가 가장 적은 벡터를 출력 하여야 한다. 다중레벨로 전압을 형성 할 경우 출력전압은 불연속이 되며, 이때 지령전압과 가장 유사한 최근접 벡터의 발생이 매우 중요하다. 그림 2.6은 최근접 벡터 결정에 대한 개념도를 나타내고 있다. IHCML인버터에서 임의의 기준벡터 v'_{ref}

에 대해 오차가 가장 적은 최근접 벡터는 그림 2.6의 육각형 내부에 있을 때는 v_h 벡터를 출력하게 된다.

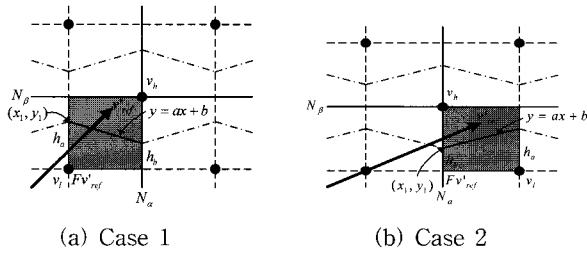


그림 2.6 최근접 벡터 결정
Fig. 2.6 Calculation of the highest proximity vector.

본 연구에서는 빠른 시간내에 근접한 벡터를 계산하기 위해 과정은 다음과 같다.

과정 1 지령치 기준벡터(v_{ref})의 정규화(v'_{ref})

다중레벨 인버터의 각 상별 출력이 모두 정수 값이므로 식 (2.8), (2.9)의 정규화 식을 이용하면 축변환된 벡터들도 모두 정수의 값을 가지게 된다. 그러므로 기준벡터 v_{ref} 를 식 (2.8)과 (2.9)에 의해 a' , β' 축 기준벡터 v'_{ref} 로 정규화 한다.

과정 2 기준벡터의 정수화

정규화된 기준벡터 v'_{ref} 는 앞에서 언급한 바와 같이 정수가 아니므로 이를 다음 식을 이용하여 a' , β' 축의 원점에 가까운 정수 벡터인 Fv'_{ref} 로 정수화 한다.

$$\begin{aligned} Fv_\alpha &= fix(v'_\alpha) \\ Fv_\beta &= fix(v'_\beta) \end{aligned} \quad (2.10)$$

이상의 정규화된 벡터는 그림 2.6에 나타난 바와 같이 원점에 근접한 정수 값의 벡터가 된다.

과정 3 외각함수 결정

본 논문에서는 최근접 벡터를 선택하기 위해 1차 외각함수를 정의 하였으며 외각함수의 기울기와 옅을을 결정하기 위해 그림 2.6에서와 같이 h_a , h_b 를 정의하였다. 정의된 h_a , h_b 는 사각형의 한 변의 길이가 모두 1이며 모든 육각형의 면적이 동일해야 하므로 다음 식을 만족 해야만 한다.

$$h_a + h_b = 1 \quad (2.11)$$

또한 외각함수의 기울기 절대값은 다음 식 (2.12)와 같이 앞에서 정의된 h_a , h_b 에 의해 표현된다.

$$|a| = rate = (h_a - h_b) \quad (2.12)$$

이와 같은 외각함수는 그림 2.6(a)와 같이 기울기의 부호가 양이거나 그림 2.6(b)와 같이 기울기의 부호가 음인 2가지 경우가 존재하며 이는 그림에 표현된 바와 같이 식 (2.10)에서 정의되어진 정수화된 기준벡터 Fv'_{ref} 의 요소 합에 의해 선택이 가능하다. 선택하는 방식은 계산된 Fv_α , Fv_β

β 의 합이 짝수이면 그림 2.6(a)와 같이 함수의 기울기를 음으로 설정하고 홀수이면 그림 2.6(b)와 같이 함수의 기울기를 양으로 설정한다.

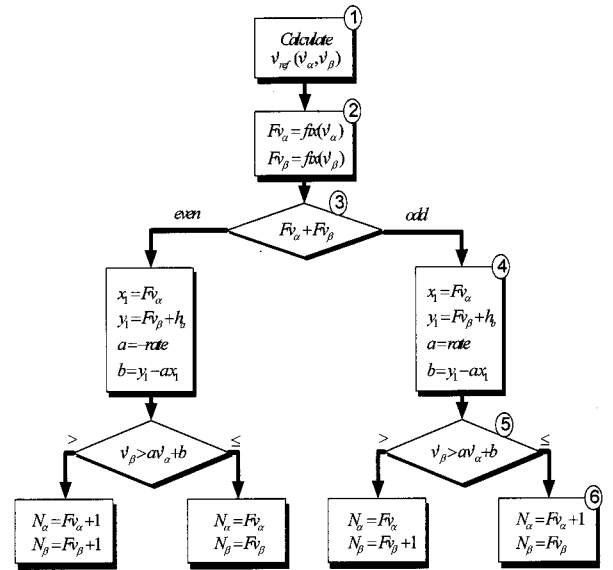


그림 2.7 최근접 벡터 선택을 위한 순서도
Fig. 2.7 Flowchart to calculate the highest proximity vector

과정 4 영역별 외각함수 계산

앞 단계에서 선택된 영역별로 교점(x_1 , y_1)과 기울기를 결정하는 h_a , h_b 를 이용하여 다음 식에 의해 1차 함수의 a , b 값을 계산한다.

$$\begin{aligned} & \text{if } Fv_\alpha + Fv_\beta \\ & \quad \text{even} \quad x_1 = Fv_\alpha, y_1 = Fv_\beta + h_a \\ & \quad \quad \quad a = -rate, b = y_1 - ax_1 \\ & \quad \text{odd} \quad x_1 = Fv_\alpha, y_1 = Fv_\beta + h_b \\ & \quad \quad \quad a = rate, b = y_1 - ax_1 \end{aligned} \quad (2.13)$$

과정 5 경계 조건 적용

최근접 벡터 v_{sel} 은 다음 식에 의해 계산된 외각함수와 v'_{ref} 를 비교하여 그림 2.6의 v_l , v_h 중 한 벡터로 결정한다.

$$\begin{aligned} & \text{if } v'_\beta > av'_\alpha + b \\ & \quad \text{then } v_{sel} = v_h \\ & \quad \text{else } v_{sel} = v_l \end{aligned} \quad (2.14)$$

과정 6 출력벡터 결정

앞의 과정에서 선택된 최근접 벡터 v_{sel} 의 a' , β' 축 요소를 각각 N_α , N_β 라 하고, 과정 3, 5의 조건에 따라 다음과 같이 결정된 v_l , v_h 에 의해 결정된다.

$$\begin{aligned} & \text{if } Fv_\alpha + Fv_\beta \\ & \quad \text{even} \quad v_l = (Fv_\alpha, Fv_\beta), \quad v_h = (Fv_\alpha + 1, Fv_\beta + 1) \\ & \quad \text{odd} \quad v_l = (Fv_\alpha + 1, Fv_\beta), \quad v_h = (Fv_\alpha, Fv_\beta + 1) \end{aligned} \quad (2.15)$$

과정 5에 의해 최근접 벡터 v_{sel} 이 v_l, v_h 중 어떤 벡터를 출력할지는 결정 되어 있으므로 정규화된 기준벡터 v'_{ref} 의 최근접 벡터 v_{sel} 은 식 (2.15)와 같이 FV_α, FV_β 에 의해 계산 된다. 이상의 최근접 벡터 선택 과정은 거의 대부분이 정수 연산 및 단순 비교에 의해 가능하므로 연산속도가 매우 우수하며, 이상의 과정을 순서도로 표현 하면 그림 2.7과 같다.

제안된 인버터는 앞에서 언급한 바와 같이 3개의 IHCML 인버터를 직렬 연결한 구조이므로 각 인버터의 출력을 결정 하여야 한다. 인버터 최종 출력 벡터 v_{sel} 을 출력하기 위해 각 인버터에서 출력하는 벡터를 $v_{sel1}, v_{sel2}, v_{sel3}$ 이라 하면 다음 식에 의해 최종 출력 벡터가 계산된다.

$$v_{sel} = v_{sel1} + v_{sel2} + v_{sel3} \quad (2.16)$$

3. 시뮬레이션 및 실험결과

3.1 시뮬레이션 결과

본 연구에서는 제안된 3상 IHCML 인버터에 제안된 벡터 변조기법을 사용하였으며, 제안된 방식의 타당성 검증을 위해 컴퓨터 시뮬레이션을 수행하였다.

그림 3.1은 인버터의 변조비를 0.9로 한경우의 출력 파형을 나타내며 그림 3.1(a)는 전압지령 신호와 인버터의 출력 상전압 파형을 나타내고 있으며 그림 3.1(b), 3.1(c), 3.1(d)는 각각 그림 2.1의 Tr1, Tr2, Tr3에 입력되는 H-Bridge 출력 전압을 나타내고 있다.

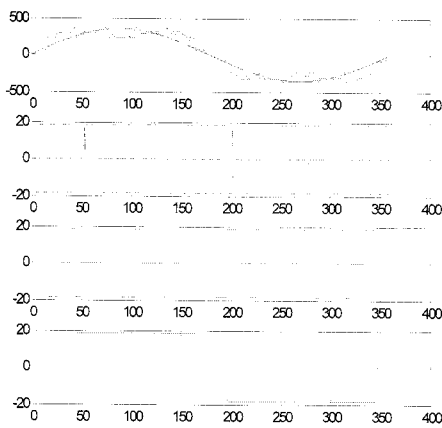


그림 3.1 지령치와 인버터 출력 상전압 파형
Fig. 3.1 Waveform of reference value and phase voltage of inverter

- (a) Reference value and phase voltage of inverter
- (b) Supplied output voltage of H-bridge to Tr1
- (c) Supplied output voltage of H-bridge to Tr2
- (d) Supplied output voltage of H-bridge to Tr3

그림에서 확인할 수 있듯 고출력 IHCML 인버터의 스위칭 주파수는 지령치의 기본파 주파수와 같으며, 저출력 IHCML 인버터일수록 스위칭 주파수가 크다. 이는 많은 부하를 담당하는 고출력 IHCML 인버터의 스위칭 주파수가

낮으므로 전체적인 인버터의 스위칭에 의한 과도손은 낮고, 작은 부하를 담당하는 저출력 IHCML 인버터의 경우 스위칭 주파수가 높으므로 전체 인버터의 출력전압 품질은 좋아짐을 반증한다. 그림 3.2는 인버터 출력 선간 전압을 나타낸 것으로 그림에서 보는 바와 같이 선간 전압은 그림 3.1의 상전압과는 달리 고조파 성분이 거의 포함되어 있지 않으며 3상이 모두 평형을 이루고 있음을 확인할 수 있다.

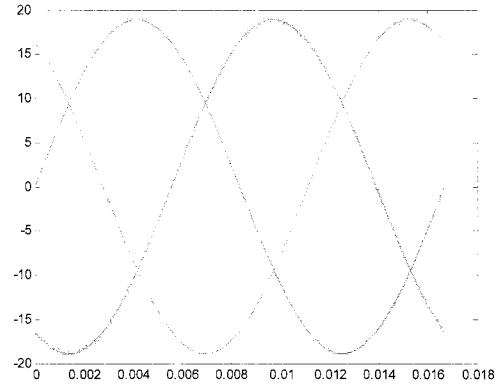


그림 3.2 인버터 출력 선간 전압
Fig. 3.2 Inverter output line voltage

이는 그림 3.3의 주파수 분석 결과에서도 볼 수 있듯이 상전압 파형의 주파수 분석 결과 3, 9, 21차와 같은 3의 배수 고조파 성분이 많이 포함되어 있기 때문인 것으로 3의 배수 고조파 성분은 3상 시스템에서 영향을 미치지 않으므로 선간 전압 및 부하 측 상전압에서는 3의 배수 고조파 성분이 나타나지 않는 것을 볼 수 있다.

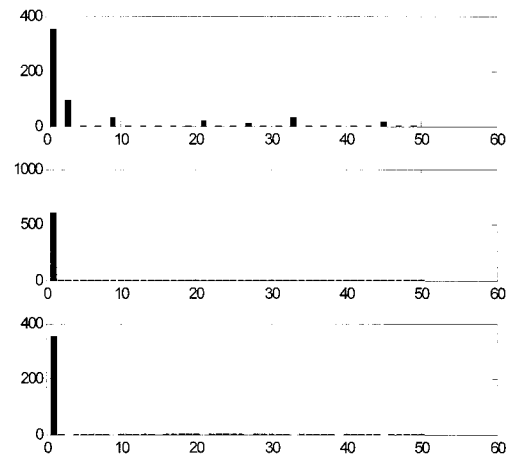


그림 3.3 주파수 분석 결과
Fig. 3.3 Result of analyzed frequency
(a) Phase voltage of inverter
(b) line voltage of inverter
(c) Phase voltage of load

그림 3.3은 변조비를 0.3에서 1.0까지 변경한 경우 THD(Total Harmonic Distortion)을 분석한 결과로 전 영역에서 THD가 3.0% 이하로 매우 우수한 품질의 전원으로 사용 가능함을 확인할 수 있다.

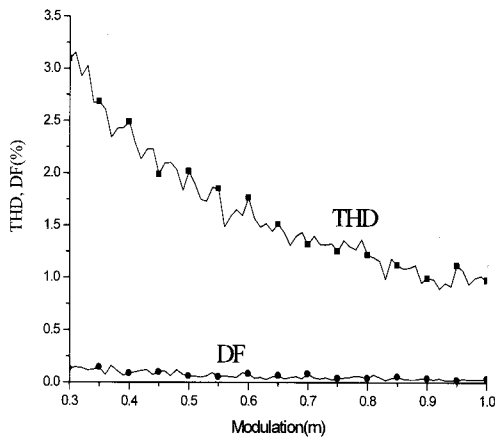


그림 3.3 변조비 0.3에서 1.0까지의 THD 분석결과
 Fig. 3.3 Result of simulation of analyzed THD from MI= 0.3 to MI=1.0

3.2 실험 결과

제작된 3상 다중레벨 인버터의 제어기의 블록도는 그림 3.4와 같으며, 크게 PI 제어기, 3상 시스템의 제어를 위한 축 변환 및 위상검출, 노이즈 제거를 위한 디지털 필터 부분으로 나뉜다. PI 제어 시스템은 제어의 속응성을 향상시키기 위해 Anti-windup PI 제어기를 사용 하였으며, 시스템의 기준 위상은 출력 전압을 이용 영점 검출법을 이용한 위상 검출기를 사용하였다. 검출된 위상을 TI사에서 제공하는 IQ-math 라이브러리를 이용하여 축 변환 시 사용되는 $\sin(\omega t)$ 와 $\cos(\omega t)$ 값을 계산 하였다. 마지막으로 ADC에 의해 디지털 값으로 변환된 신호의 노이즈 제거를 위해 안정성은 다소 떨어지지만 연산속도가 우수한 IIR 디지털 필터를 사용하여 Low-Pass 필터를 구현하였다.

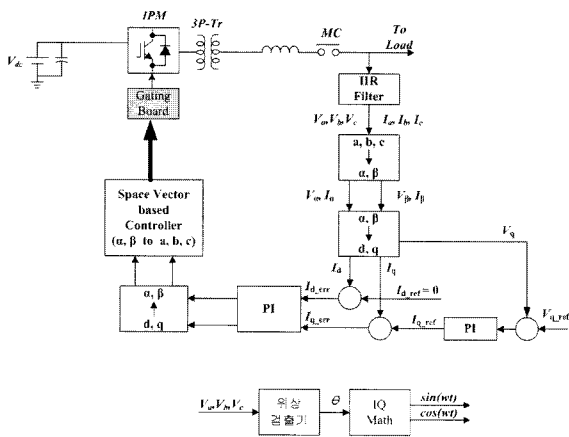


그림 3.4 제안된 인버터의 제어기 블록다이어그램
 Fig. 3.4 Control diagram of proposed inverter

본 실험에서는 출력 3상 전압 및 전류를 계측하기 위해 전압은 3상 PT를 사용 하였으며 전류 계측을 위해서는 Hall CT를 사용하였다. DSP의 ADC에서 받아들이는 신호의 범

위는 0~3V로 PT와 CT에서 출력하는 전압 범위와 일치 하지 않으므로 앰프를 이용하여 센서의 출력 신호를 ADC의 입력 범위에 맞게 조정해 주어야 하며, 외부의 노이즈의 영향을 줄이기 위해 노이즈 필터를 구현 하여야 한다. 또한 ADC에 의한 Alias 현상을 억제하기 위한 Anti-alias 필터를 설계하였으며, 필터에서 이득 조절 및 출력단의 오프셋 조절을 통해 ADC에서 요구하는 전압 레벨을 맞췄다. Alias 현상이란 모든 이산 시스템에 존재하는 문제로 그림 3.5는 Alias 현상을 표현하고 있으며, 그림에서 확인할 수 있듯 ADC의 샘플링 주파수를 f_s 라 할 때 아날로그 입력신호에 포함되어 있는 $f_s/2$ 이상의 주파수 성분이 $f_s/2$ 주파수를 중심으로 대칭되게 $f_s/2$ 보다 낮은 주파수 영역에 나타나는 현상을 의미한다.

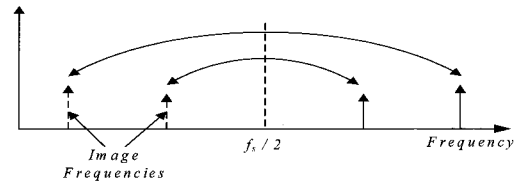


그림 3.5 Alias의 특성
 Fig. 3.5 Character of alias

이와 같은 Alias 현상을 제거하기 위해서는 저주파 통과 필터(Low Pass Filter)를 이용하여 ADC에 입력되는 아날로그 신호에 포함되어 있는 $f_s/2$ 이상의 주파수 성분을 제거 하여야 한다. 실험에서는 ADC의 샘플링 주파수가 25kHz이므로 샘플링 주파수의 반인 12.5kHz에서 대략 -20dB이 되게 2차 능동 필터를 사용하였다. 사용된 능동 필터의 구조는 그림 3.6과 같이 비반전 2차 능동 필터를 사용하였으며 차단 주파수를 4kHz로 하여 설계하였다 설계된 필터는 12.5kHz에서 약 -20dB이며, 60Hz에서는 위상 지연은 약 -1.2°가 된다.

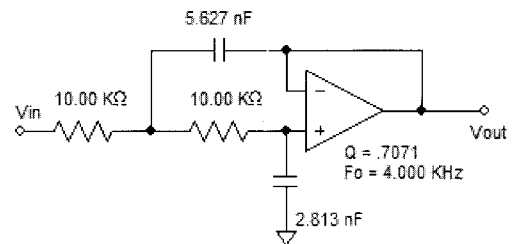


그림 3.6 Anti-alias 필터 회로도
 Fig. 3.6 Anti-alias filter circuit

실험에서는 디지털 필터 이론을 이용하여 노이즈 제거를 위해 구현이 간단한 1차의 IIR 필터를 설계하였다. 필터의 설계 조건과 설계된 필터의 전달함수는 다음 식 (3.1)과 같 으며, 그림 3.7은 설계된 IIR 필터의 주파수 특성을 나타낸 것으로 그림에서 확인할 수 있듯 -3dB이 되는 주파수가 1kHz로 설계하고자 하는 사양과 맞음을 확인할 수 있으며 시스템 주파수인 60Hz에서 위상지연이 -3.381°가 발생한다.

- 필터 형식 : Butterworth 저역 통과 필터
- 샘플링 주파수 : 25kHz
- 차단 주파수 : 1kHz

$$H(z) = 0.11216024 \left(\frac{1 + z^{-1}}{1 - 0.77567951 z^{-1}} \right) \quad (3.1)$$

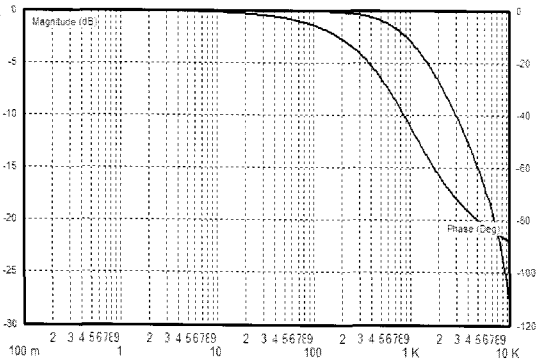


그림 3.7 IIR 필터의 주파수 특성
Fig. 3.7 Frequency response of IIR filter

시스템의 동작 영역에서 제어변수는 제어기의 제한치에 도달할 수 있다. 이는 제어기가 시스템의 출력에 관계없이 제한치에 도달하여 제어기의 피드백이 차단된 현상이 발생하고 편차는 계속 누적된다. 이로 인해 적분 항이 매우 커지게 되며 편차의 부호를 변환하는데 많은 시간이 소요된다. 이러한 현상이 적분기의 windup이다. 적분기의 windup의 결과로 제어기가 포화되면 제어기의 과도상태가 길어지고 응답에는 큰 오버슈트 또는 진동이 나타난다. 제어기 출력의 제한치가 작을수록 적분기의 출력이 더욱 커지며 응답의 안정화 시간이 길어지게 된다.

표 1 다중레벨 인버터 전기적 사양

Table 1 Spec of multi level inverter

인버터 출력 정격	30[kW]
운전가능 입력 전압범위	275 ~ 600[Vac]
주파수 범위	59.3 ~ 60.5[Hz]
정격 출력전압	3Φ, 220[Vac]
DC-DC 변환기 출력 전압	350[Vdc]
출력 역률	99[%] 이상

이러한 windup을 방지하기 위해 Anti-windup PI 제어기를 사용하였다. 본 실험에서 사용된 인버터의 전기적 사양은 표 1과 같으며, 입력 전압 범위는 275V ~ 600V이며, Buck-Boost 컨버터를 통하여 일정한 출력 전압으로 조정되어 본 연구에서 필요로 하는 출력 전압 380V가 되도록 제어 하였다. 본 연구에서 사용된 IPM의 경우 최대 600V 절연 내압을 가지고 있으나 정상적인 동작 범위는 400V로 그 이상의 전압에 대해서는 보호기능이 동작하기 때문에 Buck-Boost 컨버터의 제어 출력 전압을 350V로 설정 하였

다. Buck-Boost 컨버터에서 생성된 350V 전압을 이용하여 교류 전압을 생성하는 경우 최대전압이 350V 이므로 이를 rms(Root Mean Square)로 계산하면 247Vac로 각 변압기의 변압비를 300:320, 300:80, 300:20로 하였으며, 출력단의 변압비는 앞에서 언급한 바와 같이 1: 4: 16으로 설정하였다.

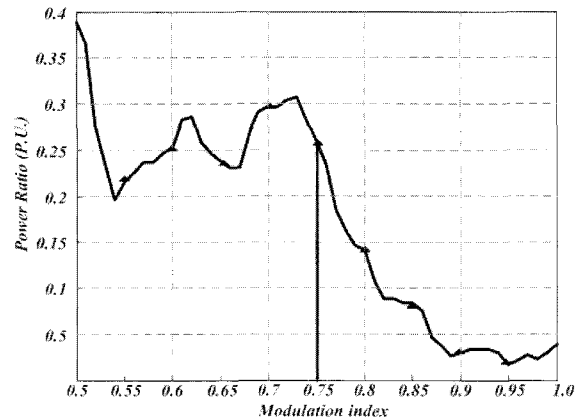


그림 3.8 변조비별 변압기 용량 비
Fig. 3.8 Capacity ratio with each MI

각 변압기의 용량을 결정하기 위해 시뮬레이션을 통해 변조비를 변경한 경우의 각 변압기의 용량비를 계산하면 그림 3.8과 같으며 결과에서 알 수 있듯 용량이 1/4(25%) 정도이면 변조비 0.75까지 감당하므로 최대 35kVA를 출력하기 위한 각 변압기 용량은 35/21*16 = 26.7kVA, 35/21*4 = 6.7kVA, 35/21 = 1.6kVA로 결정 하였다. 계산된 결과를 이용하여 실제 제작된 변압기의 사양은 다음 표 2와 같다.

표 2 제작된 변압기 사양

Table 2 Spec of prototype transformer

1차 권선	2차권선	용량
250, 300V	320, 400V	30kVA
250, 300V	80, 100V	7.5kVA
250, 300V	20, 25V	2kVA

그림 3.9는 실제 제작된 30kW 다중레벨용 3개의 출력 변압기 사진이다. 그림 3.10은 인버터에서 사용되는 각 보드별 결선도를 나타내고 있으며 제작된 보드는 크게 제어신호 및 동기 신호를 발생하기 위해 고속 연산이 가능한 TMS320F2812 DSP를 이용하였다. 또한 제어보드를 조합한 Main 보드와 입력 및 출력의 전압 전류를 계속하기 위한 센싱보드 그리고 IPM 및 IGBT를 제어하기 위한 게이트 보드가 있으며, 특히 다중레벨을 위한 여러 개의 3상 IPM을 제어하기 위한 6개의 IPM보드로 구성되어 있다.

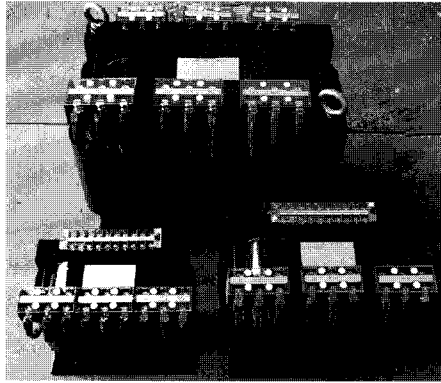


그림 3.9 제작된 3상 다중레벨용 변압기
Fig. 3.9 Prototype of three phased transformer

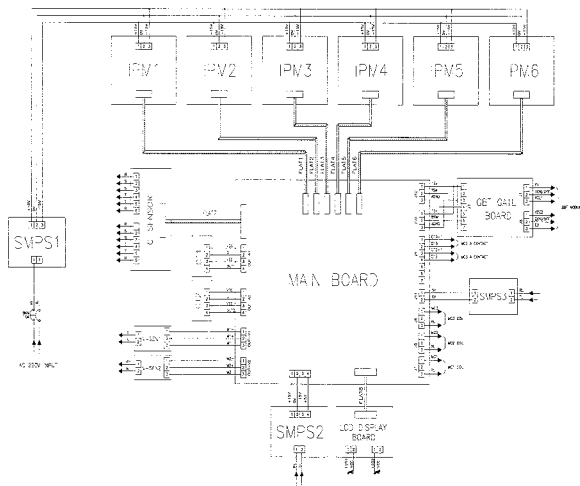


그림 3.10 각 보드별 결선도
Fig. 3.10 Connection diagram for each board

그림 3.11은 제작된 30kW 연계형 태양광 다중레벨 인버터 실물 사진으로 그림에서 확인 할 수 있듯 6개의 IPM과 3개의 3상 변압기로 구성된 다중레벨 인버터를 구현하였으며, 입력단의 넓은 입력 범위를 만족하기 위해 입력 DC에 Buck-Boost컨버터로 구성되어 있다.

그림 3.12는 3상 다중레벨 인버터를 변조비 0.9로 하고 구동한 경우의 계통 상전압과 각 변압기별 출력 전압을 나타내고 있으며 이는 앞의 컴퓨터 시뮬레이션 결과에서도 확인할 수 있듯 용량이 큰 변압기(Tr_1)의 스위칭 주파수는 기본파의 주파수와 같음을 확인할 수 있다. 그러므로 대용량을 담당하는 H-Bridge의 과도손인 스위칭 손실은 거의 없으며, 도통손만 존재하게 된다. 또한 그림 3.12에서 확인되듯 담당하는 용량이 작아지면 작아질수록 스위칭 주파수가 많아지는 것을 볼 수 있으며 이와 같이 낮은 용량의 H-Bridge의 스위칭 주파수를 크게 하여 최종 출력되는 전압의 고조파를 항상 시킨다.

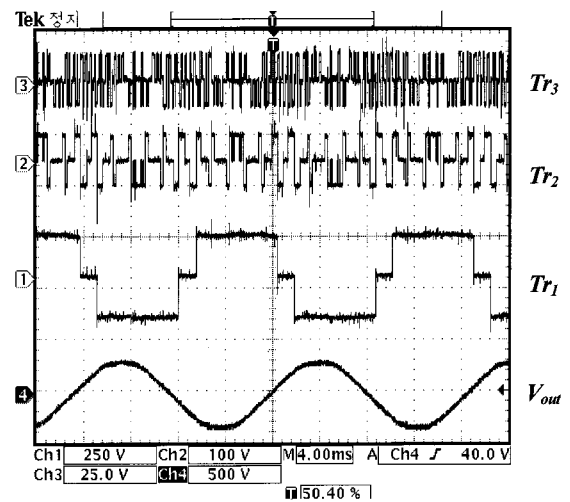


그림 3.12 상전압 파형 및 각 다중레벨 변압기별 출력파형
Fig. 3.12 Waveform of phase voltage and output voltage in each multi level transformer

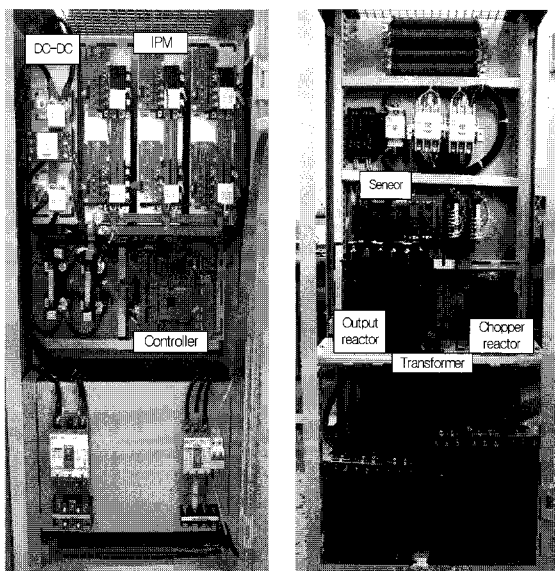
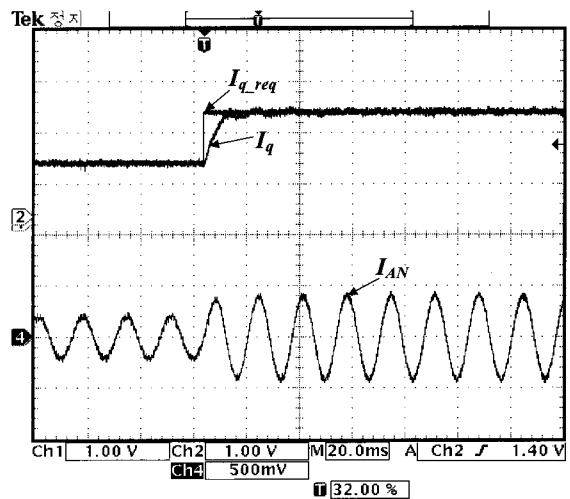
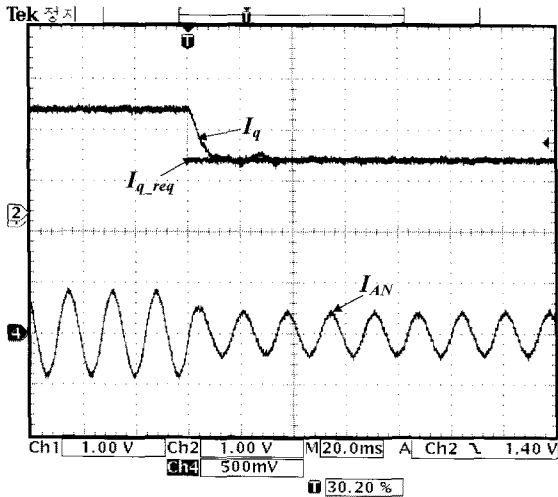


그림 3.11 제작된 30kW 연계형 인버터
Fig. 3.11 Prototype of 30kW grid-connected inverter



(a)



(b)

그림 3.13 전류제어기 계단파 응답 특성

Fig. 3.13 Response of step input in current control

(a) Variation of current reference from 10A to 20A

(b) Variation of current reference from 20A to 10A

그림 3.13은 전류제어기의 특성을 보기 위해 전류 지령치에 setp응답을 준 경우의 결과 파형으로 결과에서 확인 할 수 있듯 전류 지령치가 급변하더라도 전류 제어기 안정적으로 동작하고 있음을 확인할 수 있다. 또한 전류 제어 시정수가 약 3주기 이내로 제어 되고 있음을 확인할 수 있다.

그림 3.14는 인버터 출력의 주파수 분석결과로 변조비별 THD연산을 위하여 독립형 형태로 변조비를 0.2에서 1.0까지 0.05씩 변경한 경우의 결과 파형이다. 그림 3.14에서 볼 수 있듯 출력 전압의 THD가 변조비 50% 이상에서 상용 전력 변환기에서 요구하는 5% 이내에 만족하며 변조비 80% 이상에서는 3% 이내로 만족하고 있음을 확인할 수 있다.

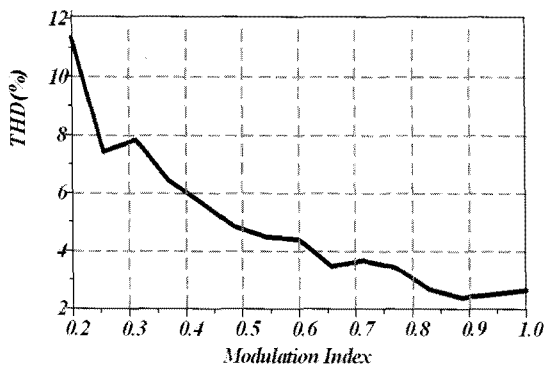
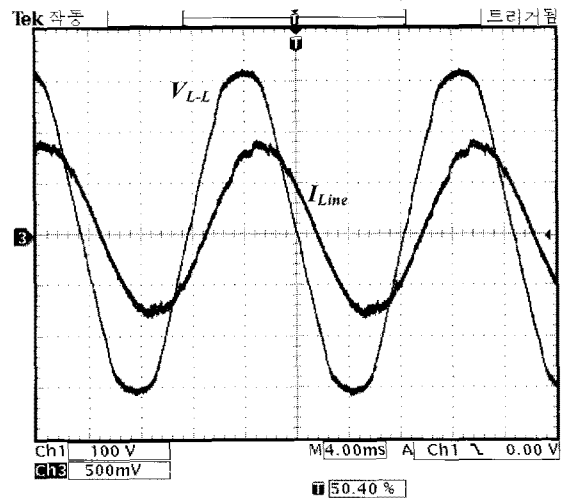


그림 3.14 부하 상전압 THD 결과

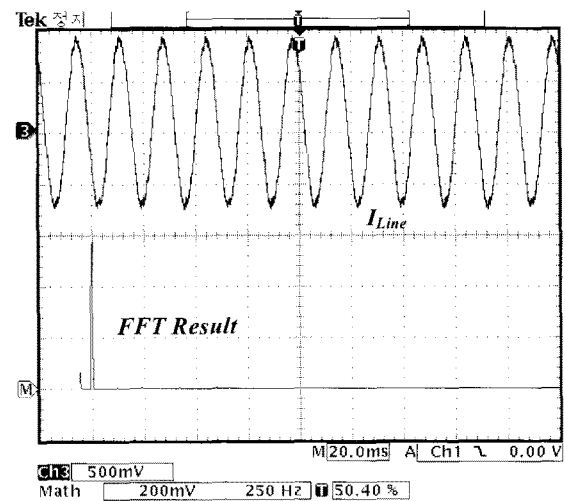
Fig. 3.14 Result of phase voltage in load

그림 3.15는 출력 75%인 경우의 파형으로 이때의 출력 전력(P_{OUT})은 22.729kW이며 입력 전력(P_{IN})은 24.07kW로 손실된 전력은 약 1300W이며 이때의 효율($1/\mu$)은 약 94.37%정도이다. 3.15(a)는 계통의 선간 전압 및 상전류 파형을 나타내고 있으며 선간 전압과 상전류는 위상이 30° 차

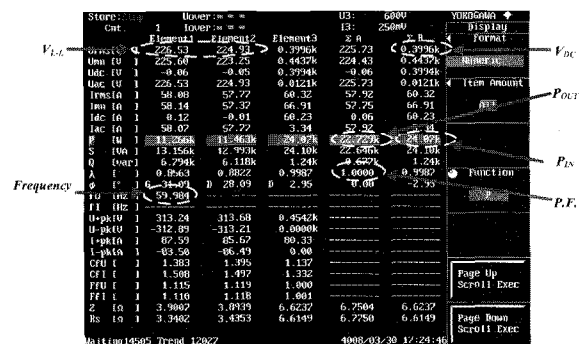
이가 나게 출력하고 있음을 확인할 수 있으며, 그림 3.15(b)는 상전류에 대한 주파수 분석 결과로 기본파 이외의 고조파 성분은 거의 없음을 확인할 수 있다.



(a)



(b)



(c)

그림 3.15 출력 75%인 경우의 결과

Fig. 3.15 Result of output with 75%

(a) Line voltage and phase current waveform

(b) Waveform of phase current and FFT

(c) Result of power analyzer

또한 그림 3.15(c)는 YOKOGAWA사의 WT1600 전력분석기를 이용하여 분석한 결과로 WT1600에서 모두 3개의 전력 계측 모드를 사용하였으며, 그 중 Element1, Element2는 3상 교류 계통에 해당하며 전압, 전류 각각 2 채널을 이용하여 V-결선 형태로 결선하여 구성하였다. 또한 Element3은 직류 입력 전압과 전류를 이용하여 구성된 요소이다. 그림에서 ΣA 는 Element1, Element2으로 구성된 3상 출력 전력에 대한 정보를 나타내며, ΣB 는 Element3으로 구성된 DC 입력 전력에 대한 정보를 나타낸다.

그림 3.16은 인버터 효율을 출력 전력에 대해 측정된 결과로 그림에서 PWM 인버터의 효율은 앞에서 언급한 액티브 소자 손실과 리액티브 소자 손실을 이론적으로 계산한 결과이다.

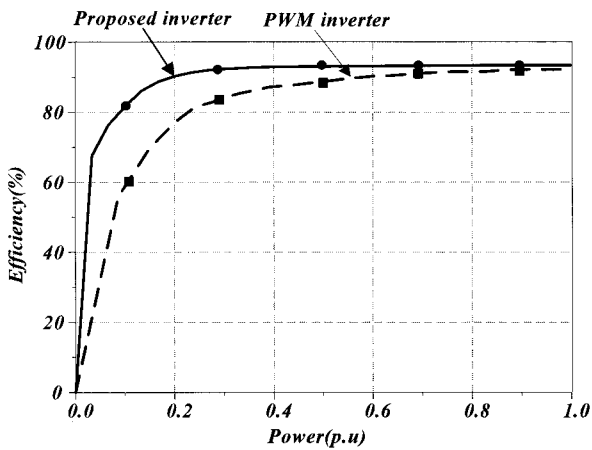


그림 3.16 부하별 인버터 효율
Fig. 3.16 Efficiency of inverter in each load

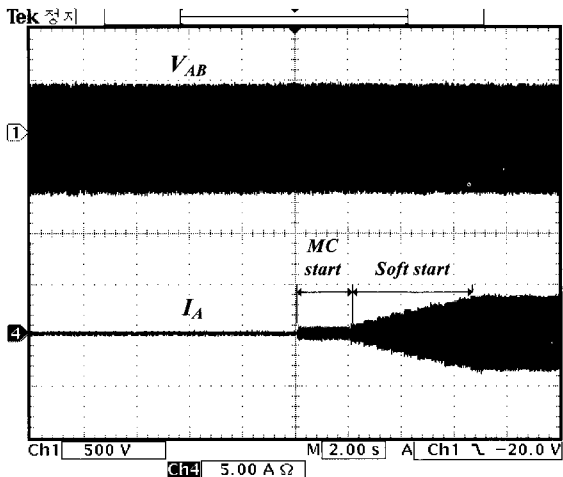


그림 3.17 인버터 기동 시험
Fig. 3.17 Operating test of inverter

그림 3.16에서 확인할 수 있듯 제안한 다중레벨 인버터가 출력이 낮은 경우에 보다 효율적임을 확인할 수 있으며 이는 저속 스위칭에 따른 과도손이 작기 때문으로 사료된다. 그림 3.17은 계통연계 시점의 계통 선간 전압과 인버터 출력 상전류를 나타낸 것으로 기동 시 Soft start가 잘 이루어

지고 있음을 확인할 수 있으며, 그림 3.18은 단독운전 방지 기능을 확인하기 위해 임의 시점에서 계통 전압을 차단하는 경우 인버터의 출력 전류를 계측한 것으로 계통이 분리되는 경우 즉시 출력이 차단되고 있음을 확인할 수 있다.

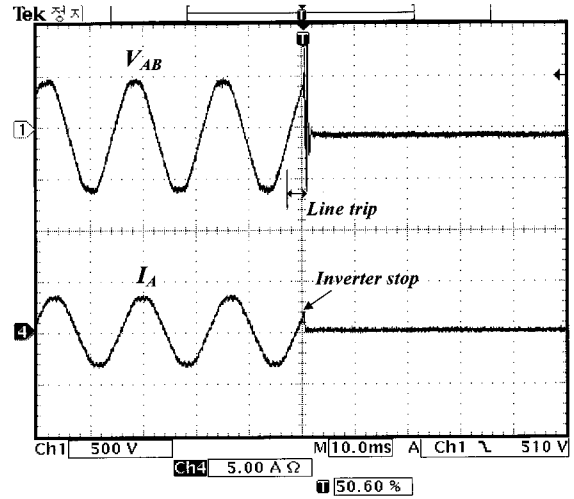


그림 3.18 독립운전 방지 시험
Fig. 3.18 Anti-islanding test

3. 결 론

본 논문에서는 저주파 변압기를 이용한 대용량 다중레벨 전력 변환기를 제안하였으며 제안된 다중레벨 인버터는 넓은 입력 DC 전압(275V~ 600V)를 만족하기 위해 입력단에 DC-DC 컨버터를 채용하였으며 승감압 변환기를 사용하는 대신에 승압기와 감압기를 별도로 사용하면서도 인덕터를 공유하는 구조를 취하여 보다 효율적인 전력 변환이 이루어질 수 있도록 구성하였다. 특히 출력 전압을 적층하는 구조로 고전압 전원을 발생 시키는데 더욱 유리할 것으로 판단된다. 제안된 전력 변환기는 많은 스위칭을 필요로 한다는 단점이 있으나 대용량 스위치에서는 저속 스위칭을 통하여 과도 손실을 저감할 수 있으며 소용량 스위치에서는 고속 스위칭을 통하여 출력 전압 및 전류의 고조파를 향상시키는 구조로 되어 있어 낮은 용량에서 기존 PWM 인버터에 비해 효율이 우수하며 저속 스위칭으로 인해 전자기적 노이즈가 작게 나온다는 장점을 가지고 있다.

참 고 문 헌

[1] B. Velaerts, P. Mathy, E. Tatakis, and G. Bingen, "A novel approach to the generation and optimization of three-level PWM wave forms for induction motor inverters," in Proc. IEEE PESC'88 Conf., pp. 1255-1262, 1988.
[2] Marchesoni, M., "High-performance current control techniques for application to multi-level high-power voltage source inverters," IEEE Trans. Power

Electron., vol. 7, Issue: 1, pp189-204, Jan 1992.

[3] Liu, H. L., Choi, N. S., and Cho, G. H., "DSP based space vector PWM for three-level inverter with DC-link voltage balancing," in Proc. IEEE IECON'91., pp. 197-203, 1991.

[4] A. Nabae, I. Takahashi, and H. Akagi, "A Neutral-point Clamped PWM Inverter," in Proc. IEEE APEC'80 Conf., pp. 761-766, 1980.

[5] T. A. Meynard, and H. Foch, "Multi-level Conversion: High Voltage Coppers and Voltage-Source Inverters," in Proc. IEEE PESC'92 Conf., pp. 397-403, 1992.

[6] M. Marchesoni, M. Mazzucchelli, and S. Tenconi, "A Non Conventional Power Converter for Plasma Stabilization," in Proc. IEEE PESC'88 Conf., pp. 122-129, 1988.

[7] M. Manjreker, and G. Venkataramanan, "Advanced Topologies and Modulation Strategies for Multi-level Inverters," in Proc. IEEE PESC'96 Conf., pp. 1013-1018, 1996.

[8] C. Newton, and M. Sumner, "Multi-level converters a real solution to medium/high-voltage drives," Power Engineering Journal, pp. 21-26, 1998.

저 자 소 개



김기선 (金起善)

1979년 2월 8일생. 2004년 대불대 정보통신공학과 졸업. 2006년 전남대 전기공학과 졸업(석사). 현재 동 대학원 전기공학과 박사과정.
Tel : 062-530-0629
E-mail : rlctric@naver.com



송성근 (宋成根)

1975년 9월 16일생. 1998년 전남대 공대 전기공학과 졸업. 2000년 동대학원 석사 졸업. 2007 동대학원 박사졸업. 2001~2004년 (주)프로컴 시스템 연구원. 2004~2005년 (주)세오전자 연구원. 현재 전자부품연구원 선임연구원.
Tel : 062-530-0629
E-mail : fid_111@naver.com



조수억 (曹洙億)

1966년 9월 15일생. 1993년 부산대 전기공학과 졸업. 1993년 1월 LG 산전 입사 ~ 2004년 11월 Senior Engineer. 2002년 8월 동 대학원 전기공학과 졸업(석사). 2005년 8월 동 대학원 전기공학과 졸업(박사). 2006년 3월부터 현재 서일대 전기과 조교수.
E-mail : secho@seoil.ac.kr



최준호 (崔峻豪)

1996년 숭실대 전기공학과 졸업. 1998년 동 대학원 전기공학과 졸업(석사). 2002년 동 대학원 전기공학과 졸업(박사). 현재 전남대학교 전기공학과 부교수
Tel : 062-530-1743
E-mail : joono@chonnam.ac.kr



김광현 (金堯憲)

1960년 12월 27일생. 1983년 전남대 계측 제어 공학과 졸업. 1986년 서울대 대학원 전기공학과 졸업(석사). 1992년 동 대학원 전기공학과 졸업(박사). 현재 전남대학교 전기공학과 교수
Tel : 062-530-1747
E-mail : khk@chonnam.ac.kr



박성준 (朴晟濬)

1965년 3월 20일생. 1991년 부산대 전기공학과 졸업. 1993년 동 대학원 졸업(석사). 1996년 동 대학원 졸업(공학박사). 2002년 동 대학원 지능기계공학과 졸업(공학박사). 1996년~2000년 거제대학 조교수. 2000~2003년 동명대학 조교수. 2003년~ 현재 전남대학교 전기공학과 부교수.
Tel : 062-530-1741
E-mail : sjpark1@chonnam.ac.kr