

Ni/4H-SiC Field Plate Schottky 다이오드 제작 시 과도 식각에 의해 형성된 Nickel_Titanium 이중 금속 Schottky 접합 특성과 공정 개선 연구

오명숙 · 이종호 · 김대환 · 문정현 · 임정혁 · 이도현 · 김형준[†]
서울대학교 재료공학부 대학원

Characteristics of Nickel_Titanium Dual-Metal Schottky Contacts Formed by Over-Etching of Field Oxide on Ni/4H-SiC Field Plate Schottky Diode and Improvement of Process

Myeong-Sook Oh, Jong-Ho Lee, Dae-Hwan Kim, Jeong-Hyun Moon, Jeong-Hyuk Yim, Do-Hyun Lee and Hyeong-Joon Kim[†]

Department of Materials Science and Engineering, Seoul National University
San 56-1, Shinlim-dong, Gwanak-gu, Seoul, 151-742, Korea

Abstract Silicon carbide (SiC) is a promising material for power device applications due to its wide band gap (3.26 eV for 4H-SiC), high critical electric field and excellent thermal conductivity. The Schottky barrier diode is the representative high-power device that is currently available commercially. A field plate edge-terminated 4H-SiC was fabricated using a lift-off process for opening the Schottky contacts. In this case, Ni/Ti dual-metal contacts were unintentionally formed at the edge of the Schottky contacts and resulted in the degradation of the electrical properties of the diodes. The breakdown voltage and Schottky barrier height (SBH, Φ_B) was 107 V and 0.67 eV, respectively. To form homogeneous single-metal Ni/4H-SiC Schottky contacts, a deposition and etching method was employed, and the electrical properties of the diodes were improved. The modified SBDs showed enhanced electrical properties, as witnessed by a breakdown voltage of 635 V, a Schottky barrier height of $\Phi_B=1.48$ eV, an ideality factor of $n=1.04$ (close to one), a forward voltage drop of $V_F=1.6$ V, a specific on resistance of $R_{on}=2.1$ m Ω -cm² and a power loss of $P_L=79.6$ Wcm⁻².

Key words Dual-metal Schottky contact, Nickel_Titanium, 4H-SiC, schottky barrier diodes, wet etching.

1. 서 론

탄화규소(SiC)는 넓은 에너지 밴드갭(4H-SiC : 3.26 eV), 높은 파괴 전압(2.2×10^6 V/cm), 높은 열전도도(3.0-3.8 W/cm · K) 및 포화 이동 속도(2×10^7 V/sec) 등의 우수한 재료적 특성으로 인하여 전력 소자로서의 응용에 주목을 받고 있으며, 특히 고전압, 고온 소자로서의 응용에 널리 사용되고 있다.¹⁻⁶⁾ 그 중에서도 Schottky 다이오드는 대표적인 고전압 소자이며, 현재 300 V-1.2 kV, 1-20 A 급의 탄화규소 Schottky 다이오드가 상업화 되어 있다.⁷⁾

Schottky 다이오드 제작 공정 중 금속 접합 공정은 Ohmic 접합과 Schottky 접합으로 나눌 수 있으며, 그 중 Schottky 접합은 금속과 탄화규소의 접촉 시 이상적인 Schottky 특성을 얻기 위해 가장 중요한 요소로서 계면

컨트롤이 관건이 된다. 만약 계면에 여러 요인들에 의한 오염 및 결함 등이 존재할 경우, 최종적으로 다이오드의 항복 전압이 낮아지게 된다. 그 원인은 interface trap density(Dit) 증가로 인해 Fermi level pinning 현상이 발생하게 되어 Schottky 장벽 높이(Φ_B)가 낮아지는 것으로 설명되고 있다.⁸⁾ 또한 1990년대 초에 R. T. Tung등을 중심으로 금속과 반도체 접합면의 Schottky 장벽 높이 분포가 접합면 내에서 균일하지 않다고 가정하였고, 그로 인해 발생하는 현상들을 연관 지어 'Non-uniformity contact model' 확립했다.⁹⁾ 이 model에 따르면 Schottky 금속과 반도체가 몇 가지 다른 장벽 높이를 갖는 inhomogeneous 접합을 하게 되고, 이 때 상대적으로 낮은 장벽 영역을 통해 작은 역전압 인가 시에도 많은 양의 누설 전류가 생기게 되어(soft leakage current) 낮은 항복전압 특성을 낸다고 설명한다.¹⁰⁾

본 연구에서는 Schottky 접합의 모서리에 집중되는 전계를 완화시켜주기 위한 접합부 마무리(edge termination)

[†]Corresponding author
E-Mail : thinfilm@snu.ac.kr (H. J. Kim)

방법 중 가장 간단하고 널리 사용되는 전계판(field plate) 구조¹¹⁾를 적용하여 Schottky 다이오드를 제작하였다. 보편적인 다이오드 제작 공정을 따라 전계판 구조의 Ni Schottky 다이오드를 제작하였을 때 나타나는 문제점으로는 field oxide의 과도 식각에 의하여 Schottky 접합면이 Ni 뿐만이 아니라 후속으로 증착되는 금속과도 접하게 될 수 있다는 것이다. 이 때 Schottky 장벽 높이가 확연히 다른 inhomogeneous 영역이 형성된다. 본 연구에서는 보편적인 방법으로 제작된 Schottky 다이오드의 특성 및 소자 성능을 알아본 후, 공정 방법의 개선을 통하여 Ni 단일 금속 Schottky 다이오드를 제작하였고, 또한 그 전기적 특성을 알아보았다.

2. 실험 방법

4H-SiC Schottky 다이오드 소자 제작을 위해 준비된 웨이퍼는 도핑 농도 $2.7 \times 10^{18} \text{ cm}^{-3}$, 두께 $300 \mu\text{m}$ 가량의 n-type 탄화규소 기판 위에 도핑 농도가 $5.0 \times 10^{15} \text{ cm}^{-3}$ 이고, 두께가 $10 \mu\text{m}$ 인 n-type의 저 농도 도핑된 epitaxial layer가 성장되어 있는 기판이다 (Cree Research, Inc.). 취급의 편의를 위해 $8 \text{ mm} \times 8 \text{ mm}$ 크기의 정사각형으로 기판을 dicing 하였다.

실험 전에 시편을 Acetone 용액에 dipping하여 ultrasonic으로 10분간 세척하였으며, $\text{H}_2\text{SO}_4 : \text{H}_2\text{O}_2 = 4 : 1$ 의 비율로 섞어 100°C 에서 10분간 세척(황산 클리닝)하였다. 이후 연속적으로 $\text{NH}_4\text{OH} : \text{H}_2\text{O}_2 : \text{D.I.} = 1 : 1 : 5$ 의 비율로 섞어 70°C , 10분간 세척(SC1)하였고, $\text{HCl} : \text{H}_2\text{O}_2 : \text{D.I.} = 1 : 1 : 6$ 의 비율로 섞어 70°C , 10분간 세척(SC2)하였다. 각각의 세척 중간에는 자연 산화막을 제거하기 위해 $\text{HF} : \text{D.I.} = 1 : 9$ 의 비율로 섞은 용액에 시편을 1분 동안 dipping 하였다. Schottky 접착이 형성될 epi-layer의 표면 부분에 존재하는 scratch 및 defect들을 제거하기 위

해 sacrificial layer 역할을 하는 thermal SiO_2 를 furnace에서 200 \AA 성장시켰다. 이후 $\text{NH}_4\text{F} : \text{HF} = 7 : 1$ 용액을 이용하여 thermal SiO_2 를 제거한 후, 다시 황산 클리닝, SC1, SC2 클리닝을 순차적으로 행한 후, thermal SiO_2 를 성장시키고 PECVD(Plasma Enhanced Chemical Vapor Deposition) system을 이용하여 SiO_2 5000 \AA 을 증착하였다. SiC의 특성상 Si 기판과는 달리 200 \AA 이상의 두께를 갖는 thermal oxide의 형성이 용이하지 않으므로 PECVD를 이용하여 5000 \AA 가량의 field plate 형성용 oxide를 증착한다. 이어서 cathode 전극을 형성하기 위해 기판 바닥에 Ni 500 \AA 을 e-gun evaporator로 증착한 후, RTA(Rapid Thermal Annealing) system으로 1000°C , 2분간 열처리를 하여 Ohmic 접합을 형성하였다. Schottky 접합을 형성하기 위해서 photolithography 공정을 통하여 PR pattern을 형성한 다음, Schottky 금속인 Ni을 500 \AA 증착한 후 아세톤으로 lift-off하여 PR을 제거하였다. 이후 pad 금속을 증착하기 위해 adhesion layer로 Ti를 50 \AA 선 증착한 후, Au를 2500 \AA 증착하였고, 습식 식각으로 Au와 Ti를 순차적으로 patterning하였다. Fig. 1은 전계판 구조 Schottky 다이오드의 도식화된 단면(a) 과 실제 제작된 다이오드의 수직 단면 FE-SEM 이미지(b)이다.

소자의 전기적 특성 분석을 위해 HP-4155A를 이용하여 전류-전압(I-V)를 측정하였고, HP-4140B를 이용하여 1 MHz의 주파수에서 커패시턴스-전압(C-V)을 측정하였다. 항복 전압 측정은 Keithley-208 장비를 사용하였다.

3. 결과 및 고찰

3.1 과도 식각에 의한 Ni/Ti 이중 금속 접합 다이오드의 특성

Ni을 Schottky 금속으로 사용하여 일반적 방식으로 제작한 전계판 구조 다이오드의 J-V(전류밀도-전압) 곡선이

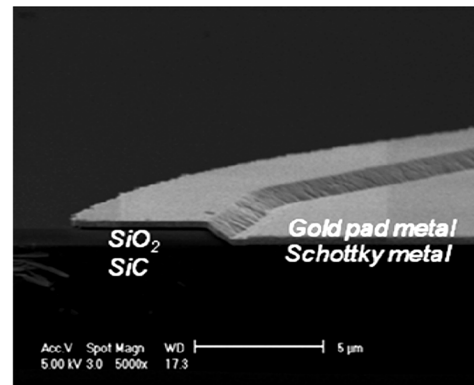
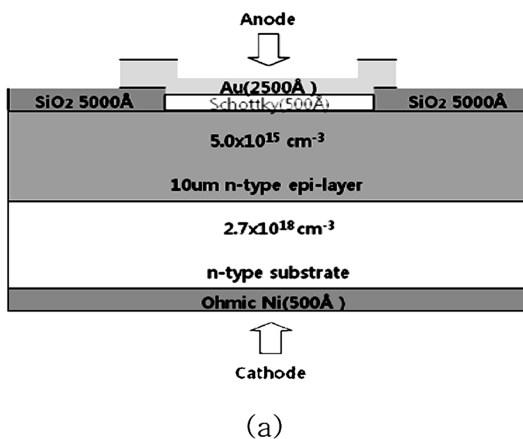


Fig. 1. Structures of Schottky barrier diodes with field plate edge termination; (a) Schematic cross -section of FP Schottky barrier diode. (b) SEM image of fabricated FP SBD.

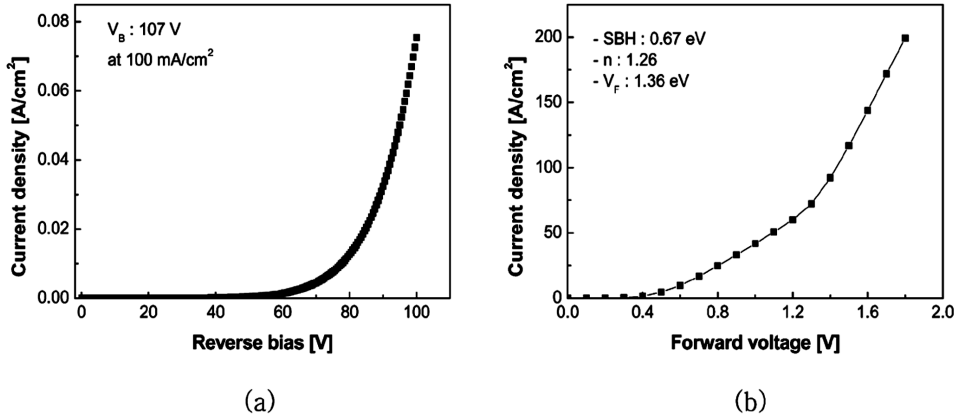


Fig. 2. J-V curves of fabricated Ti/Ni/4H-SiC field plate SBD. (a) Reverse and (b) forward J-V curve.

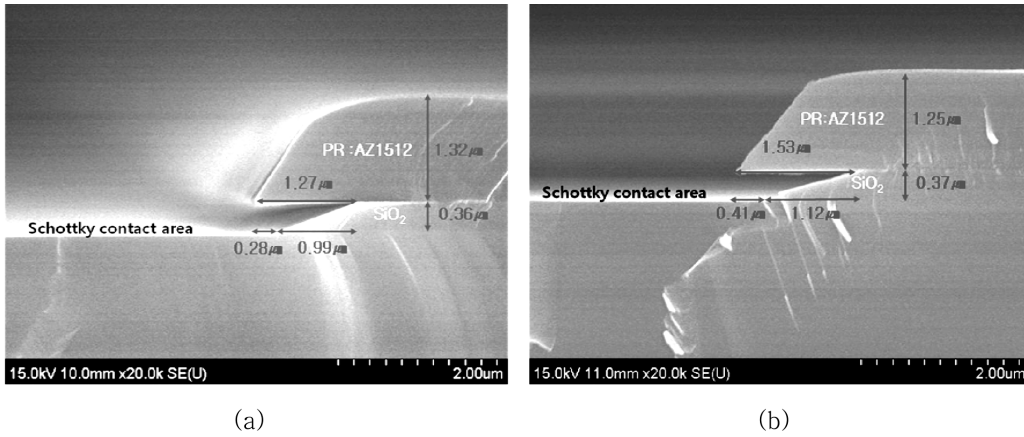


Fig. 3. Cross-section SEM images of after (a) 15sec over-etching (b) 30sec over-etching.

Fig. 2에서와 같이 얻어졌다. 제작된 다이오드의 전기적 특성을 평가하기 위하여 기본적으로 I-V (전류-전압) 측정을 하였고, Schottky 전극 면적으로 전류값을 나누어서 전류 밀도를 얻을 수 있다. 항복 전압은 Fig. 2(a)에서와 같이 역전압을 다이오드에 인가하였을 때, 전류밀도가 100 mA/cm^2 가 되는 전압으로 정의하였으며, 구해진 항복 전압 값은 100 V 를 약간 넘는 수준이었다. Fig. 2(b)는 순방향 전압을 인가한 경우의 J-V 곡선이며, 순방향 I-V 특성을 통해서 Schottky 장벽 높이 (Φ_B), 이상계수 (n , ideality factor), 순방향 전압 강하 (V_F)를 얻을 수 있다.

Schottky 접촉시의 상온에서 동작되는 적당히 도핑된 ($<10^{18} \text{ cm}^{-3}$) 반도체에서 지배적인 순전류는 일반적으로 금속/반도체 접합 시 형성된 장벽(potential barrier)을 넘는 전자의 열전자 방출 (thermionic emission 또는 Schottky equation, Richardson's equation) model로 설명될 수 있으며, 이는 다음의 식으로 표현된다.

$$I = I_{sat} \left[\exp\left(\frac{qV_d}{nkT}\right) - 1 \right] \quad (1)$$

여기서 n 은 이상계수로서 이상적인 Schottky 접합이 형성될 경우 1의 값을 가진다. V_d 는 인가된 바이어스이고, T 는 온도, k 는 볼츠만 상수, 그리고 I_{sat} 은 포화 전류이다. I_{sat} 은 일반적으로 다음의 식으로 나타낸다.

$$I_{sat} = SA^*T^2 \exp\left(-\frac{q\Phi_B}{kT}\right) \quad (2)$$

여기서 Φ_B 는 effective barrier height, S 는 다이오드의 전극 면적 그리고 A^* 는 Richardson 계수이며, 4H-SiC의 경우 $146 \text{ Acm}^{-2}\text{K}^{-2}$ 의 값을 가진다. (1)과 (2) 식을 이용하여 Schottky 장벽 높이와 이상계수를 구할 수 있다. 순방향 전압 강하 (V_F)는 식 (3)으로 표현된다.

$$V_F = \frac{nkR}{q} \ln\left[\frac{J_F}{A^*T^2}\right] + n\Phi_B + R_{on}J_F \quad (3)$$

여기서 J_F 는 V_F 에서의 전류 밀도이며, 보통 100 A/cm^2 의 값을 기준으로 하며, 본 연구에서도 이 수치를 적용하였다.^{12,13)}

위의 방식에 의해 구해진 Schottky 장벽 높이는 0.67

eV, 이상계수는 1.26 그리고 순방향 전압 강하는 1.36 V의 특성을 보였다. 측정된 항복전압과 Schottky 장벽 높이는 Ni 금속을 사용한 다른 연구 그룹들의 값이 600-1000 V, 1.59-1.7 eV 인 것에 비하여 상당히 낮게 나타났다.¹⁴⁾ 이러한 결과는 Schottky 접합이 이상적으로 형성되지 못하였음을 의미하며, SiO₂ 과도 습식 식각 실험 결과를 통하여 Schottky 접합의 비이상적 형성을 확인할 수 있었다. Fig. 3은 PR을 마스크로 사용하여 SiO₂ 3700 Å 을 NH₄F : HF=7 : 1 용액에서 습식 식각한 것이며, sheet-off 후 과도 식각 15초와 30초를 각각 수행한 경우의 SEM 이미지이다. PR의 끝단에서 SiO₂의 끝단까지의 거리가 과도 식각 15sec에서는 0.28 μm, 30sec에서는 0.41 μm이 되는 것을 확인할 수 있었다. 이 부분은 Schottky 금속이 PR에 가려서 증착이 되지 못하는 영역이 된다. 이후 이 영역은 pad 금속인 Au의 adhesion layer로서 선 증착되는 Ti에 의해 접촉된다. 이러한 공정상 발생하는 원인에 의해 의도하지 않은 dual-metal Schottky contact이 형성됨을 확인할 수 있었다. Ti를 Schottky 금속으로 다이오드를 제작한 타 연구 그룹¹⁵⁾의 Schottky 장벽 높이가 0.6-0.7 eV인 것임을 볼 때, 본 연구에서 제작된 Schottky 다이오드는 일함수 (work function)가 낮은 Ti Schottky 영역에 의해 전반적인 역방향 특성 및 Schottky 장벽 높이가 결정된 것이라고 볼 수 있다.

3.2 공정 개선에 의한 Ni 단일 금속 접합 다이오드의 특성

Schottky 접합 끝단에 Ti 접합 형성을 방지하기 위해 기존의 lift-off 방법 즉, Ni만 증착하여 lift-off를 하고, 그 위에 Ti와 Au를 순차적으로 증착하여 습식 식각법으로 pad metal을 형성하였던 방법을 사용하지 않고, 드러난 Schottky 접합 영역을 포함한 기판 전면에 Ni, Ti, Au를 순차적으로 증착시킨 후, 세 층을 순차적으로 습식 식각으로 patterning하여 제작하였다. 변경된 방법으로

제작된 Ni Schottky 다이오드의 I-V 특성을 Fig. 4에 나타내었다.

제작된 다이오드의 Schottky 장벽 높이는 I-V법과 C-V 법으로 얻은 값이 각각 1.48 eV, 1.5 eV 이고, 이상계수는 1.04로 거의 1에 근접하였으므로 thermionic emission(열전자 방출)에 의해 current transport가 이루어진다고 할 수 있으며, 이 결과는 Ni/4H-SiC Schottky 접합의 특성이 향상되었음을 나타내는 것이다.⁸⁾ 역방향 항복전압은 635 V, 역 누설전류밀도가 1.36 X 10⁻³ A/cm² (@-500 V)로 이중 금속 접합된 Schottky 다이오드의 항복전압 107 V에 비해 상당히 향상된 값을 얻을 수 있었다. 순방향 전압 강하(V_F)는 항복전압 이 커짐에 따라 증가하여 1.6 V의 값을 나타내었다. 온저항(Ron, Specific on resistance)^{12,13)}은 표동층에 해당하는 에피층의 저항 (R_d)과 SiC 기판의 저항 (R_{sub})의 합으로 나타낼 수 있으며, 기판에 의한 저항은 무시할 수 있으므로 최종적으로 다음과 같이 나타낼 수 있다.

$$R_{on} = \rho_{epi} t_{epi} = \frac{4V_B^2}{\mu_n \epsilon_s E_B^2} \quad (4)$$

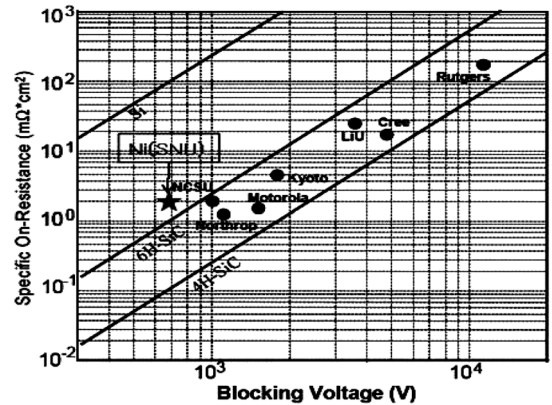


Fig. 5. Specific on-resistance versus blocking voltage for fabricated Ni/4H-SiC Schottky barrier diode.¹⁶⁾

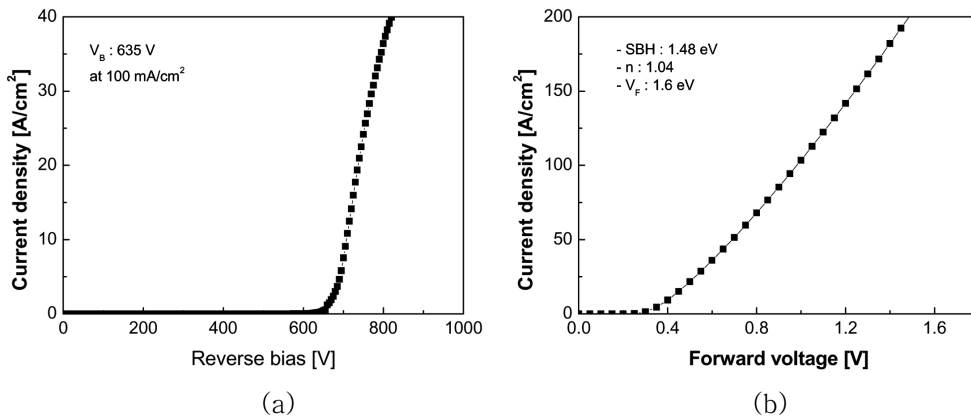


Fig. 4. J-V curves of fabricated Ni/4H-SiC field plate SBD; (a) reverse and (b) forward J-V curve.

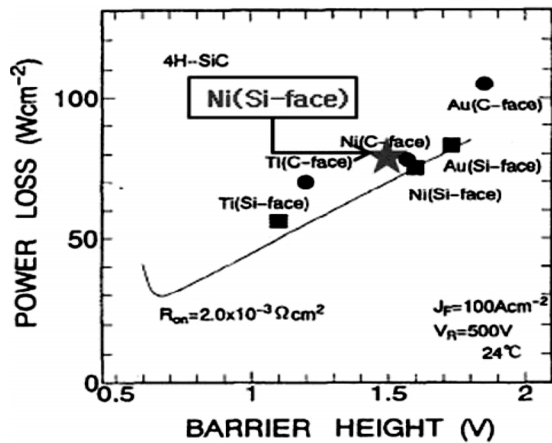


Fig. 6. Schottky barrier height dependence of power loss in fabricated Ni/4H-SiC Schottky barrier diode.²⁾

여기서 ρ_{epi} 는 에피층의 resistivity, t_{epi} 는 공핍폭, E_B 는 임계 전기장, μ_n 은 캐리어의 이동도, ϵ_s 는 반도체의 유전율이다. 식 (4)에 의해 계산된 온저항 값은 $2.1 \text{ m}\Omega\text{-cm}^2$ 의 값을 나타내었고, Fig. 5는 항복전압에 대한 온저항 값을 나타내고 있다. 본 연구에서 제작된 Schottky 다이오드의 경우, 항복전압에 대한 온저항이 이론 값 및 타 연구기관의 결과들에 비해 다소 높은 값을 가짐을 알 수 있는데, 이는 epi-layer 내부의 intrinsic defects, 전계 마무리 기법(edge termination) 종류 등의 요인들과 무관하지 않다.

Fig. 6은 제작된 단일 금속 다이오드의 전력 손실(P_L)을 나타내고 있다. 전력 손실은 고전압 정류 작동에 있어서 매우 중요한 파라미터로서 on 상태에서의 손실과 off 상태에서의 손실의 양을 합한 값으로 다음의 식에 의하여 계산될 수 있다.^{12,13)}

$$P_{on} = J \quad (5)$$

여기서 D 는 duty cycle을 나타내며, 스위칭으로 인한 손실은 배제되었다. 계산된 가정은 $J_F = 100 \text{ Acm}^{-2}$, $V_R = 20 \text{ V}$, $D = 50 \%$ 이었고, 위 식에 의해 계산된 제작된 다이오드의 전력 손실은 $P_L = 79.6 \text{ Wcm}^{-2}$ 으로 얻어졌다. 이론 값에 근접한 우수한 특성의 다이오드가 제작되었음을 확인할 수 있다.

4. 결 론

Lift-off 공정으로 Schottky 접합을 형성한 전계관 구조의 Schottky 다이오드를 제작한 결과, Schottky 접합 영역 형성 시 공정의 매우 정밀한 컨트롤이 이루어지지 못할 경우, 과도 식각(over-etch)이 발생할 수 있으며, 그 결과로 이중 금속(Ni-Ti) Schottky 접합이 생기게 됨을

확인하였다. 다이오드는 역전압 인가시 Schottky 접합의 테두리 부분에 전계가 가장 많이 집중되기 때문에 제작된 다이오드의 경우, 테두리 부분에 형성된 Ti에 의해 접합 특성이 크게 좌우되었고, Ni 만의 Schottky 접합에 비해 그 특성이 열화되었다고 사료된다. 이렇게 제작된 Ni/4H-SiC 다이오드의 항복전압은 107 V , Schottky 장벽 높이가 $\Phi_b = 0.68 \text{ eV}$ 의 값을 나타내었다. Ni-Ti 이중 금속에 의한 Schottky 접합 형성을 피하고, 4H-SiC와 Ni 만의 단일 금속 접합을 위하여 lift-off 공정 대신에 증착-식각 식각법을 적용하여 소자를 제작하였다. 공정 개선을 통해 제작된 다이오드의 특성은 항복전압 635 V , Schottky 장벽 높이가 $\Phi_b = 1.48 \text{ eV}$, 이상계수 $n = 1.04$, 순방향 전압 강하 $V_F = 1.6 \text{ V}$, 온저항 $R_{on} = 2.1 \text{ m}\Omega\text{-cm}^2$, 그리고 전력 손실 $P_L = 79.6 \text{ Wcm}^{-2}$ 로 우수한 특성을 나타내었다.

참 고 문 헌

1. S. Hu and K. Sheng, Solid-State Electron., **48**(10), 1861 (2004).
2. A. Itoh, T. Kimoto and H. Matsunami, in Proceedings of International Symposium on Power Semiconductor Devices & ICs, (Yokohama, Japan, May 1995), IEEE p. 101.
3. P. G. Neudeck, D. J. Larkin, J. A. Powell, L. G. Matus and C. S. Salupo, Appl. Phys. Lett., **64**(11), 1386 (1994).
4. D. Alok, B. J. Baliga and P. K. McLarty, IEEE Electron Device Lett., **15**(10), 394, (1994).
5. C. E. Weitzel, J. W. Palmour, C. H. Carter, Jr. and K. J. Nordquist, IEEE Electron Device Lett., **15**(10), 406, (1994).
6. G. Pensl and W. J. Choyke, Physica B, **185**(1-4), 264 (1993).
7. J. M. Bluet, D. Ziane, G. Guillot, D. Tournier, P. Brosselard, J. Montserrat and P. Godignon, Superlattices Microstruct., **40**(4-6), 399 (2006).
8. E. H. Rhoderick and R. H. Williams, Metal-Semiconductor Contacts, 2nd ed., p.15, P. Hammond and R. L. Grimsdale, Oxford University Press, New York, USA (1988).
9. J. P. Sullivan, R. T. Tung, and M. R. Pinto, J. Appl. Phys., **70**(12), 7403 (1991).
10. R. Perez, N. Mestres, J. Montserrat, D. Tournier and P. Godignon, Phys. Status Solidi A, **202**(4), 692 (2005).
11. C. Marc, T. Vipin, P. Madangarli, Q. Zhang and T. S. Sudarshan, IEEE Trans. Electron Devices, **48**(12), 2659 (2001).
12. V. Khemka, R. Patel, T. P. Chow and R. J. Gutmann, Solid-State Electron., **43**(10), 1945 (1999).
13. D. W. Kim, Mast. Thesis (in Korean), p. 21-28, Seoul National University, Seoul (2004).
14. V. Saxena, S. J. Nong and Steckl, IEEE Trans. Electron Devices, **46**(3), 456 (1999).
15. B.J. Skromme and E. Luckowski, Mater. Sci. Forum, **338**(342), 1029 (2000).
16. J. H. Zhao and K. Sheng, International Journal of High Speed Electronics and Systems, **15**(4), 821 (2005).