

논문 2008-45SD-10-2

잡음 내성이 향상된 300W 공진형 하프-브리지 컨버터용 고전압 구동 IC 설계

(Design of the Noise Margin Improved High Voltage Gate Driver IC
for 300W Resonant Half-Bridge Converter)

송 기 남*, 박 현 일*, 이 용 안*, 김 형 우**, 김 기 현**, 서 길 수**, 한 석 봉***

(Ki-Nam Song, Hyun-Il Park, Yong-An Lee, Hyoung-Woo Kim, Ki-Hyun Kim,
Kil-Soo Seo, and Seok-Bung Han)

요 약

본 논문에서는 1.0 μ m BCD 650V 공정을 이용하여 향상된 잡음 내성과 높은 전류 구동 능력을 갖는 고전압 구동 IC를 설계하였다. 설계된 고전압 구동 IC는 500kHz의 고속 동작이 가능하고, 입력 전압의 범위가 최대 650V이다. 설계된 IC에 내장된 상단 레벨 슈프터는 잡음 보호회로와 슈미트 트리거를 포함하고 있으며 최대 50V/ns의 높은 dv/dt 잡음 내성을 가지고 있다. 또한 설계된 숏-펄스 생성회로가 있는 상단 레벨 슈프터의 전력 소모는 기존 회로 대비 40% 이상 감소하였다. 이외에도 상·하단 파워 스위치의 동시 도통을 방지하는 보호회로와 구동부의 전원 전압을 감지하는 UVLO(Under Voltage Lock-Out) 회로를 내장하여 시스템의 안정도를 향상시켰다. 설계된 고전압 구동 IC의 특성 검증에는 Cadence사의 spectre 및 PSpice를 이용하였다.

Abstract

In this paper, we designed the HVIC(High Voltage Gate Driver IC) which has improved noise immunity characteristics and high driving capability. Operating frequency and input voltage range of the designed HVIC is up to 500kHz and 650V, respectively. Noise protection and schmitt trigger circuit is included in the high-side level shifter of designed IC which has very high dv/dt noise immunity characteristic(up to 50V/ns). And also, power dissipation of high-side level shifter with designed short-pulse generation circuit decreased more that 40% to compare with conventional circuit. In addition, designed HVIC includes protection and UVLO circuit to prevent cross-conduction of power switch and sense power supply voltage of driving section, respectively. Protection and UVLO circuit can improve the stability of the designed HVIC. Spectre and PSpice circuit simulator were used to verify the operating characteristics of the designed HVIC.

Keywords : High Voltage Gate Driver ICs, MOSFET Driver IC, Half-Bridge Converter

I. 서 론

최근 LCD 및 PDP TV의 수요가 급증함에 따라 전

원 장치의 파워 스위치를 구동하는 고전압 구동 IC 기술 개발이 요구되고 있다. 이러한 전자 제품에 사용되 는 500W 이하의 전원 장치는 대부분 하프 브리지 컨버 터가 사용되는데, 하프 브리지 컨버터의 경우 높은 효 율성 및 낮은 노이즈 방출, 그리고 고주파 동작을 통한 소형화가 가능하다는 장점이 있다. 따라서 LCD 및 PDP TV에 사용되는 전원 장치로 공진형 하프-브리지 컨버터의 사용이 증가하고 있다^{1,2)}.

공진형 하프-브리지 컨버터에서는 기본적으로 두개 의 파워 스위치가 서로 반대로 턴-온, 턴-오프를 하며 부하에 전력을 전달하게 되는데, 이러한 파워 스위치의

* 학생회원, *** 평생회원-교신저자, 경상대학교
전자공학과 공학연구원
(Department of Electronic Engineering, Gyeongsang
National University, Engineering Research Institute)
** 정회원, 한국전기연구원
(Korea Electrotechnology Research Institute)
※ 본 논문은 지식경제부의 에너지·자원 기술개발 사
업인 '대형 가전용 대기전력 절감기술 개발 사업'의
지원과 IDEC 지원을 받아 수행된 연구입니다.
접수일자: 2008년5월19일, 수정완료일: 2008년10월6일

턴-온, 턴-오프에는 별도의 구동 IC가 필요하다. 이 구동 IC는 고전압 구동 IC(High Voltage Gate Driver ICs)라고 하며, 파워 스위치, 즉 MOSFET 또는 IGBT를 구동하기 위해 필요한 전류와 전압을 생성한다^[3].

이러한 고전압 구동 IC는 아래와 같은 요구사항들을 만족해야만 한다. 첫째, 수백 kHz의 스위칭 주파수에서 동작이 가능하고, 둘째, 상·하단 파워 스위치의 동시 도통을 방지하는 보호회로가 있어야 한다. 셋째, 안정된 동작을 위하여 매우 큰 dv/dt 잡음 내성(5V/ns~10V/ns)이 필요하며, 넷째, 매우 작은 전류 소비와 입력 전압이 600~700V 범위에서도 동작해야 한다^[4].

본 논문에서는 위와 같은 특성들을 만족할 수 있는 고전압 구동 IC를 설계하였다. 설계된 고전압 구동 IC는 최대 500kHz의 스위칭 주파수에서 동작하며, 파워 스위치의 동시 도통을 방지하는 보호회로를 가진다. 그리고 슈미터 트리거와 잡음 보호회로를 이용하여 최대 50V/ns의 dv/dt 잡음 내성을 가지도록 설계하였으며, 최대 입력 전압이 650V로써 위에서 언급한 고전압 구동 IC의 요구사항들을 충분히 만족한다. IC의 설계에는 2-poly, 3-metal, 650V LDMOS를 제공하는 1.0 μ m BCDMOS 공정 파라미터가 사용되었다. 설계된 고전압 구동 IC의 성능 검증에는 Cadence사의 Spectre와 PSpice를 이용하였으며, 상용 파워 스위치의 모델과 응용회로로 300W LLC 공진형 하프-브리지 컨버터를 이용함으로써 설계 검증의 신뢰도를 향상시켰다.

II. 향상된 잡음 내성과 높은 전류 구동 능력을 갖는 고전압 구동 IC

그림 1은 설계된 고전압 구동 IC의 블록도이다. 상단 구동부의 전원을 공급하기 위해 부트스트랩 방

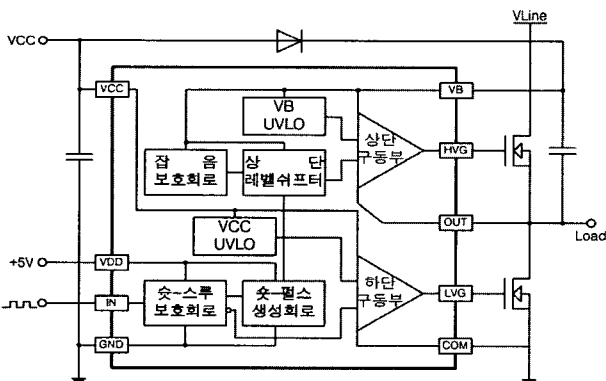


그림 1. 설계된 고전압 구동 IC의 블록도
Fig. 1. Block diagram of designed HVIC.

식을 이용하였다. 하단 파워 스위치가 턴-온 되면, 부트스트랩 다이오드가 턴-온 되어 VCC 전원에 의해 부트스트랩 커패시터가 충전된다. 이때 VCC는 하단 구동부의 공급 전원이며, 부트스트랩 커패시터의 충전 전압은 상단 구동부의 공급 전원이 된다. 그리고 상단 레벨 슈프터는 슛-펄스 생성회로의 출력 신호를 플로팅 노드 (OUT) 전압(600V)까지 상승시킨다. 이 상단 레벨 슈프터는 잡음 보호회로와 슈미터 트리거의 히스테리시스를 이용하여 잡음 내성을 향상시켰다. 슛-스루 보호회로는 상·하단 파워 스위치가 동시에 턴-온 되는 것을 막는다. 또한 슛-펄스 생성회로는 상단 레벨 슈프터의 전력 소모를 줄이기 위해 짧은 펄스 신호를 만든다. 그리고 VCC 및 VB 전압이 하강하면, 상·하단 구동부의 출력을 차단하는 UVLO 기능이 내장되어 있어서 더욱 안정적인 동작을 한다. 설계된 고전압 구동 IC는 일반적인 소스, 싱크 전류가 각각 0.6A, 1.2A로 높은 전류 구동 능력을 가진다. 또한 구동부 출력의 상승시간과 하강시간이 각각 120ns, 80ns이며 제어 신호의 지연 시간도 18ns로써 기존의 회로^[5]에 비해 응답 속도가 우수하다.

1. 잡음 내성이 향상된 상단 레벨 슈프터

그림 2는 잡음 보호회로와 슈미터 트리거가 포함된 상단 레벨 슈프터를 나타내었다.

상단 레벨 슈프터는 650V 내압을 가지는 LDMOS와 LDMOS의 드레인 저항, 그리고 슈미터 트리거로 구성된다. LDMOS1의 게이트에 셋(set) 신호가 인가되면 LDMOS1은 턴-온 되고, VB에서 GND까지 전류 I_S 가 흐른다. 전류 I_S 에 의해 드레인 저항 R_S 에 전압 강하가 발생하며, 슈미터 트리거를 거쳐 RS 래치에 셋 신호를 인가한다. RS 래치에 인가된 셋 신호에 의해 상단 파워 스위치를 턴-온 한다. 한편, LDMOS2의 게이트에

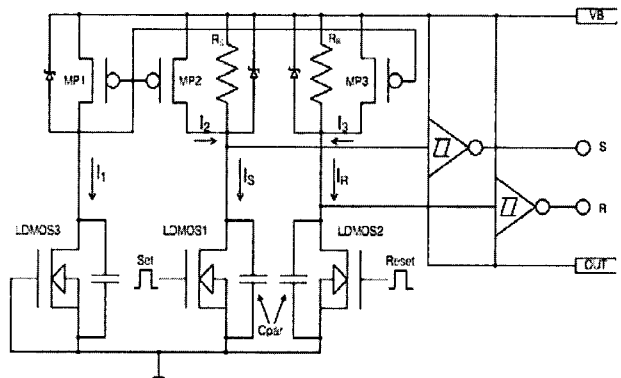


그림 2. 상단 레벨 슈프터
Fig. 2. High-side level shifter.

리셋(reset) 신호가 인가되면, 드레인 저항 R_R 에 전압 강하가 발생하여 RS 래치에 리셋 신호를 인가한다. RS 래치에 인가된 리셋 신호에 의해 상단 파워 스위치는 턴-오프 한다. 이때 상단 레벨 쉬프터의 드레인 저항 값은 $3.85k\Omega$ 이며, 전류 펄스는 $5mA$ 이다.

이와 같이 펄스에 의해 제어되는 상단 레벨 쉬프터는 시스템의 안정도에 있어서 매우 치명적인 문제를 가지고 있다. 주요 문제로는 고내압 LDMOS의 기생 커패시터(C_{par})로부터 발생하는 셋 및 리셋 노드(node)들의 공통 모드 dv/dt 유도 전류이다. OUT 또는 VB는 매우 높은 전압 레벨까지 상승하며, 그 결과 작은 기생 커패시턴스에도 공통 모드 dv/dt 유도 전류가 발생할 수 있다. 공통 모드 dv/dt 유도 전류에 의해 고전압 구동 IC가 오동작하게 되어 파워 스위치의 쏠-스루 현상이 발생할 수 있다^[6]. 이러한 공통 모드 dv/dt 유도 전류 i_{dv} 는 다음과 같다^[7].

$$i_{dv} = C_{par} \times \frac{dv}{dt} \quad (1)$$

C_{par} : LDMOS의 기생 커패시턴스

이 유도 전류 i_{dv} 에 의한 드레인 저항의 전압 강하 v_S, v_R 은 다음과 같다.

$$v_S = i_{dv} \times R_S, \quad v_R = i_{dv} \times R_R \quad (2)$$

기존 인버터 구조의 상단 레벨 쉬프터는 유도 전류에 의한 전압 강하 v_S, v_R 이 MOS의 문턱전압 이상일 경우, 원하지 않는 셋 및 리셋 신호가 RS 래치에 인가되어 오동작이 발생한다.

설계된 고전압 구동 IC는 이러한 오동작을 방지하기 위해 잡음 보호회로가 포함되어 있다. 잡음 보호회로는 고내압 LDMOS3와 PMOS 전류 미러 회로(MP1, MP2, MP3)로 구성된다. 상단 레벨 쉬프터와 잡음 보호회로에 같은 양의 유도 전류 i_{dv} 가 흐를 수 있도록 동일한 고내압 LDMOS 소자를 사용해야 한다. 이 회로는 상단 레벨 쉬프터의 셋 및 리셋 노드에서 발생하는 유도 전류를 드레인 저항이 아닌 전류 미러 회로로 흐르게 한다. 즉 드레인 저항에 흐르는 유도 전류를 줄여서 전압 강하를 최소화 하는 것이다. 그리고 잡음 보호회로는 단지 기생 커패시터 역할만 하는 LDMOS3에 의해 유도 전류 i_{dv} 가 발생할 때에만 동작한다. MP1의 전류 소스(source) 능력을 키우면 상대적으로 드레인 저항에 흐르는 유도 전류보다 잡음 보호회로에 흐르는 유도 전

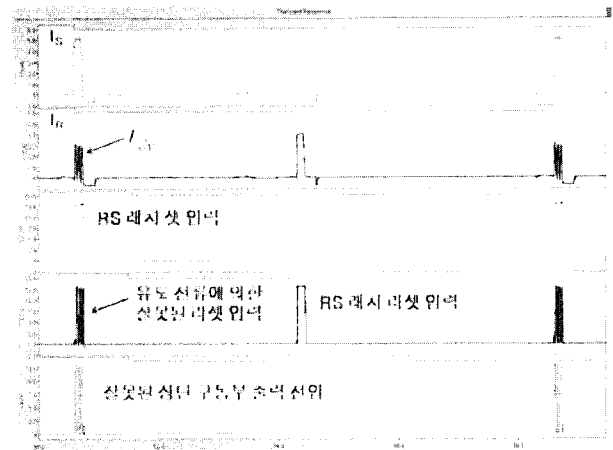


그림 3. 상단 레벨 쉬프터의 오동작
Fig. 3. Fault operation of high-side level shifter.

류가 더 많아진다. 유도 전류 i_{dv} 가 발생하면 MP1에 유도 전류 I_1 이 흐르게 되고, 이 유도 전류는 전류 미러 회로를 통해 MP2(I_2)와 MP3(I_3)에 흐른다. 유도 전류 i_{dv} 는 잡음 보호회로에 의해서 대부분 흐르게 되고, 그 결과 드레인 저항에 흐르는 유도 전류는 $0A$ 에 가깝다. 따라서 유도 전류 i_{dv} 에 의한 드레인 저항의 전압 강하는 최소화 되고, 오동작으로 인한 파워 스위치의 쏠-스루 현상을 방지 할 수 있다. 그림 3은 유도 전류 i_{dv} 에 의해 RS 래치에 잘못된 리셋 입력이 들어가고 있는 것을 보여준다. 이러한 잘못된 리셋 입력은 상단 파워 스위치를 턴-온 하기 위한 정상적인 신호를 만들지 못하게 한다.

그림 4는 잡음 보호회로가 포함되어 있는 상단 레벨 쉬프터의 동작을 나타낸 것이다. 잡음 보호회로내의 소

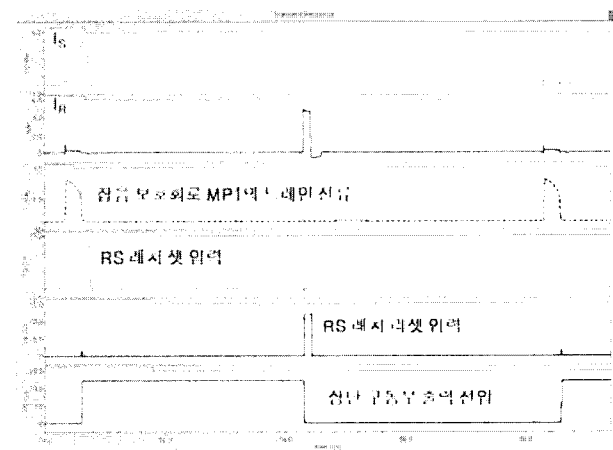


그림 4. 잡음 보호회로가 포함된 상단 레벨 쉬프터의 동작
Fig. 4. Operation of high-side level shifter included in noise protection circuit.

자 MP1의 드레인 전류 I_1 을 보면 유도 전류 i_{dv} 가 발생할 때에만, 3mA의 유도 전류가 흐른다. 반면에 상단 레벨 슈프터의 드레인 저항에는 각각 200 μ A 정도의 유도 전류만이 흐르는 것을 볼 수 있다. 결과적으로 유도 전류에 의한 드레인 저항의 전압 강하는 감소하고, 원하는 상단 구동부의 출력 전압을 얻을 수 있다.

다음은 유도 전류 i_{dv} 가 발생했을 때, 잡음 보호회로에 흐르는 전류를 수식으로 나타낸 것이다.

$$I_1 = I_2 = I_3 = i_{dv} \quad (3)$$

$$I_2 = I_1 \times \frac{W_2/L_2}{W_1/L_1}, \quad I_3 = I_1 \times \frac{W_3/L_3}{W_1/L_1} \quad (4)$$

이와 같이 잡음 보호회로는 유도 전류 i_{dv} 가 발생하면, 고내압 LDMOS와 PMOS 전류 미러 회로에 의해서 대부분의 유도 전류를 흐르게 한다. 드레인 저항의 전압 강하를 확실히 줄이게 되면, 보다 안정된 동작을 할 수 있다. 위 식에서 알 수 있듯이, MP1에 대한 MP2 및 MP3의 비율을 키우면 드레인 저항의 전압 강하를 확실히 줄일 수 있다. 단, 비율을 키우게 되면 면적이 커지게 되므로 이에 따른 trade-off 관계를 고려하여야 한다. 그러므로 잡음 보호회로에서 유도 전류 i_{dv} 에 의한 드레인 저항의 전압 강하를 줄이고, 감소한 잡음들은 슈미터 트리거의 히스테리시스를 이용하여 제거하는 것이 안정된 동작과 함께 비용 문제를 해결하는데 효과적이다.

기존의 상단 레벨 슈프터는 LDMOS에 인가되는 제어 신호를 출력 단자 전압까지 상승시킨 후, 인버터를 이용하여 RS 래치에 셋 및 리셋 신호를 전달한다. 기존

의 방식은 인버터의 낮은 문턱 전압 때문에 작은 잡음에도 오동작 할 수 있는 문제점을 가진다. 설계된 상단 레벨 슈프터는 인버터 대신 슈미터 트리거를 이용하여 이러한 문제점을 해결하였다. 큰 히스테리시스를 갖는 슈미터 트리거는 작은 잡음에는 동작하지 않고, 원하는 셋 및 리셋 신호만을 RS 래치로 전달하게 한다. 설계된 슈미터 트리거의 온 전압은 1.4V, 오프 전압은 13.5V이다(VCC=14V 기준).

그림 5는 인버터의 문턱 전압을 초과하는 잡음이 발생한 경우, 슈미터 트리거에 의해 잡음이 제거되는 것을 보여준다. 이와 같이 설계된 상단 레벨 슈프터는 잡음 보호회로와 슈미터 트리거의 히스테리시스를 이용하여 잡음 내성이 향상되었다. 결과적으로 설계된 고전압 구동 IC는 50V/ns의 매우 큰 dv/dt 잡음 내성을 가진다.

2. 숏-펄스(Short-pulse) 생성회로

상단 레벨 슈프터를 설계할 때 중요하게 고려되어야 할 특성은 바로 전력 소모이다. 상단 레벨 슈프터는 VB의 높은 전압(600V)에 의해 전력 소모가 크다. 따라서 상단 레벨 슈프터의 전력 소모를 최소화하기 위해서, 셋 및 리셋 신호를 주기가 짧은 펄스 형태로 만든다. 설계된 숏-펄스 생성회로는 125ns의 펄스폭을 가지는 셋 및 리셋 신호를 상단 레벨 슈프터 LDMOS의 게이트에 인가한다. 입력 커패시턴스가 큰 고내압 LDMOS를 빠르게 턴-온 시키기 위하여 숏-펄스 생성회로의 출력 단에 14mA의 전류 구동 능력을 갖는 전류 버퍼를 설계하였다. 이러한 전류 버퍼에 의해 125ns의 짧은 펄스 신호도 무리 없이 출력 단자 전압 레벨까지 상승 할 수 있게 된다. 다음은 설계된 고전압 구동 IC가 100kHz의 스위칭 주파수에서 동작할 때, 상단 레벨 슈프터의 전력 소모를 나타낸다^[8]. 이때 상단 레벨 슈프터의 전류 최고치는 5mA이다.

$$I_{AV} = I_{peak} \times \frac{pulse - width}{period} \times 2 = 125\mu A \quad (5)$$

입력 전압이 600V일 때, 설계된 상단 레벨 슈프터의 전력 소모는 아래와 같다.

$$P_d = V_{Line} \times I_{AV} = 600V \times 125\mu A = 75mW \quad (6)$$

기존 상단 레벨 슈프터^[8]의 전력 소모와 비교하여 40%가 감소하였다. 이러한 결과는 더 짧아진 제어 신호의 펄스-폭에 의한 것이다. 제어 신호의 펄스-폭이

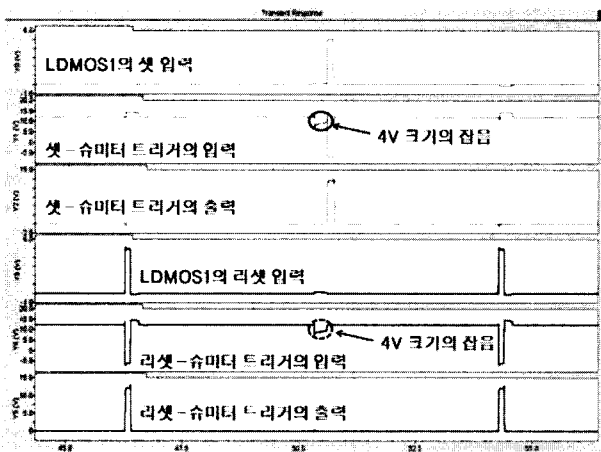


그림 5. 슈미터 트리거의 동작
Fig. 5. Operation of schmitt trigger.

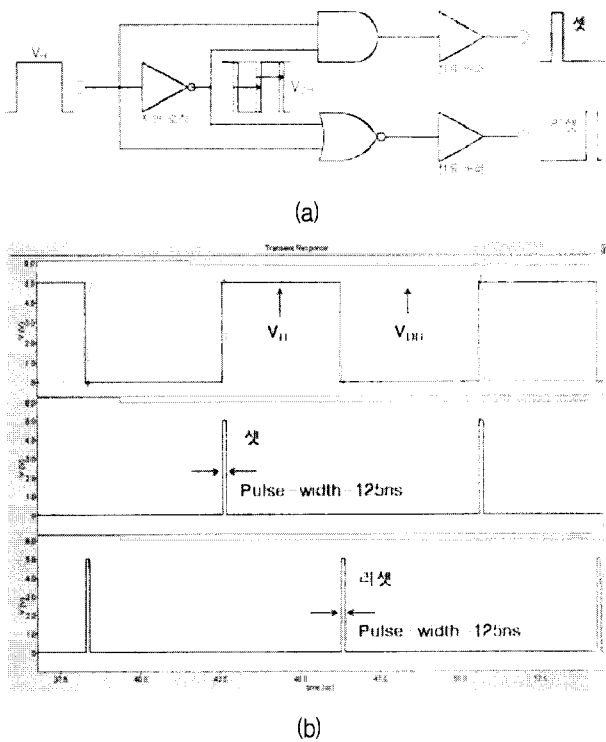


그림 6. (a) 설계된 셋-펄스 생성회로 (b) 동작 파형
 Fig. 6. (a) Designed short-pulse generation circuit
 (b) Operation waveform.

너무 짧아지면 OUT 전압 레벨까지 상승하는데 문제가 발생할 수 있는데, 이것은 전류 버퍼의 구동 능력을 키워줌으로써 해결할 수 있다.

그림 6은 설계된 셋-펄스 생성회로와 동작 파형을 나타낸다. 셋-스루 보호회로에서 상단 파워 스위치를 턴-온 시키기 위한 제어 신호 V_H 가 셋-펄스 생성회로의 입력에 인가된다. 지연 로직은 인가된 V_H 에서 V_{DH} 를 생성한다. 이 두개의 V_H 와 V_{DH} 신호는 각각 AND와 NOR 연산을 한다. 결과적으로 V_H 의 상승 에지에서 AND를 통해 셋 신호가 생성되고, 하강 에지에서 NOR를 통해 리셋 신호가 생성된다. 생성된 셋 및 리셋 신호는 전류 버퍼를 거쳐 상단 레벨 쉬프터 LDMOS의 게이트에 인가된다.

3. 셋-스루(Shoot-through) 보호회로

설계된 셋-스루 보호회로는 셋-스루 현상을 막기 위해 입력 신호를 서로 겹치지 않는 상단 제어 신호와 하단 제어 신호로 만든다. 이때 상·하단 제어 신호의 데드타임은 330ns이다. 셋-스루 보호회로는 NAND 및 인버터, 그리고 지연 로직으로 이루어진다.

그림 7은 설계된 셋-스루 보호회로와 동작 파형을 나타낸다. 셋-스루 보호회로에 입력 전압이 인가되면

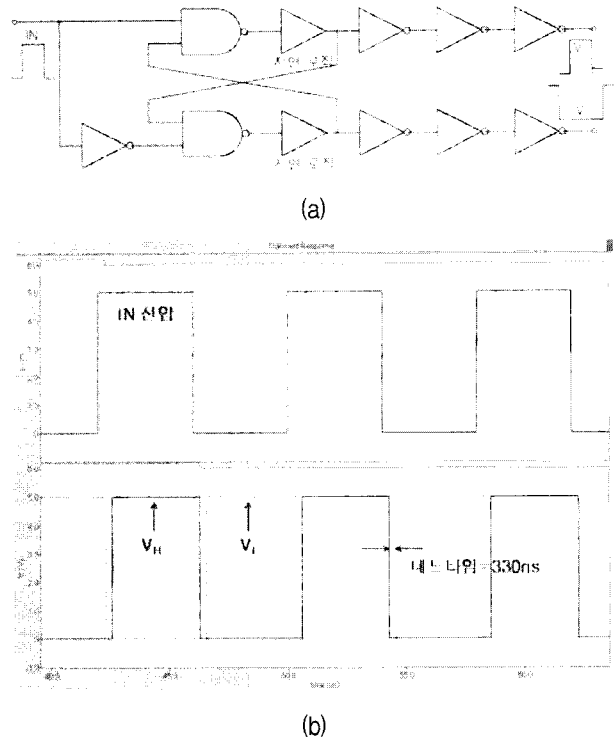


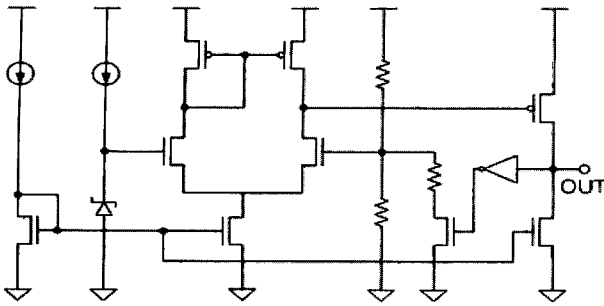
그림 7. (a) 설계된 셋-스루 보호회로 (b) 동작 파형
 Fig. 7. (a) Designed shoot-through protection circuit
 (b) Operation waveform.

데드타임이 330ns인 상단 제어 신호와 하단 제어 신호가 생성되는 것을 확인할 수 있다.

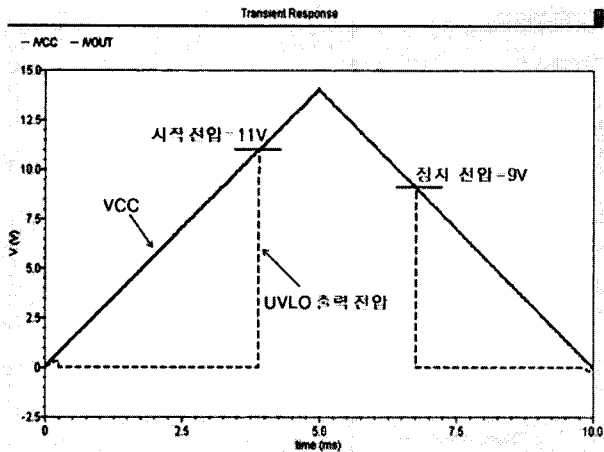
4. Under Voltage Lock-Out 회로

설계된 고전압 구동 IC는 두개의 UVLO 회로를 포함하고 있다. 다시 말하면, 하단 구동부의 전원인 VCC를 감지하는 VCC UVLO 회로와 상단 구동부의 전원인 VB를 감지하는 VB UVLO 회로가 있다. 구동부의 전원이 낮아지게 되면 파워 스위치를 턴-온 시키기 위한 전류 또한 부족해지기 때문에 긴 지연 시간 혹은 파워 스위치를 턴-온 시키지 못하는 문제가 발생할 수 있다. 따라서 UVLO 회로를 설계하여 구동부 전원의 전압이 낮아지게 되면, 상·하단 구동부 출력을 차단하여 시스템이 안정하게 동작하도록 한다.

그림 8(a)는 설계된 UVLO 회로를 나타내고, 그림 8(b)는 VCC 전압과 UVLO 회로의 출력 전압 관계를 보여준다. UVLO 회로의 구성은 그림 8(a)와 같이 비교기, 제너 다이오드, 전압 분배 회로, 그리고 케환 루프로 이루어진다. 비교기의 기준 전압은 제너 다이오드의 항복 전압을 이용하였다. VCC 및 VB 전압의 감지는 전압 분배 회로에 의해서 이루어진다. 감지된 VCC 및 VB 전압은 기준 전압과 비교하여, 정지 전압 이하로



(a)



(b)

그림 8. (a) 설계된 UVLO 회로 (b) VCC 전압과 UVLO 회로의 출력 전압 관계

Fig. 8. (a) Designed UVLO circuit (b) The relationship of VCC voltage and output voltage of UVLO circuit.

하강하면 상·하단 구동부의 출력은 모두 리셋 된다. 반대로 VCC 및 VB 전압이 시작 전압까지 상승하면 제어 신호에 따라 정상적인 동작을 하게 된다. 설계된 UVLO 회로의 정지 전압은 9V이고, 시작 전압은 11V로써 2V의 히스테리시스를 가진다. 이러한 2V의 히스테리시스는 UVLO 회로의 출력 전압에서 인버터와 NMOS를 이용한 케환 루프에 의해 만들어 진다. UVLO 회로의 히스테리시스는 VCC 및 VB 전압이 다시 시작 전압까지 상승하는데 시간적인 여유를 주게 되고, 결과적으로 시스템이 안정하게 동작하도록 한다.

III. 응용회로를 통한 고전압 구동 IC의 검증

1. 300W 공진형 하프-브리지 컨버터의 설계

설계된 고전압 구동 IC를 300W 공진형 하프-브리지 컨버터에 적용하여 동작 특성을 검증하였다. 검증의 신뢰도를 높이기 위하여 실제 사용되고 있는 파워 스위치인 'IRF840' 및 'STP9NK60ZFP'의 PSpice 모델을 이용

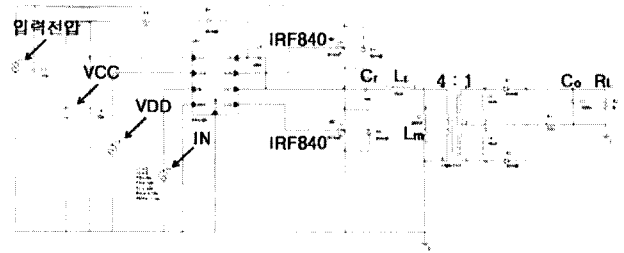


그림 9. 300W LLC 공진형 하프-브리지 컨버터
Fig. 9. 300W LLC resonant half-bridge converter.

하였다.

그림 9는 응용회로인 300W LLC 공진형 하프-브리지 컨버터를 보여준다. 변압기의 비율인 $L_p:L_s$ 는 4:1이다. 직렬 공진 인덕터 L_r 은 $70\mu H$ 이고, 공진 커패시터 C_r 은 $39nF$ 이다. 또한 공진 인덕터의 비율인 L_m/L_r 은 4이다. 입력 전압은 400V이고, 출력 전압은 48V이다. 그리고 부하 저항은 8Ω 이다. LLC 공진형 하프-브리지 컨버터가 갖는 두 개의 공진 주파수 f_1 과 f_0 는 다음과 같다.

$$f_1 = \frac{1}{2\pi\sqrt{L_r C_r}} \quad (7)$$

$$f_0 = \frac{1}{2\pi\sqrt{(L_r + L_m) C_r}} \quad (8)$$

LLC 공진형 하프-브리지 컨버터는 스위칭 주파수 f_s 가 공진 주파수 f_r 과 같거나 작은 값에서 정상 동작을 한다. 따라서 설계된 고전압 구동 IC의 검증은 스위칭 주파수와 공진 주파수가 동일한 조건, 즉 96.3kHz에서 이루어졌다.

2. 시뮬레이션 결과

그림 10은 응용회로에 대한 동작 특성을 보여준다. 그림 10에서 출력 전류와 전압이 각각 6A, 48V인 것을 확인 할 수 있다. 또한 직렬 공진 인덕터 L_r 에 흐르는 전류가 정현파의 형태로 공진이 이루어지고 있는 것을 알 수 있다. 상·하단 구동부의 출력 전압 HVG와 LVG가 330ns의 데드타임을 가지면서 정상적으로 파워 스위치를 턴-온 및 턴-오프 시키고 있다. 그 결과 OUT 단자의 전압이 0~400V의 구형파가 나타나고 있다.

표 1은 설계된 고전압 구동 IC의 동적인 전기 특성을 나타낸다. 테스트 환경은 입력 전압이 400V, VCC 전압이 14V, 시뮬레이션 온도는 $-25^\circ C \sim 85^\circ C$, 그리고 부하로 사용한 파워 스위치는 'STP9NK60ZFP'이다. 턴-온

표 1. 설계된 고전압 구동 IC의 동적인 전기 특성
Table 1. Dynamic electrical characteristics of designed high voltage gate driver ICs.

변 수	심 불	결 과	단 위
턴-온 지연시간	Ton	17.7	ns
턴-오프 지연시간	Toff	16.3	
턴-온 상승시간	Tr	119.6	
턴-오프 하강시간	Tf	79.8	
데드타임	DT	330.2	

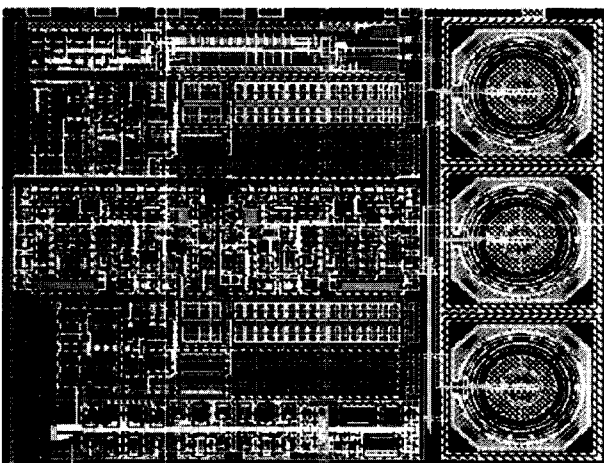


그림 11. 고전압 구동 IC의 레이아웃 사진
Fig. 11. Layout plot of the HVIC.

및 턴-오프 지연시간은 상·하단 입력 제어 신호에서 구동부의 출력까지의 지연 시간을 말한다. 또한 턴-온 상승시간 및 턴-오프 하강 시간은 각각 상·하단 구동부 출력의 상승 시간과 하강 시간을 말한다.

그림 11은 1 μ m BCD 공정을 이용하여 설계된 300W 하프-브리지 컨버터용 고전압 구동 IC의 레이아웃 사진을 보여준다. 레이아웃 면적은 2000 μ m \times 2500 μ m이며, 현재 공정 진행 중에 있다.

IV. 결 론

본 논문에서는 향상된 잡음 내성과 높은 전류 구동 능력을 갖는 고전압 구동 IC를 설계하였다. 설계된 IC의 상·하단 구동부의 일반적인 소스, 싱크 전류가 각각 0.6A, 1.2A로써 전류 구동 능력이 매우 크다. 따라서 입력 신호에서 출력 신호까지의 응답 속도가 기존의 회로보다 우수하다. 또한 잡음 보호회로와 슈미터 트리거가 포함된 상단 레벨 슈프터를 사용하여 잡음 내성을 향상시켰다. 그 결과, 설계된 고전압 구동 IC는 50V/ns

의 높은 dv/dt 잡음 내성을 가진다. 또한 상단 레벨 슈프터의 전력 소모는 설계된 숏-펄스 생성회로에 의해 기존 회로와 비교하여 40% 감소하였다. 그리고 파워 스위치의 동시 도통을 방지하는 숏-스루 보호회로와 상·하단 전원의 전압을 감지하여 구동부의 출력을 차단하는 UVLO가 포함되어 있어서 시스템이 안정하게 동작하도록 하고 있다. 1.0 μ m BCD 650V 공정을 이용하여 설계된 고전압 구동 IC는 PSpice를 이용한 300W LLC 공진형 하프-브리지 컨버터회로에의 적용 시뮬레이션을 통해 동작 특성을 검증하였다. 검증 결과 고전압 구동 IC에서 요구되는 중요한 변수들을 모두 만족하고 있는 것을 확인할 수 있었으며, 특히 높은 dv/dt 잡음 내성과 최대 500kHz의 고속 동작이 가능한 것을 알 수 있었다. 현재 설계된 IC는 공정이 진행 중에 있으며, 시제품의 제작 완료 후 테스트 보드를 이용한 특성 검증을 진행할 예정이다. 또한 향후에는 설계된 고전압 구동 IC의 칩 면적을 최적화하는데 중점을 두고 연구할 예정이다.

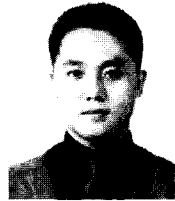
참 고 문 헌

- [1] Christophe P. Basso, "SWITCH-MODE POWER SUPPLY" Mc Graw Hill, pp. 93-94, 2008.
- [2] Aldo Novelli, Claudio Adragna, "개선된 공진 양극 컨트roller 하프 브리지 방식의 회로구성", 전자부품 10월호, 58-63쪽, 2006년
- [3] www.irf.com/product-info/cic/fsgatedriverics.html.
- [4] B. Murari, F. Bertotti, G. A. Vignola(Eds.), Smart Power ICs, Springer, p. 361, 1996.
- [5] Half-Bridge Driver IRS2103(S)PbF datasheet, International Rectifier Website www.irf.com.
- [6] Nielsen, Ole, Neis, "HALF-BRIDGE DRIVER AND POWER CONVERSION SYSTEM WITH SUCH DRIVER", WO patent, 2003.
- [7] 박현일, 송기남, 이용안, 김형우, 김기현, 서길수, 한석봉, "잡음 내성이 큰 단일 출력 레벨 슈프터를 이용한 500V 하프브리지 컨버터용 구동 IC 설계", 전기전자재료학회 춘계학술대회논문집 반도체 연구, 34-35쪽, 2008년 4월
- [8] Aldo Novelli, Luca Giussani, Ignazio Bellomo, "NEW GENERATION OF HALF BRIDGE GATE DRIVER ICs FOR USE WITH LOW POWER 3.3V CONTROL APPLICATIONS", IEEE Power Electronics Specialists Conference, vol. 4, pp. 3237-3242, June 2004.

저 자 소 개



송 기 남(학생회원)
 2008년 경상대학교 전자공학과
 학사 졸업.
 2008년 3월~현재 경상대학교
 전자공학과 석사과정.
 <주관심분야 : HVIC 및 LDO 레
 귤레이터 설계 >



김 기 현(정회원)
 2002년 경상대학교 전자공학과
 학사 졸업.
 2004년 부산대학교 전자공학과
 석사 졸업.
 2004년~현재 한국전기연구원
 고집적전원연구그룹 연구원.
 <주관심분야 : 컴퓨터, 반도체, 전력변환>



박 현 일(학생회원)
 2007년 경상대학교 전자공학과
 학사 졸업.
 2007년 3월~현재 경상대학교
 전자공학과 석사과정.
 <주관심분야 : AC/DC 컨버터 제
 어 IC 설계 및 전력변환>



서 길 수(정회원)
 1989년 영남대학교 전기공학과
 학사 졸업.
 1994년 영남대학교 전기공학과
 석사 졸업.
 2006년 부산대학교 전자공학과
 박사 수료.
 1995년~2008년 현재 한국전기연구원 고집적전원
 연구그룹 Power SoC 팀장.
 <주관심분야 : ASIC, Power IC, SoC, SiP>



이 용 안(학생회원)
 2008년 경상대학교 전자공학과
 학사 졸업.
 2008년 3월~현재 경상대학교
 전자공학과 석사과정.
 <주관심분야 : 임베디드 시스템
 설계, SoC 설계, FPGA 설계>



한 석 봉(평생회원)
 1982년 한양대학교 전자공학과
 학사 졸업.
 1984년 한양대학교 전자공학과
 석사 졸업.
 1988년 한양대학교 전자공학과
 박사 졸업.
 1992년~1993년 Stanford University, 연구교수.
 2002년~2003년 Cornell University, 연구교수.
 1988년~현재 경상대학교 전자공학과 교수.
 <주관심분야 : Power IC Design & Testing, SoC
 Design & Testing>



김 형 우(정회원)
 1998년 아주대학교 전자공학과
 학사졸업.
 2000년 아주대학교 전자공학과
 석사졸업.
 2002년 아주대학교 전자공학과
 박사수료.
 2002년 4월~현재 한국전기연구원 고집적전원
 연구그룹 선임연구원.
 <주관심분야 : Power IC 설계, 평가, 전력반도체
 소자 설계, 신뢰성 분석>