

## WiFi용 스위치 칩 내장형 기판 기술에 관한 연구

박세훈\* · 유종인 · 김준철 · 윤제현<sup>1</sup> · 강남기 · 박종철

전자부품연구원 전자소재패키징 연구센터, <sup>1</sup>전기전자공학과, 연세대학교

### The Fabrication and Characterization of Embedded Switch Chip in Board for WiFi Application

Se-Hoon Park\*, Jong-In Ryu, Jun Chul Kim, Je-Hyun Youn<sup>1</sup>,  
Nam Kee Kang and Jong Chul Park

Electronic Materials & Packaging Research Center Korea Electronic Technology Institute

<sup>1</sup>Department of Electrical & Electronic Engineering, Yonsei Univ.

**초 록:** 본 연구에서는 상용화된 2.4 GHz 영역대에서 사용되어지는 WiFi용 DPDT(Double Pole Double throw) switch 칩을 laser 비아 가공과 도금 공정을 이용하여 폴리머 기판내에 내장시켜 그 특성을 분석하였으며 통상적으로 실장되는 wire 본딩방식으로 패키징된 기판과 특성차이를 분석 비교하였다. 폴리머는 FR4기판과 아지노 모토사의 ABF(Ajinomoto build up film)를 이용하여 패턴도금법으로회로를 형성하였다. ABF공정의 최적화를 위해 폴리머의 경화정도를 DSC (Differential Scanning Calorimetry) 및 SEM (Scanning Electron microscope)으로 분석하여 경화도에 따라 도금된 구리패턴과의 접착력을 평가하였다. ABF의 가경화도가 80~90%일 경우 구리층과 최적의 접착강도를 보였으며 진공 열압착공정을 통해 기공(void) 없이 칩을 내장할 수 있었다. 내장된 기판과 와이어 본딩된 기판의 측정은 S 파라미터를 이용하여 삽입손실과 반사손실을 비교 분석하였으며 그 결과 삽입손실은 두 경우 유사하게 나타났지만 반사손실의 경우 칩이 내장된 경우 6 GHz 까지-25 dB 이하로 안정적으로 나오는 것을 확인할 수 있었다.

**Abstract:** In this study, we fabricated embedded IC (Double Pole Double throw switch chip) polymer substrate and evaluate it for 2.4 GHz WiFi application. The switch chips were laminated using FR4 and ABF(Ajinomoto build up film) as dielectric layer. The embedded DPDT chip substrate were interconnected by laser via and Cu pattern plating process. DSC(Differential Scanning Calorimetry) analysis and SEM image was employed to calculate the amount of curing and examine surface roughness for optimization of chip embedding process. ABF showed maximum peel strength with Cu layer when the precuring was 80~90% completed and DPDT chip was laminated in a polymer substrate without void. An embedded chip substrate and wire-bonded chip on substrate were designed and fabricated. The characteristics of two modules were measured by s-parameters (S11; return loss and S21; insertion loss). Insertion loss is less than 0.55 dB in two presented embedded chip board and wire-bonded chip board. Return loss of an embedded chip board is better than 25 dB up to 6 GHz frequency range, whereas return loss of wire-bonding chip board is worse than 20 dB above 2.4 GHz frequency.

**Keywords:** chip embedded board, FR4, ABF, curing, Laser via, return loss

---

\*Corresponding author

E-mail: psh104@keti.re.kr

## 1. 서 론

현재 고기능 소형 휴대기기의 폭발적인 수요와 보급으로 WLAN, ETC시스템으로 대표되는 무선 송수신기와 휴대전화, PDA등에는 블루투스, WLAN, GPS 기능이 내장되어 복합기능을 소지한 다양한 응용제품이 출시되고 있다. 이런 휴대기기 기능의 진화에 따라 많은 수의 메인 칩과 주변 칩들의 수가 증가 하고 있어 이런 칩들을 얇고 작게 패키징하는 기술의 중요성은 점점 커지고 있는 실정이다. 이러한 휴대용 기기들의 성능을 증가시키고 경쟁력을 가지기 위해서는 낮은 가격은 물론이고 하나의 기기가 여러 가지 기능을 하며 동시에 크기가 작고 가벼워야 한다. 이런 요구에 대한 대안으로 다수의 칩 및 패키지를 Wafer to wafer나 wafer to chip의 상태로 적층하거나 패키지 기판 내부에 칩을 내장하여 경박 단소하고 다기능을 할 수 있는 시스템 레벨 패키징 기술들이 대안으로 제시되고 있다. 이중 칩을 기판에 내장시키는 기술은 COB(Chip on Board)형태의 패키징 방법에 비해 기술적, 수율 향상 등의 해결해야할 문제점이 있으나 가격경쟁력이 있으며 칩을 내장함으로써 전체 두께를 얇게 할 수 있는 동시에 보드위에 COB형태로 추가적인 패키징이 가능함으로 POP(Package on Package)를 대체할 수 있으며 성능면에서도 가장 우수한 방식으로 평가 되고 있다.<sup>1,2)</sup> 특히, RF칩의 경우 pin 수가 적고 가격이 저렴한 편이라서 수율에 대한 부담이 적으며 칩과 기판의 접속 길이를 짧게하여 성능을 대폭 향상시킬 수 있기 때문에 내장형 패키징 기술을 적용하기에 가장 적합하다고 할 수 있다.

본 연구에서는 상용화된 2.4 GHz 대역의 WiFi용 DPDT(Double Pole Double throw) 스위치 칩을 FR4 코어와 ABF (Ajinomoto bonding film)를 이용하여 내장하는 공정을 개발하였으며 그 특성을 측정하여 비교 분석하였다. 폴리머와 구리패턴 층과의 접착력을 최적화하기 위해 DSC(Differential Scanning Calorimetry)를 이용하여 온도와 시간에 대한 ABF의 경화도를 구하였으며 그에 대한 접착 강도를 평가하였다. 칩내장을 위해 폴리머 라미네이트 공정후 레이저비아와 도금공정으로 패턴을 형성하여 칩과 기판을 연결하였다. 특성 비교를 위해 통상적인 와이어 본딩방식으로 패키징된 시

편과 GHz대의 고주파 영역대에서의 거동을 비교 분석하였으며 칩과 기판을 연결하는 비아의 손실(Loss)을 측정하여 비아가 Switch 칩 특성에 미치는 영향에 대해 확인해 보았다.

## 2. 실험 방법

### 2.1. DPDT(Double Pole Double throw) Chip 사양

사용된 DPDT 스위치 칩의 signal 구성도는 Fig. 1 및 Fig. 2과 같다. 동작은 2.4 GHz에서 구동되도록 되어 있으며 GaAs 칩으로 구성되어 있으며 칩의 크기는  $0.78 \times 0.6 \text{ mm}^2$ , 두께는  $150 \mu\text{m}$ , 외부로 연결되는 Pad는  $75 \times 75 \mu\text{m}^2$ , pad간 간격은  $66 \mu\text{m}$ , 최종 금속층은  $3 \sim 4 \mu\text{m}$  두께의 Au층으로 형성되

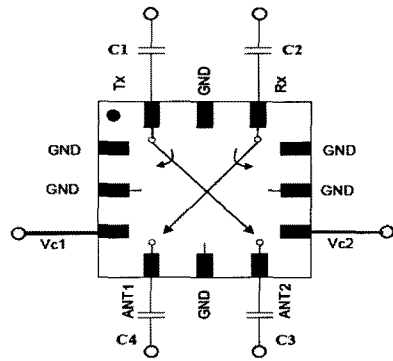


Fig. 1. DPDT 칩의 signal diagram.

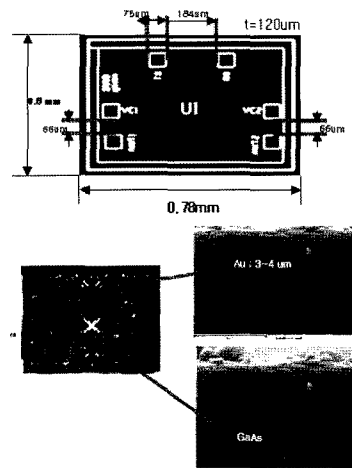


Fig. 2. DPDT 칩의 dimension 및 단면도.

어 있다. Switch 칩의 신호는 2개의 Input과 Output 그리고 2개의 control line (Vc1, Vc2)으로 구성되어 있다. Vc1이 On, Vc2가 Off될 경우 신호는 Ant1이 Tx, Ant2가 Rx로 연결되며 Vc1가 Off, Vc2가 On될 경우 신호는 Ant1이 Rx, Ant2가 Tx로 각각 연결되게 구성되어 있다. 칩과 기판이 연결되어야 할 신호선이 총 6개 이므로 재배열 공정없이 bare Die형태로 기판내장공정에 적용이 가능하였다.

**2.2. 칩내장을 위한 폴리머(ABF) 공정 최적화**

칩을 내장하기 위해 절연층으로 ABF-GX13을 사용하여 진공 라미네이트 하였다. ABF소재는 무전해 구리도금으로 seed 층을 형성한 다음 드라이 필름을 이용하여 포토공정으로 회로가 도금될 부위를 형성시켜 전해도금으로 회로를 패터닝시키는 공정에 적용된다. 이때 ABF소재의 경우 라미네이트 공정 후 가경화(pre curing)와 디스미어 공정을 통해 조도를 형성시키고 후경화 (postcuring) 공정에서 소재가 완전 경화되면서 구리층과의 접착력을 증가시키게 된다. 본 연구에서는 ABF 폴리머 소재의 경화정도를 NETZCH사의 모델명 200F3 Maia의 DSC분석을 통해 구하고 구리층의 90도 필 접착강도 시험을 통해 접착강도를 평가하였다.

**2.3. Chip 내장형 기판 공정기술**

칩 내장형 기판을 제작하기위해 경화된 FR4 에폭시에 cavity를 가공하고 칩을 삽입하는 방법을 이용하였다. 칩 삽입 후 뒷 면과 아랫면은 ABF를 라미네이션 시켜 칩을 내장 시켰으며 패턴도금법을 이용하여 칩과 기판을 연결시키는 동시에 패턴을 형성시켰다. 칩을 내장하는 기술은 칩을 먼저 라미네이션시키고 비아를 연결시키는 chip first 방법과 칩을 먼저 기판과 연결시킨후 최종적으로 라미네이션시키는 chip last공정이 있는데<sup>3)</sup> 본 연구에서는 chip first 방법을 이용하였으며 공정도는 Fig. 3과 같다. ABF를 void 없이 라미네이션 시키기 위해 진공에서 공정을 진행하였다. 라미네이션 후 칩과 기판을 연결하기위해 fig. 4과 같이 355 nm파장의 UV 레이저를 사용하여 50µm 크기의 비아를 가공하였고 Fig. 5과 같이 디스미어 공정을 이용하여 ABF표면에 조도를 형성한 다음, 무전해 구리도금, 전해구리도금, 후경화 공정을 이용하였다. 칩이 내장된 기판의 두께는 FR4코어 150µm, ABF층 80µm(40µm×2) 그리고 패

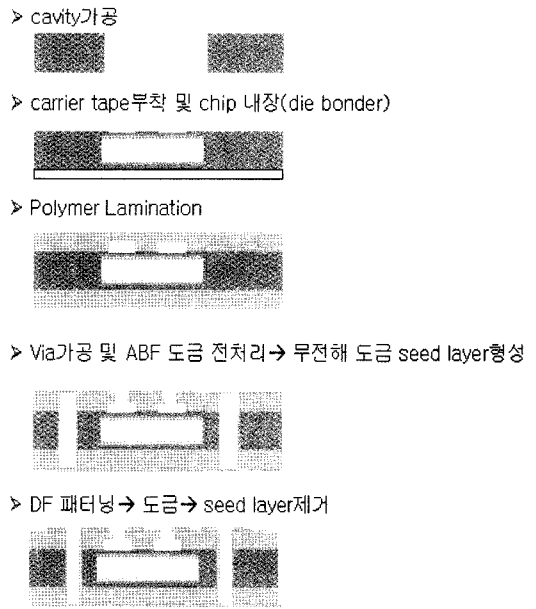


Fig. 3. 칩내장 공정도.

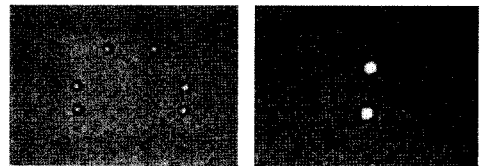


Fig. 4. UV레이저로 가공된 비아 이미지.

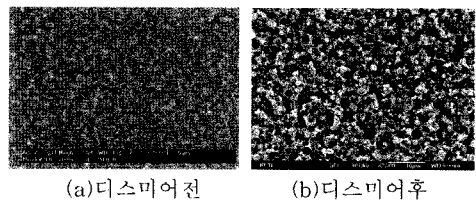


Fig. 5. ABF 디스미어 전후 표면 거칠기 변화.

턴 30µm(150µm×2)로 구성되어 총 260로 제작하였다. Fig. 6은 스위치 칩이 내장된 기판의 이미지와 칩과 기판이 연결된 비아의 이미지를 보여준다.

**2.3. 칩내장형 기판의 특성 측정**

칩내장형 기판의 전체 구조는 Fig. 7과 같다. 칩 위아래로 위치한 ABF의 유전율은 3.5이며 코어로 사용된 FR4의 유전율은 4.4이다. 특성을 측정하기

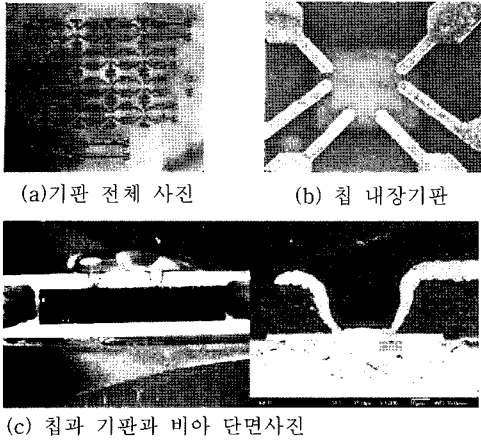


Fig. 6. 칩내장형 기판 사진 및 비아 단면도

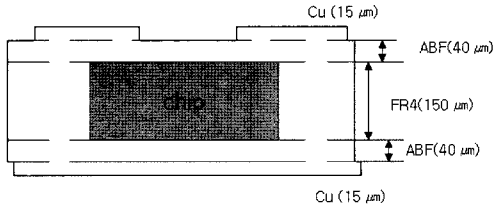


Fig. 7. 칩내장형 기판 단면도

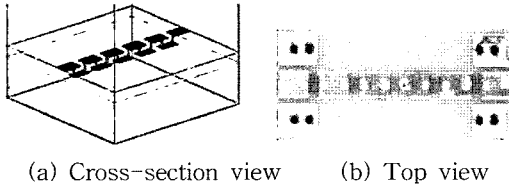


Fig. 8. Via Chain 단면도와 사진

위해 2.8 V의 Bias를 가해 Switch 칩을 동작시켜 6 GHz 대역 까지 동작특성을 측정하였다. 또한, 칩과 기판을 연결하는 Via만의 손실 (Loss)을 측정하기 위해 Fig. 7과 동일한 조건의 기판에 Fig. 8와 같이 표면층과 내장된 회로의 전송선로를 연결하는 10 개의 비아를 Chain 구조로 설계하고 6 GHz까지 특성을 측정하였다.

### 3. 결과 및 고찰

#### 3.1. ABF 열분석 및 초기 경화도가 구리 층과의 접착력에 미치는 영향

칩을 내장하기위해 사용된 ABF 경화율을 구하기 위해 미경화 상태의 필름 소재를 열분석 하였으며 결과는 Fig. 9와 같다. 초기필름 상태에서는 발열 피크를 통해 180°C 근방에서 폴리머가 경화됨을 알 수 있었다. 따라서 precuring 조건은 170, 180°C에서 실시하였으며 발열피크 그래프의 면적 (ΔH)a는 79.37 J/g이었다. Fig. 9에서 구한 면적 (ΔH)a를 미경화 정도로 가정하고 2가지 온도구간에서 경화시간을 각각 10, 20, 30, 40분으로 하여 (ΔH)b를 각각 구하여 (ΔH)a값과의 차이를 이용하여 경화율을 다음 식 1으로 구하였다.

다른 연구결과에서도 이와 같은 방법으로 폴리머의 경화정도를 구한 바 있다.<sup>4)</sup>

$$\text{식1. } \alpha = [(\Delta H)a - (\Delta H)b] / (\Delta H)a$$

여기서 '(ΔH)a = 초기 Film 상태 구간면적, (ΔH)b = 시간별 경화 후 구간면적, α = 경화 정도' 가 된다.

가경화를 10, 20, 30, 40분 실시한 다음 DSC를 이용하여 경화율을 구하였다. 전처리공정으로 디스미어 30분 처리 및 무전해 도금과 전해 도금으

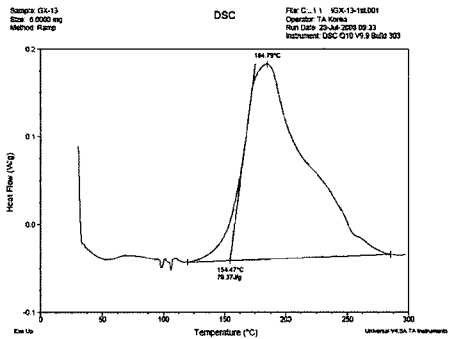


Fig. 9. 초기필름 상태 DSC 그래프

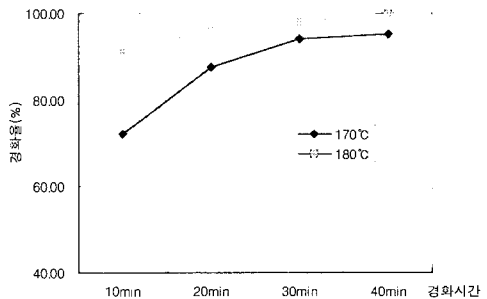


Fig. 10. precuring온도와 시간에 대한 경화율

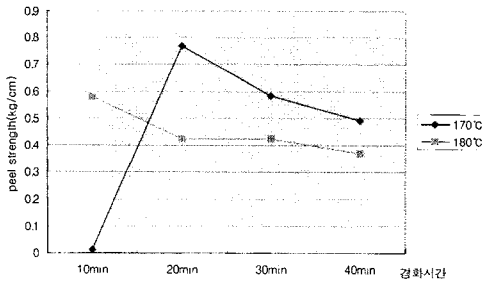


Fig. 11. precuring온도와 시간에 대한 필접착강도

로 약 15 μm 두께로 구리를 증착한 후 180°C 2시간의 후경화 공정을 통해 폴리머를 완전 경화시킨 후 90도 필 (peel)강도를 측정하였다. 가경화 온도와 시간에 대한 경화율과 경화율에 대한 필 접착강도는 Fig. 10과 Fig. 11과 같다.

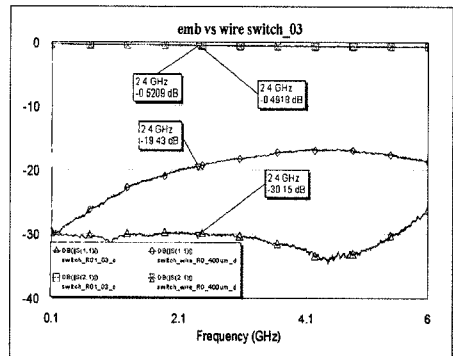
170°C 10분의 경우 약 72%, 20분의 경우 87% 경화가 진행되었으며 30분 이상에서 90%이상 경화가 진행됨을 알 수 있었다. 180°C 에서는 10분의 경우 90%이상 경화가 진행되었으며 40분 후 완전 경화가 일어남을 알 수 있었다. 경화 시간에 대한 필 접착강도를 보면 170°C 20분, 경화율 87%일 때 가장 높은 값을 보임을 알 수 있었다. 이는 가경화 공정에서 후 증착된 구리층이 후경화 공정에서 폴리머가 완전 경화되면서 접착력이 증가하기 때문이며 가장 적절한 가경화 정도는 80%정도임을 알 수 있다. 후경화 단계에서 폴리머가 완전 경화된 후의 접착력은 폴리머 표면에 형성된 조도층에 의한 접착력을 나타내주며 적절한 조도층이 형성된 이후에는 초기 경화율이 가장 큰 영향을 미침을 알 수 있었다.

3.2. 칩내장형 기판 특성 측정 및 비교

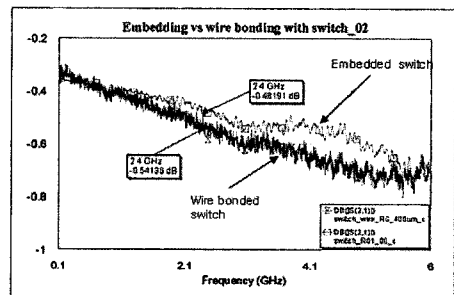
위 실험에서 사용한 DPDT 칩은 규격 상 와이어 본딩 방식으로 2.4 GHz영역까지 작동되게 되어있다. 본 연구에서는 DPDT칩을 일반적인 패키징 방법인 w와이어 본딩으로 패키징 하였을 경우와 칩을 기판에 내장했을 경우의 특성을 측정 및 비교 하였으며 그 결과는 Fig. 12에서 보여주고 있다. 와이어 본딩과 내장된 경우를 비교하면 S21(삽입손실)의 경우는 와이어 본딩 에서는 0.49 dB이고 임베딩의 경우에는 -0.52 dB이다. 두 개의 차이는 -0.03 dB이므로 측정 오차로 간주되어 질 수 있고,

두 가지 경우의 결과 값이 유사한 것을 확인 하였다. S11(반사손실)의 경우 와이어 본딩으로 패키징 하였을 경우 2.4 GHz이상에서 -20 dB이상으로 반사손실 특성이 떨어졌다. 반면에 칩을 기판에 내장한 시편의 경우, 스위치의 특성이 6 GHz 까지 -25 dB이하로 안정적으로 나오는 것을 확인할 수 있었다. 이는 칩의 동작한계인 2.4 GHz영역보다 훨씬 높은 주파수 영역에서 작동이 가능하다는 것을 의미한다. GHz영역에서 비아에 의한 손실을 구하기 위해 Fig. 8구조의 시편에서 10개의 비아를 통과하는 Chain측정 결과 Fig. 13과 같이 삽입손실은 -0.045 dB이며 50 ohm\_top 그래프는 Fig. 8에서 Top면에 50 ohm 전송선로만을 두어 측정한 결과다.

이 경우 삽입손실은 -0.034 dB, 50 ohm\_sub는 기판내에 50 ohm 전송선로를 내장하여 측정한 결과이며 삽입손실은 -0.045 dB의 결과를 얻을 수 있었다. Via 한 개당 손실을 측정하기 위해 50 ohm\_top



(a) 삽입손실 및 반사손실 (와이어본딩 vs 칩내장기판)



(b) 삽입손실 (와이어본딩, 칩내장기판)

Fig. 12. 와이어 본딩 vs 칩내장형 패키징 기판의 특성 비교.

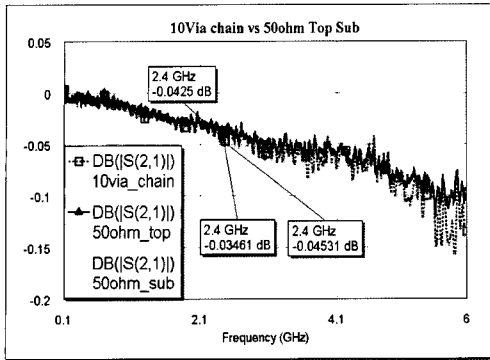


Fig. 13. Via Chain의 Insertion Loss

면(Fig. 8(a)의 상단 회로면)의 삽입손실과 50 ohm\_sub 면(Fig.8(a)의 하부 회로면)의 삽입손실의 산술평균을 구하면 그 값은 0.040 dB이었다. 10 개 via\_chain의 삽입손실은 0.045 dB이므로 Via 자체의 삽입손실은 0.005dB가 된다. 그리고 개수가 10개이므로 각 via당 삽입손실은 0.0005 dB라는 결과를 얻을 수 있다. 그러나 이는 매우 작은 값이므로 측정오차로 고려될 수도 있는 수준이기 때문에 6 GHz까지 비아의 손실은 거의 무시할 수 있었다.

이처럼 칩을 내장 할 경우, 와이어 본딩 방식 보다 via가 길이가 상대적으로 짧기 때문에 기생 인덕턴스와 기생 커패시터의 영향을 적게 받으며 비아에 의한 손실이 거의 없기 때문에 약 6 GHz까지 반사손실이 20 dB이하로 나오게 된다고 판단된다.

#### 4. 결 론

본 연구에서는 PCB에서 상용된 폴리머 라미네이트 소재, 레이저 비아와 도금기술을 이용하여 RF 스위치 칩이 내장된 기판을 구현하여 특성을 평가하였다. 폴리머 라미네이트 공정은 초기 경화도가 80%~90%일때 가장 우수한 접착력을 보였으며 본 공정을 이용하여 칩을 void없이 라미네이트

할 수 있었다. 또한, 칩 내장 공정을 이용하면 칩과 기판의 접속길이를 짧게하여 기존의 2.4 GHz 대역 보다 훨씬 높은 6 GHz까지 구동이 가능하였다. 이는 내장기판의 경우 칩과 기판의 연결에 의한 비아 손실(loss)이 거의 없기 때문이다. 결론적으로 입출력 단자의 수가 적은 RF칩의 경우 폴리머를 이용한 칩 내장공정 적용 가능성이 매우 높으며 본 공정기술을 이용하여 특성을 크게 향상시킬 수 있었다. 그러나 칩 내장형 기판의 경우 가장 큰 문제점이 발열 문제에 의한 신뢰성 확보이며 본 기술에 대한 상용화를 위해 신뢰성시험을 진행 중에 있다.

#### 감사의 글

본 논문은 서울테크노파크의 차세대패키징 공정·장비 실용화사업의 일환으로 지식경제부 지원을 받아 수행되었으며, 이에 관계자 여러분께 감사드립니다.

#### 참고문헌

1. Ray Fillion, Chareks Woychik et al., "Embedded Chip Build-UP Using Fine line Interconnect", 56th Electronic Component and Technology Conference, pp 49-53 (2007)
2. C.E Bauer, Ph.D & H.J. Neuhaus, Ph.D., "Embedded Chip Build-Up a Wafer-Level Packaging Environment", 56th Electronic Component and Technology Conference, pp 1308-1312 (2007)
3. Baik-Woo Lee, Venky Sundara et al. "Chip-last Embedded Active for System-On-Package (SOP)", 56th Electronic Component and Technology Conference, pp 292-298 (2007)
4. Dionysios Manassis et al. "Technical understanding of Resin-Coated-Copper (RCC) Laminate Processes for Realization of Reliable Chip Embedding Technologies", 56th Electronic Component and Technology Conference, pp. 278-285