

Cu 머쉬룸 범프를 적용한 플립칩 접속부의 접촉저항

박선희 · 오태성*

홍익대학교 신소재공학과

Contact Resistance of the Flip-Chip Joints Processed with Cu Mushroom Bumps

Sun-Hee Park and Tae-Sung Oh*

Department of Materials Science and Engineering, Hongik University

초 록 : 전기도금법으로 Cu 머쉬룸 범프를 형성하고 Sn 기판 패드에 플립칩 본딩하여 Cu 머쉬룸 범프 접속부를 형성하였으며, 이의 접촉저항을 Sn planar 범프 접속부와 비교하였다. 19.1~95.2 MPa 범위의 본딩응력으로 형성한 Cu 머쉬룸 범프 접속부는 15 mΩ/bump의 평균 접촉저항을 나타내었다. Cu 머쉬룸 범프 접속부는 Sn planar 범프 접속부에 비해 더 우수한 접촉저항 특성을 나타내었다. 캡 표면에 1~4 μm 두께의 Sn 코팅층을 전기도금한 Cu 머쉬룸 범프 접속부의 접촉저항은 Sn 코팅층의 두께에 무관하였으나, 캡 표면의 Sn 코팅층을 리플로우 처리한 Cu 머쉬룸 범프 접속부에서는 접촉저항이 Sn 코팅층의 두께와 리플로우 시간에 크게 의존하였다.

Abstract : Cu mushroom bumps were formed by electrodeposition and flip-chip bonded to Sn substrate pads. Contact resistances of the Cu-mushroom-bump joints were measured and compared with those of the Sn-planar-bump joints. The Cu-mushroom-bump joints, processed at bonding stresses ranging from 19.1 to 95.2 MPa, exhibited contact resistances near 15 mΩ/bump. Superior contact-resistance characteristics to those of the Sn-planar-bump joints were obtained with the Cu-mushroom-bump joints. Contact resistance of the Cu-mushroom-bump joints was not dependent upon the thickness of the as-electroplated Sn-cap-coating layer ranging from 1 μm to 4 μm. When the Sn-cap-coating layer was reflowed, however, the contact resistance was greatly affected by the thickness and the reflow time of the Sn-cap-coating layer.

Keywords: Flip chip, Mushroom bump, NCA, electrodeposition, contact resistance

1. 서 론

LCD (Liquid Crystal Display)는 두께가 얇고, 무게가 가벼우며, 소비전력이 낮은 장점이 있어 텔레비전, 노트북 컴퓨터, 휴대전화나 PDA와 같은 휴대용 정보통신기기 등의 디스플레이 장치로 사용되고 있다.^{1,2)} Driver IC 칩을 LCD 패널에 연결하여 전기적 신호를 전달하기 위한 방법으로 플립

칩 공정이 사용된다.^{3,4)} 플립칩 공정은 IC 칩에 형성한 금속 범프를 이용하여 IC 칩을 LCD 패널에 직접 실장하는 방법으로서 미세한 피치를 가진 IC 칩의 실장이 가능하다. 또한 IC 칩의 점유면적을 최소화시킬 수 있어 LCD 장치의 소형화와 박판화가 가능하고, IC 칩과 LCD 패널간의 거리 감소에 따른 신호전달 속도의 증가로 성능 향상이 가능하다.⁵⁻⁷⁾ 이제까지 평판 디스플레이 장치의 플립칩

*Corresponding author
E-mail: ohts@hongik.ac.kr

공정은 고분자 내에 Au, Ag, Ni 등의 금속입자 또는 Au/Ni을 코팅한 플라스틱 입자와 같은 전도입자가 들어있는 이방성 전도필름을 IC 칩과 LCD 패널 사이에 넣고 열압착시켜 IC 칩을 LCD 패널에 실장시키는 방법을 사용하여 주로 이루어졌다.⁸⁻¹⁰⁾ 따라서 전기 전도가 LCD 패널의 패드와 IC 칩의 범프 사이에 압착된 전도입자의 기계적 접촉에 의해 이루어지므로 범프 접촉저항이 크며 또한 사용 중에 접촉저항이 증가하는 등의 문제점이 발생할 수 있다.^{3,4,11)} 또한 범프 피치가 미세화 됨에 따라 open이나 short가 용이하게 발생할 수 있어 50 μm 이하의 미세 피치를 갖는 IC 칩의 실장에는 적용하기 어려운 문제점이 있었다.^{3,4)} 이와 같은 문제점을 해결하기 위해 비전도성 접착제 (non-conductive adhesive: NCA)를 이용한 플립칩 공정이 제안되었다.¹²⁻¹⁴⁾ 비전도성 접착제를 이용한 플립칩 공정에서는 IC 칩의 범프와 LCD 패널의 패드 사이에 비전도성 접착제를 주입한 후 적정 온도와 응력을 인가하여 IC 칩의 범프를 LCD 패널의 패드에 직접 접합하게 된다. 따라서 이방성 전도필름을 이용한 접합공정과는 달리 접착제 내에 전도입자가 없어 50 μm 이하의 미세피치를 갖는 IC 칩의 실장이 가능하며, 저비용 공정이라는 장점이 있다.

플립칩 공정용 범프 또는 패드로는 Au가 종종 사용되고 있으나,¹⁵⁾ Sn이 Au에 비해 가격이 저렴하며 도금 생산성이 우수하고 항복강도가 낮은 장점이 있다.¹⁶⁾ 플립칩 공정에서는 일반적으로 Fig. 1(a)와 같은 planar한 형상의 칩 범프를 기판 패드에 접속하며,^{8,9,17,18)} 칩 범프와 기판 패드 사이에 충분한 기계적 접촉을 이루기 위해 높은 본딩응력이 요구된다. 또한 범프들간의 높이 차이, 즉 범프 coplanarity가 접속 신뢰성을 결정짓는 중요한 요소로 작용한다.¹⁹⁾ 그러나 planar 범프의 coplanarity가 좋지 않은 경우에는 높이가 낮은 범프에서의 불완전한 접속에 의해 open 불량일 발생할 수 있다.

반면에 Fig. 1(b)와 같은 머쉬룸 범프 (mushroom bump)를 사용한 접속공정에서는 기판 패드에 접하고 있는 머쉬룸 범프의 캡 부위에 본딩 하중이 집중되어 소성변형이 용이하게 발생하기 때문에 범프/패드 계면에서 우수한 기계적 접촉을 얻을 수 있다. 또한 머쉬룸 범프의 coplanarity가 좋지 않은 경우에도 캡 부위에서 소성변형이 용이하게 발생하여 open 불량률의 발생이 억제될 수 있을 것이다.

본 연구에서는 비전도성 접착제를 이용한 플립칩 공정과 관련하여 캡 표면에 Sn 코팅층을 도금한 Cu 머쉬룸 범프를 전기도금법으로 형성하고 이들을 Sn 기판 패드에 플립칩 본딩 후, 본딩응력, 본

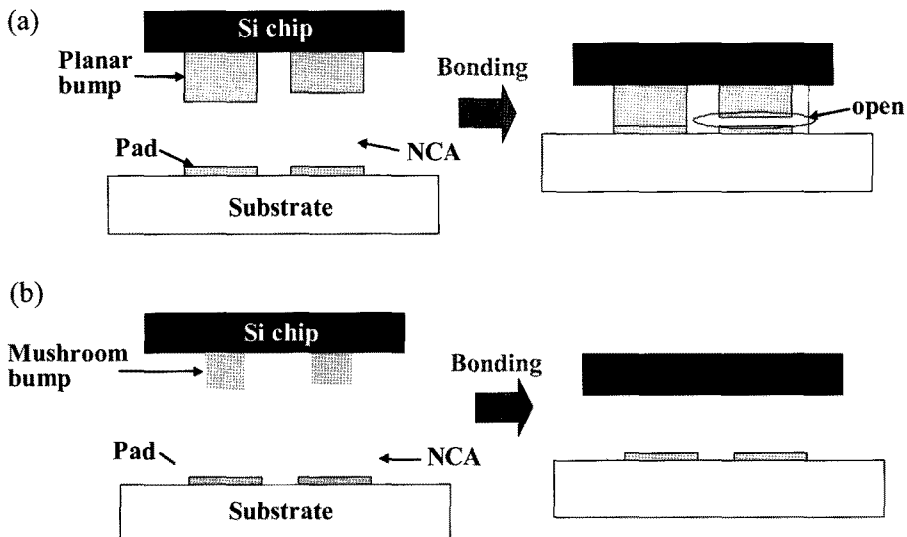


Fig. 1. Schematic illustrations showing flip-chip processes using (a) planar bumps and (b) mushroom bumps of large bump-height difference.

덩온도 및 캡 표면의 Sn 두께에 따른 접속저항을 비교하였다.

2. 실험 방법

접속저항을 측정하기 위한 플립칩 시편을 제조하기 위해, 우선 100 nm 두께의 SiO₂가 형성된 Si 웨이퍼에 접착층으로서 0.1 μm 두께의 Ti를 DC 마그네트론 스퍼터링법으로 형성하고 그 위에 접속저항 측정을 위한 배선층으로 2 μm 두께의 Cu를 스퍼터 증착하였다. Cu 배선층 위에 산화 방지를 위해 0.1 μm 두께의 Ti를 스퍼터링하였다. 이와 같은 Si 칩에 Cu 머쉬룸 범프를 형성하고 머쉬룸 범프의 캡 표면에 접착층으로 Sn을 전기도금하였다. 이를 위해 Ti/Cu/Ti 금속박막이 스퍼터 증착된 Si 기판 위에 AZ4620 포토레지스트를 스핀코팅하여 5 μm 두께로 도포하고 접촉 얼라이너를 사용하여 노광하여 5 μm 직경의 포토레지스트 패턴을 형성하였다. Si 칩 시편을 상용 Cu 도금액에 장입하고 20 mA/cm²의 전류밀도를 인가하여 포토레지스트 패턴에 5 μm 높이의 Cu 기둥을 전기도금한 후, Cu 도금을 포토레지스트 패턴 위로 overflow시켜 7 μm 높이의 버섯머리 모양으로 도금함으로써 Cu 머쉬룸 범프를 형성하였다. Cu 머쉬룸 범프가 형성된 Si 칩 시편을 증류수로 세척 후, 상용 Sn 도금액에 장입하고 5 mA/cm²의 전류밀도를 인가하여 Cu 머쉬룸 범프의 캡 위에 1~4 μm 두께의 Sn 코팅층을 도금하였다.

Sn planar 패드가 형성되어 있는 기판 시편을 제작하기 위해 Ti/Cu/Ti 금속박막이 스퍼터 증착되어 있는 Si 기판에 AZ4620 PR을 사용하여 25 μm × 25 μm 크기의 포토레지스트 패턴을 형성하고 상용 Sn 도금액에 장입한 후, 5 mA/cm²의 전류밀도를 인가하여 25 μm × 25 μm 크기에 10 μm 높이의 Sn 패드를 형성하였다. Cu 머쉬룸 범프가 형성된 칩 시편과 Sn 패드가 형성된 기판 시편에 대해 2차 미세패턴 형성공정 및 5% HF와 10% HNO₃을 이용한 습식 에칭공정으로 회로배선을 제외한 부위의 Ti/Cu/Ti 박막을 제거함으로써 daisy chain 구조의 칩 시편과 기판 시편을 제작하였다. Sn 패드가 형성되어 있는 기판 시편에 curing 온도가 132°C인 표면실장용 비전도성 접착제를 소량 도포하고 플립칩 본더를 사용하여 칩 시편을 정렬시

킨 후, 6°C/sec의 승온 속도로 150°C에서 190°C의 온도로 180초 동안 유지하여 플립칩 본딩하였다.

이때 본딩응력을 6.4 MPa에서 95.2 MPa의 범위에서 변화시켰다. 본 실험에서는 본딩시 인가 하중을 기판에 형성한 Sn 패드의 총 초기 단면적으로 나눈 값을 본딩응력으로 정의하였다. 플립칩 본딩된 시편들에 대해 본딩응력, 본딩온도 및 머쉬룸 캡 표면의 Sn 두께에 따른 daisy chain 구조의 저항을 4 point probe를 사용하여 측정하여 접속저항을 평가하였다. Cu 머쉬룸 범프로 구성된 플립칩 접속부의 미세구조를 주사전자현미경(Scanning Electron Microscopy: SEM)을 사용하여 관찰하였다.

3. 결과 및 고찰

포토레지스트 패턴 위로 Cu를 overflow 되게 도금함으로써 Fig. 2에 나타난 것과 같은 25 μm 피치 및 50 μm 피치를 갖는 Cu 머쉬룸 범프 어레이의 형성이 가능하였다. Fig. 2는 25 μm 피치를 갖는 Cu 머쉬룸 범프 array의 SEM 미세구조를 나타낸 것이다. 이들 Cu 머쉬룸 범프 캡의 표면에는 1 μm 두께의 Sn 코팅층이 형성되어 있다.

이제까지 머쉬룸 형상의 범프는 플립칩 공정용 솔더 범프를 형성하기 위한 중간 단계의 범프 형상으로 사용되어져 왔다. 즉, 무연솔더를 포토레지스트 패턴 위로 overflow시켜 머쉬룸 형상으로 도금하고 이를 리플로우 함으로써 부피가 큰 구형상의 솔더 범프를 형성하기 위한 방안으로 무연솔더 머쉬룸 범프가 사용되어져 왔다.^{20,21)} 따라서 본 연구와 같이 무연솔더 머쉬룸 범프가 아닌 Cu 머

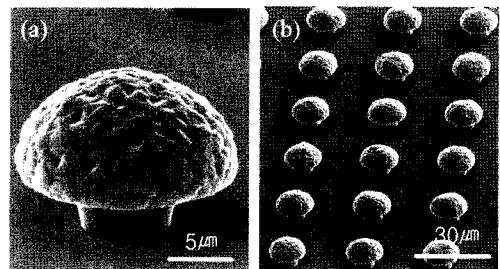


Fig. 2. SEM Micrographs of (a) a Cu mushroom bump with a Sn coating layer on its cap surface and (b) an array of Cu mushroom bumps of 25 μm-pitch.

쉬름 범프를 전기도금법으로 형성하여 이를 플립 칩 공정에 적용하고자 하는 연구는 이제까지 보고 되고 있지 않은 실정이다.

50 μm 피치의 Cu 머쉬룸 범프 array를 Fig. 3과 같은 Sn 기판 패드에 배열한 후, 150°C에서 3분간 유지하여 플립칩 본딩 하였으며, 이들 시편들에 대해 측정된 본딩응력에 따른 접촉저항의 변화를 Fig. 4에 나타내었다. 또한 Cu 머쉬룸 범프의 접촉 저항과 비교하기 위해 Fig. 3의 SEM 미세구조 사진과 같은 25 $\mu\text{m} \times 25 \mu\text{m}$ 크기에 10 μm 높이의 Sn 패드와 동일한 형상의 planar Sn 범프를 칩 시편에 형성 후 이를 기판의 Sn 패드에 플립칩 접속하였 으며, 이와 같은 Sn planar 범프 접속부의 평균 접촉저항을 Fig. 4에 함께 나타내었다. Fig. 4에서 Cu 머쉬룸 범프를 사용하여 플립칩 본딩한 접속부는 6.4 MPa의 본딩응력으로 접속시 31 m Ω /bump의 평균 접촉저항을 나타내었으며, 본딩응력을 19.1 MPa로 증가시킴에 따라 평균 접촉저항이 14.2 m Ω /bump로 감소하였다. 이후 본딩응력을 95.2 MPa까지 증가시켜도 평균 접촉저항은 거의 변화 되지 않았다.

Cu 머쉬룸 범프를 사용하여 19.1~95.2 MPa 범 위의 본딩응력으로 형성한 플립칩 접속부의 평균 접촉저항은 15 m Ω /bump 이었으며, 이는 Sn-52In 솔더범프의 접촉저항 8.6~13.9 m Ω 보다는 높으나 기존의 이방성 전도필름을 이용한 플립칩 본딩에서 보고된 수백 m Ω 의 접촉저항에 비해서는 매우 우수한 값이었다.²²⁻²⁴⁾ 이에 비해 Sn planar 범프를 사용한 플립칩 접속부는 31.7 MPa 이하의 본딩응

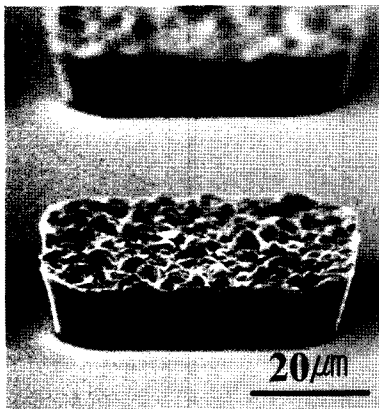


Fig. 3. SEM Micrograph of (a) a Sn pad.

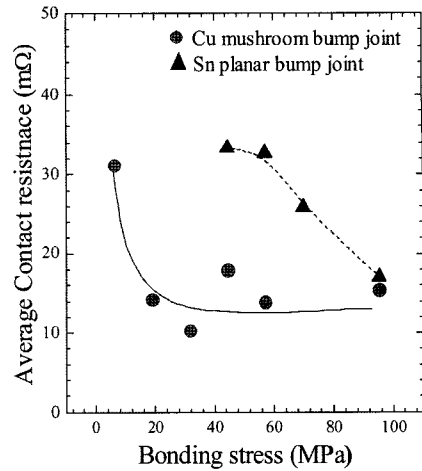


Fig. 4. Contact resistance of the Cu-mushroom-bump joints and the Sn-planar-bump joints, flip-chip-bonded at 150°C for 180 sec, as a function of the bonding stress.

력에서는 접속이 이루어지지 않았다. 또한 95.2 MPa의 높은 본딩응력에서는 Sn planar 범프 접속 부가 Cu 머쉬룸 범프 접속부와 유사한 접촉저항을 나타내었으나, 본딩응력이 낮은 경우에는 Cu 머쉬룸 범프 접속부에 비해 열등한 접촉저항 특성을 나타내었다. Fig. 4와 같이 머쉬룸 범프를 사용함으로써 더 낮은 본딩응력에서 더 우수한 접촉저항 특성을 갖는 플립칩 공정이 가능하였다. Cu 머쉬룸 범프 접속부의 접촉저항은 Cu 머쉬룸 범프의 저항, Sn 패드의 저항 및 Cu 머쉬룸 범프와 Sn 패드 사이의 계면저항으로 이루어진다. 또한 Sn planar 범프 접속부의 접촉저항은 Sn planar 범프의 저항, Sn 패드의 저항 및 Sn planar 범프와 Sn 패드 사이의 계면저항으로 이루어진다. 따라서 Cu 머쉬룸 범프 접속부와 Sn planar 범프 접속부의 접촉저항 차이는 각 범프 저항의 차이와 더불어 범프/패드 계면저항의 차이에 기인한다. Sn의 비저항이 $110 \times 10^{-9} \Omega\text{-m}$ 이므로,²⁵⁾ 크기 25 $\mu\text{m} \times 25 \mu\text{m}$ 이며 높이 10 μm 인 Sn planar 범프의 저항은 1.74 m Ω 이 된다. Cu 머쉬룸 범프의 저항을 구하기 위해 Cu 머쉬룸 범프를 Fig. 5와 같이 캡 부위와 동일한 부피를 갖는 원통과 이보다 작은 기둥이 직렬로 연결되어 있는 형태로 고려하였다. Cu 머쉬룸 캡의 부피는 식 (1)을 사용하여 구할 수 있다.

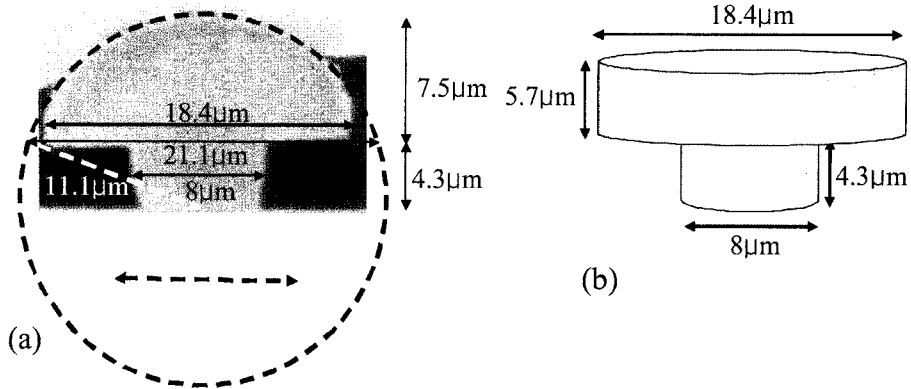


Fig. 5. (a) SEM micrograph of a Cu mushroom bump with an illustration showing the radius and the height of the spherical cap and (b) an schematic illustration of the cylindrical configuration equivalent to the mushroom bump.

$$V_b(\text{cap}) = \frac{1}{3}\pi h^2(3r - h) \quad (1)$$

식 (1)에서 r은 spherical cap 형상인 캡의 sphere 반경이며, h는 캡의 높이이다. 식 (1)에 $r = 11.1 \mu\text{m}$, $h = 7.5 \mu\text{m}$ 를 대입하여 머쉬룸 범프의 캡 부피를 구하고 이를 이용하여 반경이 $9.2 \mu\text{m}$ 인 원통의 높이를 구하면 $5.7 \mu\text{m}$ 가 된다. Cu의 전기비저항이 $17.2 \times 10^{-9} \Omega\text{-m}$ 이므로,²⁶⁾ Fig. 5(b)와 같은 형상으로 고려한 Cu 머쉬룸 범프의 저항은 $1.84 \text{ m}\Omega$ 으로 Sn planar 범프의 저항과 거의 같다고 생각할 수 있다. 따라서 Fig. 4에서 Cu 머쉬룸 범프 접속

부의 접속저항과 Sn planar 범프 접속부의 접속저항간의 차이는 주로 범프/패드 계면저항의 차이에 기인한다고 결론지을 수 있다.

Fig. 6에 6.4 MPa 에서 95.2 MPa 범위의 응력으로 플립칩 본딩한 머쉬룸 범프 접속부의 SEM 단면사진을 나타내었다. 6.4 MPa 의 본딩응력으로 플립칩 본딩한 시편에서도 Cu 머쉬룸 범프와 접속하고 있는 Sn 패드 부위에서 소성변형이 발생하였음을 관찰할 수 있다. Bulk Sn의 인장강도는 $14.5 \sim 21 \text{ MPa}$ 범위의 값을 갖는 것²⁷⁾으로 보고되고 있다. Fig. 6(a)에서 Sn 패드와 실제 접촉하고 있는

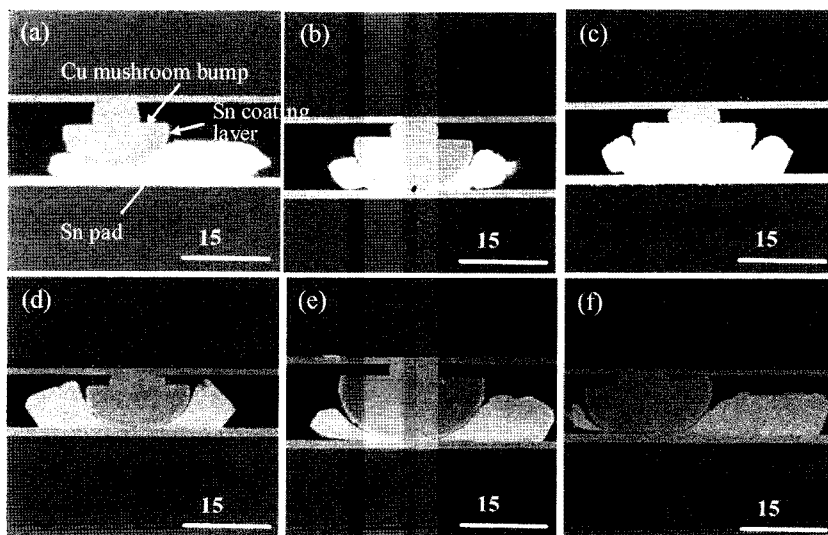


Fig. 6. SEM micrographs of the Cu-mushroom-bump joints flip-chip-bonded at bonding stresses of (a) 6.4 MPa , (b) 19.1 MPa , (c) 31.8 MPa , (d) 44.4 MPa , (e) 57.1 MPa , and (e) 95.2 MPa .

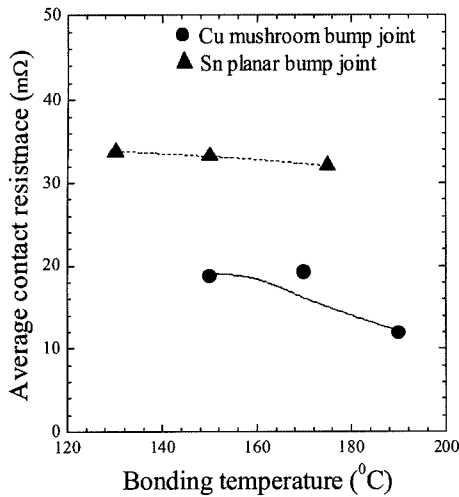


Fig. 7. Contact resistance of the Cu-mushroom-bump joints and the Sn-planar-bump joints, flip-chip-bonded at 44.4 MPa, as a function of the bonding temperature.

Cu 머쉬룸 범프의 캡 부위의 직경은 15 μm 이었다. 본 실험에서는 본딩 하중을 크기가 25 $\mu\text{m} \times 25 \mu\text{m}$ 인 Sn 패드들의 총 초기 단면적으로 나눈 값을 본딩응력으로 정의하였다. 따라서 Cu 머쉬룸 범프의 캡과 접촉하고 있는 Sn 패드 부위가 실제 받은 응력은 23 MPa 이상이므로 Sn 패드에서 소성변형이 발생할 수 있음을 알 수 있다. Fig. 6에서 관찰할 수 있는 바와 같이 본딩응력이 6.4 MPa에서 19.1 MPa로 증가함에 따라 Sn 패드에서 높이 방향으로의 평균 소성변형률이 68%에서 81% 이상으로 더욱 현저하게 발생하였으며, 이에 따라 평균 접촉저항이 31 $\text{m}\Omega/\text{bump}$ 에서 14.2 $\text{m}\Omega/\text{bump}$ 로 감소하였다 (Fig. 4). 반면에 본딩응력을 19.1 MPa에서 95.2 MPa까지 증가시켜도 Cu 머쉬룸 범프와 접촉하고 있는 Sn 패드 부위의 높이, 즉 소성변형률이 거의 변화하지 않았으며, 이에 따라 Fig. 4에서와 같이 평균 접촉저항의 변화가 미미하였다.

44.4 MPa의 본딩응력을 가하며 플립칩 접속시 본딩온도에 따른 Cu 머쉬룸 범프 접속부의 접촉저항을 Fig. 7에 나타내었다. 또한 Cu 머쉬룸 범프의 접촉저항과 비교하기 위해 Sn planar 범프 접속부의 본딩온도에 따른 접촉저항을 Fig. 7에 함께 나타내었다. 동일한 온도에서 접속시 Cu 머쉬룸 범프 접속부가 planar Sn 범프 접속부에 비해 훨씬 낮은 접촉저항을 나타내었으며, 이는 동일한 본딩

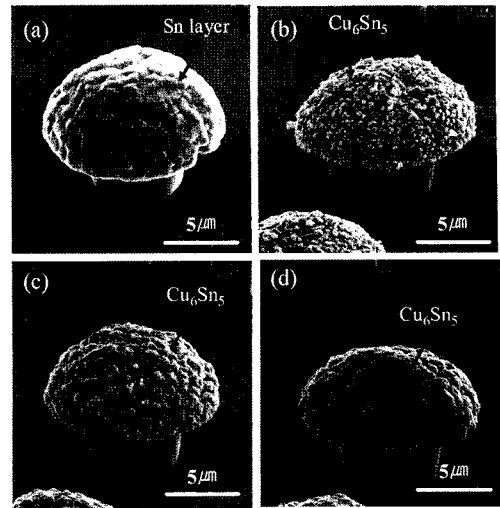


Fig. 8. SEM micrographs of Cu mushroom bumps with (a) an as-electroplated Sn cap-coating layer, and with a Sn cap-coating layer reflowed for (b) 30 sec, (c) 60 sec, and (d) 120 sec. (Thickness of the Sn cap-coating layer was 1 μm).

응력에서 접속시와 마찬가지로 Cu 머쉬룸 범프 접속부에서 Sn 패드의 소성변형이 보다 용이하게 발생하여 범프/패드 계면저항이 저하하는데 기인하는 것으로 판단된다.

Fig. 7에서 Cu 머쉬룸 범프 접속부와 Sn planar 범프 접속부에서 모두 본딩온도가 증가함에 따라 접촉저항이 감소하였으며, 이는 온도 증가에 따른 Sn의 항복강도 저하에 기인하는 것으로 판단된다. Cu 머쉬룸 범프 캡의 Sn 코팅층의 두께를 1 μm 에서 4 μm 범위에서 변화시키며 전기도금 후, 플럭스 처리를 하여 250°C의 온도로 30초에서 120초 동안 유지함으로써 Sn 코팅층을 리플로우 처리하였다. Sn 코팅층의 두께가 1 μm , 2 μm 및 4 μm 일 때 Sn 코팅층의 리플로우 시간에 따른 Cu 머쉬룸 범프의 SEM 미세구조 사진을 각기 Fig. 8, Fig. 9 및 Fig. 10에 나타내었다. Fig. 8에서 1 μm 두께의 Sn 코팅층이 형성된 Cu 머쉬룸 범프를 250°C의 온도로 30초간 유지함에 따라 Sn 코팅층이 Cu 캡과 반응하여 Cu_6Sn_5 금속간 화합물을 형성되었으며,²⁸⁾ 리플로우 시간을 증가시키에 따라 Cu_6Sn_5 금속간 화합물이 성장한 것을 관찰할 수 있다. 이때 Cu_6Sn_5 금속간 화합물의 여부는 EDS 조성분석으로 확인할 수 있었다. Fig. 9와 같이 Sn 코팅층의 두께가 2 μm 인 경우, 60초까지의 리플로우 처리

후에는 머쉬룸 범프의 표면이 매끄럽게 변화되어 Sn 코팅층이 Cu 캡과 반응하여 Cu_6Sn_5 금속간 화합물을 형성한 후에도 모두 소모되지 않고 일부 남아 있다는 것을 알 수 있다. 그러나 120초의 리플로우 처리 후에는 국부적으로 Sn 코팅층이 모두 소모되어 표면에서 Cu_6Sn_5 금속간 화합물이 관찰되었다. Sn 코팅층의 두께를 $4\ \mu\text{m}$ 로 증가시키기에 따라 Fig. 10과 같이 120초의 리플로우 처리 후에도 머쉬룸 범프 표면이 매끄럽게 변화되어 Sn 코팅층이 모두 소모되지 않고 남아 있다는 것을 알 수 있다.

Fig. 10(d)에서 $4\ \mu\text{m}$ 두께의 Sn 코팅층을 120초 동안 리플로우 처리시에는 Sn 코팅층의 일부가 Cu 머쉬룸의 기둥 부위로 녹아 흘러내린 것을 관찰할 수 있다. Sn 코팅층의 두께와 리플로우 시간을 변화시킨 Cu 머쉬룸 범프를 Sn 패드에 배열한 후 150°C 에서 3분간 유지하여 플립칩 접속하였으며, 이들 시편의 접속저항을 Fig. 11에 나타내었다. Sn 코팅층의 두께를 $1\ \mu\text{m}$, $2\ \mu\text{m}$ 및 $4\ \mu\text{m}$ 로 변화시키며 캡 표면에 전기도금한 상태의 Cu 머쉬룸 범프를 사용하여 형성한 접속부에서는 Sn 코팅층의 두께에 따른 접속저항의 변화를 거의 관찰할 수 없었다. 반면에 Sn 코팅층을 리플로우 처리한 시편

에서는 접속저항이 Sn 코팅층의 두께와 리플로우 시간에 크게 의존하였다. Sn 코팅층의 두께가 $1\ \mu\text{m}$ 인 Cu 머쉬룸 범프를 사용하여 플립칩 접속한 시편에서는 Sn 코팅층을 30초와 60초 동안 리플로우 처리함에 따라 접속저항이 $72\ \text{m}\Omega/\text{bump}$ 이상으로 크게 증가하였으며, Sn 코팅층을 120초 동안 리플로우 처리한 시편에서는 접속저항이 너무 커서 측정되지 않았다.

Sn 코팅층의 두께가 $2\ \mu\text{m}$ 인 Cu 머쉬룸 범프 접속부에서는 Sn 코팅층의 리플로우 처리시간을 60초로 증가시키기에 따라 접속저항이 크게 증가하였으며, 120초 동안 리플로우 처리한 시편에서는 접속저항이 너무 커서 측정되지 않았다. 반면에 Sn 코팅층의 두께가 $4\ \mu\text{m}$ 인 Cu 머쉬룸 범프 접속부에서는 Sn 코팅층의 리플로우 시간에 따른 접속저항의 변화가 크게 관찰되지 않았으며, 120초 동안 리플로우 처리를 하여도 $23\ \text{m}\Omega/\text{bump}$ 의 낮은 접속저항을 유지하였다. Fig. 11에 있는 Sn 코팅층의 두께 및 리플로우 처리시간에 따른 접속저항의 변화를 Fig. 8에서 Fig. 10까지에 있는 Cu 머쉬룸 범프 캡 부위의 미세구조와 비교시, Sn 코팅층의 리플로우 처리에 의한 Cu_6Sn_5 금속간 화합물의 형성이 접속저항을 크게 증가시키는 원인으로 작용한

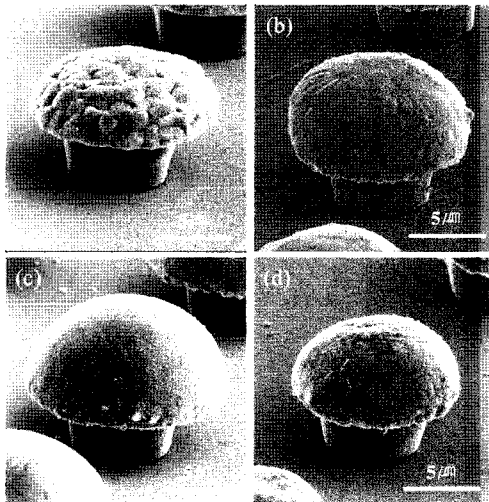


Fig. 9. SEM micrographs of Cu mushroom bumps with (a) an as-electroplated Sn cap-coating layer, and with a Sn cap-coating layer reflowed for (b) 30 sec, (c) 60 sec, and (d) 120 sec. (Thickness of the Sn cap-coating layer was $2\ \mu\text{m}$).

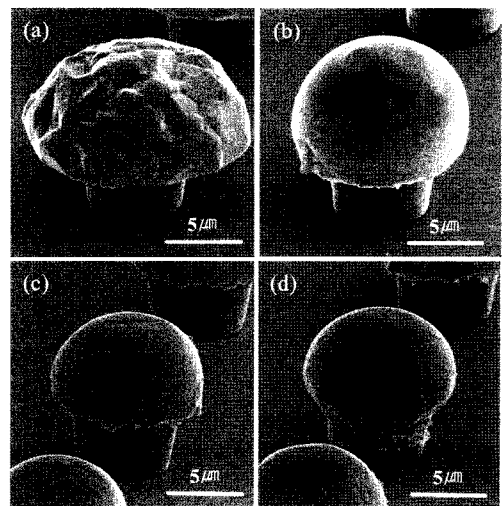


Fig. 10. SEM micrographs of Cu mushroom bumps with (a) an as-electroplated Sn cap-coating layer, and with a Sn cap-coating layer reflowed for (b) 30 sec, (c) 60 sec, and (d) 120 sec. (Thickness of the Sn cap-coating layer was $4\ \mu\text{m}$).

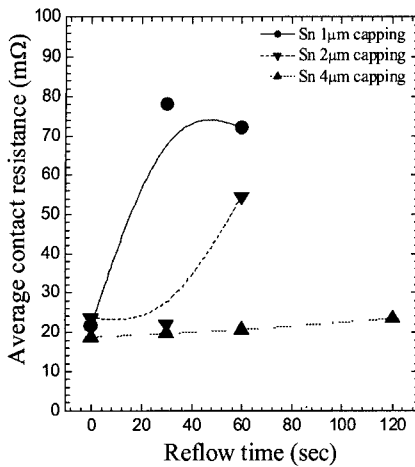


Fig. 11. Contact resistance of the Cu-mushroom-bump joints, flip-chip-bonded at 150°C for 180 sec, as a function of the reflow time of the Sn capping layer.

것을 알 수 있다. Cu_6Sn_5 금속간 화합물의 경도는 378 kg/mm^2 으로 전기도금한 Sn의 경도 10 kg/mm^2 보다 매우 높기 때문에 Sn에 비해 소성변형이 잘 일어나지 않게 된다.^{29,30} 따라서 Sn 코팅층의 두께가 $1 \mu\text{m}$ 와 $2 \mu\text{m}$ 인 경우, 리플로우 처리시간이 증가함에 따라 Sn 코팅층 대신 Cu_6Sn_5 금속간 화합물이 범프 캡의 표면층을 형성하게 됨으로써 범프/패드 계면에서 미세 소성변형의 발생이 어려워져 접촉저항이 크게 증가하는 것으로 판단된다. 반면에 Sn 코팅층의 두께가 $4 \mu\text{m}$ 인 경우에는 120초 동안의 리플로우 처리후에도 Cu 머쉬룸 범프의 캡 표면에 Sn 코팅층이 남아 있어, 플립칩 본딩시 범프/패드 계면에서 미세 소성변형이 발생하게 되어 낮은 접촉저항을 유지할 수 있었다.

4. 결 론

Cu 머쉬룸 범프를 사용하여 19.1~95.2 MPa 범위의 본딩응력으로 형성한 플립칩 접속부는 $15 \text{ m}\Omega/\text{bump}$ 의 평균접속저항을 나타내었다. 머쉬룸 범프 접속부는 planar 범프 접속부에 비해 더 낮은 본딩응력에서 우수한 접촉저항 특성을 나타내었으며, 머쉬룸 범프 접속부의 접촉저항과 planar 범프 접속부의 접촉저항간의 차이는 주로 범프/패드 계면저항의 차이에 기인하였다. 동일한 온도에서

플립칩 접속시 Cu 머쉬룸 범프 접속부가 Sn planar 범프 접속부에 비해 훨씬 낮은 접촉저항을 나타내었다. Sn 코팅층의 두께를 $1 \sim 4 \mu\text{m}$ 로 변화시키며 캡 표면에 전기도금한 Cu 머쉬룸 범프를 사용하여 형성한 플립칩 접속부에서는 Sn 코팅층의 두께에 따른 접촉저항의 변화를 관찰할 수 없었다. 반면에 Sn 코팅층을 리플로우 처리한 Cu 머쉬룸 범프 접속부에서는 Sn 코팅층의 리플로우 처리시 Cu 캡과의 반응에 의한 Cu_6Sn_5 금속간 화합물의 형성에 기인하여, 접촉저항이 Sn 코팅층의 두께와 리플로우 시간에 크게 의존하였다. Sn 코팅층의 두께가 $1 \mu\text{m}$ 및 $2 \mu\text{m}$ 인 Cu 머쉬룸 범프 접속부에서는 Sn 코팅층의 리플로우 처리시간이 증가함에 따라 접촉저항이 크게 증가하였으나, Sn 코팅층의 두께가 $4 \mu\text{m}$ 인 Cu 머쉬룸 범프 접속부에서는 Sn 코팅층의 리플로우 시간에 따른 접촉저항의 변화가 거의 관찰되지 않았다.

감사의 글

본 연구는 산업자원부의 21세기 프론티어연구 개발사업인 차세대 정보 디스플레이 기술개발단의 연구비 (과제번호: F0004121) 지원으로 수행되었습니다.

참고 문헌

1. S. Naemura, "Advanced LCD technologies", Displays, 22 (2001) 1.
2. L. Hwang, J. Yoo, E. Jang, D. Oh, Y. Jeong, I. Ahn, and M. Cho, "Fabrication and characteristics of PDA LCD backlight driving circuits using piezoelectric transformer", Sensors and Actuators A: Physical, 115 (2003) 73-78.
3. U. B. Kang and Y. H. Kim, "A fine pitch COG technique using Bi-Sn eutectic solder joints for LCD driver IC packaging applications", Proc. 3rd Int. Symp. Electron. Mater. & Packag., (2001) p.12.
4. U. B. Kang and Y. H. Kim, "The microstructure characterization of ultrasmall eutectic Bi-Sn solder bumps on Au/Cu/Ti and Au/Ni/Ti under-bump metallization", J. Electron. Mater., 33 (2004) 61-69.
5. J. W. Wan, W. J. Zhang, and D. J. Bergstrom, "Recent advances in modeling the underfill process in flip-chip packaging", Microelectron. Reliab., 38 (2007) 67-75.

6. T. Braun, K. F. Becker, M. Koch, V. Bader, R. Aschenbrenner, and H. Reichl, "High-temperature reliability of Flip Chip assemblies", *Microelectron. Reliab.*, 46, 144-154 (2006).
7. J. Li, L. Han, J. Duan, and J. Zhong, "Interface features of ultrasonic flip chip bonding and reflow soldering in microelectronic packaging", *Appl. Phys. Lett.*, 90 (2007) 242902-242905.
8. H. Kristiansen and J. Liu, "Overview of conductive adhesive interconnection technologies for LCDs", *IEEE Trans. Comp. Packag. Manufact. Technol. A*, 21 (1998) 208-214.
9. Y. P. Wu, M. O. Alam, Y. C. Chan, B. Y. Wu, "Dynamic strength of anisotropic conductive joints in flip chip on glass and flip chip on flex packages", *Microelectron. Reliab.* 44 (2004) 295-302.
10. M. J. Rizvi, H. Lu, C. Bailey, Y. C. Chan, M. Y. Lee, and C. H. Pang, "Role of bonding time and temperature on the physical properties of coupled anisotropic conductive-nonconductive adhesive film for flip chip on glass technology", *Microelectron. Engineer.*, 85 (2008) 238-244.
11. M. Mori, Y. Kizaki, M. Saito, and A. Hongu, "A fine pitch COG technique for a TFT-LCD panel using an indium alloy", *IEEE Trans. Comp. Hybrids, Manufact. Technol.*, 16 (1993) 852-857.
12. L. K. Teh, E. Anto, C. C. Wong, S. G. Mhaisalkar, E. H. Wong, P. S. Teo, and Z. Chen, "Development and reliability of non-conductive adhesive flip chip packages", *Thin Solid Films*, 462 (2004) 446-453.
13. K. Y. Lee, Y. H. Lee, Y. H. Kim, and T. S. Oh, "Effect of bonding stress on the contact resistance of the Sn/Ag bump for chip-on-glass bonding using non-conductive adhesive", *J. Kor. Inst. Met. Mater.*, 43 (2005) 1-7.
14. M. J. Yim, J. S. Hwang, W. Kwon, K. W. Jang, and K. W. Paik, "Highly reliable non-conductive adhesives for flip chip CSP applications", *IEEE Trans. Electronics Packag. Manufact.*, 26 (2003) 150-155.
15. J. Lau (ed.), "Flip Chip Technologies", McGraw Hill, New York (1996) p.25
16. M. Schlesinger and M. Paunovic (eds.), "Modern Electroplating", John Wiley and Sons, Inc., New York (2000) p.241
17. Y. W. Chiu, Y.C. Chan, S.M. Lui, "Study of short-circuiting between adjacent joints under electric field effects in fine pitch anisotropic conductive adhesive interconnects", *Microelectron. Reliab.*, 42 (2002) 1945-1951.
18. Y.-T. Hsieh, "Reliability and failure mode of chip-on-film with non-conductive adhesive", *Proc. Int. Symp. Electron. Mater. Packag.*, (2002) pp.157-160.
19. JEDEC Specification, Coplanarity Test for Surface-Mount Semiconductor Devices, JESD22-B108A.
20. C. W. Ju, K. H. Pack, H. T. Lee and Y. C. Hyun, "A flip chip packaged limiting amplifier with data rate of 10 Gb/s", *J. Korean Phys. Soc.*, 42 (2003) S574-S578.
21. J. W. Nah and K. W. Paik, "Investigation of low cost flip chip under bump metallization (UBM) systems on Cu pads", *Proc. Electron. Comp. Technol. Conf.*, (2001) pp.790-795.
22. J. H. Choi, K. Y. Lee, S. W. Jun, Y. H. Kim, and T. S. Oh, "Contact resistance of the chip-on-glass bonded 48Sn-52In solder joint", *Mater. Trans.*, 46 (2005) 1042-1046.
23. C. W. Tan, Y. C. Chan, N. H. Yeung, "Behaviour of anisotropic conductive joints under mechanical loading", *Microelectron. Reliab.*, 43 (2003) 279-285.
24. J. H. Zhang, Y. C. Chan, M. O. Alam, S. Fu, "Contact resistance and adhesion performance of ACF interconnections to aluminum metallization", *Microelectron. Reliab.*, 43 (2003) 1303-1310.
25. www.chemicool.com/elements/tin.html.
26. J. Cutnell and K. Johnson: *Physics 4th edition*. New York, Wiley (1998) p.755.
27. *Metals Handbook : Properties and Selection of Metals, Vol.1, 8th ed.*, American Society for Metals, Metals Park (1969) p.1142
28. K. Tanida, M. Umamoto, K. Kojima and K. Takahashi, "3D chip stacking utilizing 20 μm -pitch micro Cu bump interconnection", *J. Jpn. Inst. Electron. Packag.*, 8 (2005) 308-317.
29. C. C. Lee, P. J. Wang, and J. S. Kim, "Are intermetallics in solder joints really brittle?", *Proc. 57th Electron. Comp. Technol. Conf.*, (2007) pp.648-652.
30. B. Y. Jung, S. H. Park, Y. H. Kim, and T. S. Oh, "Surface roughness of the electroplated Sn with variations of electrodeposition parameters and contact resistance of the flip-chip-bonded Sn bumps", *J. Microelectron. Packag. Soc.*, 14 (2006) 36-44.