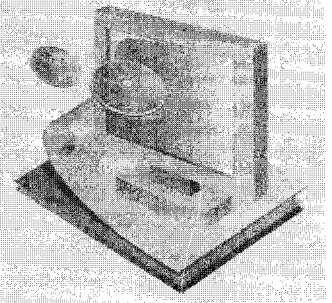


FRAM 기술 현황 및 향후 전망



홍석경 수석연구원 (하이닉스반도체 RFID 개발팀)

DRAM의 빠른 동작속도와 플래시 메모리의 데이터 보존특성을 함께 갖추고 있어 꿈의 메모리로 주목을 받았던 FRAM이 본격적으로 개발된 지 어언 15년의 세월이 흘렀다. MRAM, PRAM 및 RRAM과 같은 신개념 메모리에 비해서 상용화가 가장 먼저 이루어진 FRAM의 동작 원리, 메모리 셀의 기본 구조, 응용시장 및 FRAM 기술 개발 현황을 살펴보고, 이를 통해서 FRAM 기술의 미래를 조망해 보고자 한다.

1. 서론

꿈의 반도체로 일컬어지며 전 세계 반도체 업계의 뜨거운 관심을 불러 일으켰던 강유전체 메모리 (FRAM : Ferroelectric Random Access Memory)가 본격 개발된 지도 어언 15년 이상의 세월이 흘렀다. FRAM은 2000년대 초에 등장한 자성 메모리 (MRAM), 상변화 메모리 (PRAM) 및 저항 변화 메모리 (RRAM))와 같은 신 메모리에 비해 개발의 역사가 길고, 비록 4Mb 이하의 낮은 메모리 용량이지만 하

나 가장 먼저 상용화가 이루어졌다. FRAM의 집적도를 높이기 위해 많은 노력을 기울인 결과 셀 면적 축소에 상당한 기술적인 진보를 이루었다. 초창기 0.6~0.8 μm 선폭의 64~256 kb의 메모리 용량에서 매년 2배 가까이 용량이 증가하여 최근에는 0.13~0.15 μm 의 선폭을 적용한 64 Mb 용량까지 집적도를 높이는 기술이 개발되었다. 그러나 시판되고 있는 상용 FRAM 제품은 0.13 μm 선폭을 적용한 4Mb FRAM이 최대 용량으로 현재 비휘발성 메모리의 주류로 자리 잡고 있는 플래시 메모리와 용량 차이가 크기 때문에 주류 메모리 시장에 진입하지 못하고 특화된 틈새 시장을 형성하고 있다. 메모리 용량을 증대시키려면 메모리 셀 면적을 적어도 10F2 (F: 최소 선폭) 이하로 축소시켜야 하지만 이에 필요한 3차원 적층 커패시터의 기술 개발이 더디게 진행되고 있어 가시적인 기간 안에 대폭적인 메모리 용량의 증대를 기대하기 어려운 실정이다. 본 논문에서는 FRAM의 동작 원리, 메모리 셀의 기본 구조, 응용 시장 및 기술개발 현황을 살펴보고 이를 통해서 FRAM 기술의 미래를 조망해 보고자 한다.



2. FRAM이란?

2.1 동작 원리

FRAM은 휘발성 메모리인 RAM (Random Access Memory)과 비휘발성 메모리인 ROM (Read Only Memory)의 두 가지 특성을 다 가지고 있다. 즉, DRAM (Dynamic Random Access Memory)과 유사한 구조 및 동작 원리를 가지는 동시에, DRAM과는 다르게 강유전체 (Ferroelectrics)라는 재료를 전하 저장용 커패시터 재료로 사용하여 전원 공급이 끊겨도 강유전체의 자발분극 특성에 의해 저장된 전하를 유지할 수 있는 데이터 보존 특성을 가지고 있는 비휘발성 메모리이다.

FRAM은 그 명칭에서 알 수 있듯이 강유전체의 분극 (Polarization) 현상을 이용한 메모리 소자이다. FRAM의 역사는 매우 오래되어 1950년대로 거슬러 올라간다. AT&T, 포드 자동차, IBM, RCA, 웨스팅하우스에서 개발을 시작하였으며, 이 당시는 강유전체의 박막 증착 기술이 개발되기 훨씬 이전이라 두께가 매우 두꺼운 단결정을 사용하였다. 따라서 FRAM의 동작 전압이 높았고, 셀 어레이 구성 및 동작 기술이 낙후되어 인접 셀간 간섭 현상 (Cross-talk)이 심하여 실용화에 실패하였다. 이로부터 한참 후인 1980년대에 강유전체 박막 증착 기술이 개발되면서 FRAM이 다시 주목을 받기 시작하였다. 그림 1에 강유전체의 전압-분극 특성을 나타내는 분극의 원리와 이를 이용한 데이터 저장 원리를 나타내었다.

일반적으로 강유전체 재료는 ABO_3 구조 혹은 페로브스카이트 구조라 불리는 격자 구조로 되어 있는데, 이 격자의 중앙에 위치한 원자 B가 인가 전압의 극성에 따라 상하로 움직이면서 분극 현상을 나타낸다. B 원자의 초기 위치에 따라 외부 인가 전압에 따른 변위 전류의 양이 다르게 나타나며, 이 변위 전류량의 차에 의해 데이터 '1'과 '0'이 구분된다. 즉, 격자에 양의 전압이 인가되면 중앙에 위치한 원자 B는 아래로 이동하며, 인가 전압의 증가에 따라 이동 거리도 길어지나, 전압이 끊어지면 안정된 에너지 위치로 고정된다. 이때, 일정 크기의 분극이 존재하는데, 이를 잔류분극 (Remnent

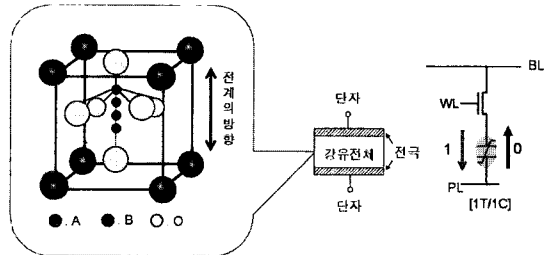


그림 1. (a) 강유전체 재료에서 분극의 발생 원리와 (b) 이를 이용하여 FRAM에 데이터를 기록하는 방법.

Polarization)이라 하며, 이러한 현상에 의해 데이터의 저장이 가능하게 된다. 이러한 현상은 전압의 인가 방향에 따라 잔류분극의 방향이 바뀌며, 잔류분극의 크기는 재료 및 박막의 형성 방법 등에 따라 영향을 받는다. FRAM 소자에 이용하기 위해서는 잔류분극이 큰 것이 좋다. 또한, 강유전체의 분극의 방향을 바꾸기 위해서는 일정 크기 이상의 전압이 요구되는데, 이를 항전압 (Coercive Voltage; V_c)이라 하며, 저전압 동작을 위해 낮은 항전압을 갖는 물질이 필요하다.

FRAM용 강유전체 재료로는 $Pb(Zr,Ti)O_3$ (PZT)와 $SrBi_2Ta_2O_9$ (SBT)가 주로 이용되어 왔으며, 2001년 한국에서 개발된 $(Bi,La)_4Ti_3O_{12}$ (BLT)에 대해서도 많은 연구가 진행되었다. FRAM에 사용되는 전하 저장용 강유전체 재료를 표 1에 나타내었다.

표 1에 나타난 바와 같이 PZT는 FRAM 소자의 신호 감지 전압의 크기를 결정하는 잔류분극의 크기가 커서 메모리 셀 면적을 작게 만들 수 있는 장점이 있다. 또한 PZT 박막의 결정화 온도가 550~600 °C로 낮아 CMOS 반도체 공정과 정합성이 좋은 장점이 있다. 단점으로는 저 전압 동작 요소인 V_c 가 다소 높은 것과 백금 (Pt)과 같은 전극을 사용했을 때 피로 열화 (메모리 셀에 데이터 "1"과 "0"을 반복해서 기록하고 읽어낼 때 잔류분극의 크기가 점차 감소하는 현상)을 보인다는 점이다. 그러나 PZT 커패시터

의 단점으로 알려진 이러한 문제점은 현재 거의 대부분 해결된 상태로 85 °C의 고온에서도 DRAM과 같이 무제한의 읽고 쓰기가 가능한 5.9×10^{24} 의 반복 횟수를 갖는 64 Mb FRAM이 2008년 VLSI 학회에서 발표되기에 이르렀다 [1]. SBT의 경우 작은 항전계를 가지는 장점과 Pt 전극을 사용했을 때 전기적 피로 특성이 PZT에 비해 우수한 장점이 있는 반

면, 잔류분극이 작아서 메모리 셀 면적의 축소에 어려움이 있어 대용량화에 불리하다. 또한 SBT는 결정화 온도가 700~800 °C로 높아 CMOS 공정과 정합성이 나빠지며 SBT 박막의 결정성장 방향에 따른 잔류분극의 차이가 커서 셀 커패시터의 크기를 작게 했을 때 특성 산포가 큰 것이 단점이다. BLT는 결정구조상 SBT와 유사한 층상 페로브스카이트 구조를 하고 있으며 PZT와 SBT의 단점이 보완된 특성으로 인해 큰 주목을 받았다. 그러나 SBT와 마찬가지로 결정성장 방향에 따른 잔류분극 차이가 커서 커패시터 면적을 $1 \mu\text{m}^2$ 이하로 작게 만들면 메모리 셀간 잔류분극의 산포가 커지는 문제는 SBT와 동일하다 [2]. 그림 2에 FRAM 단위 메모리 셀의 등가 회로, 강유전체 커패시터의 분극 이력곡선 및 저장된 데이터의 읽어내기 동작 원리를 나타내었다.

표 1. FRAM에 사용되는 강유전체 종류 별 주요 특성 비교.

재료	Pr ($\mu\text{C}/\text{cm}^2$)	Ec (kv/cm)	결정화 온도 (°C)	장점 및 단점
PZT	15~30	50~70	550~600	* 잔류분극이 크다 (셀 축소에 유리) * 결정화 온도가 낮다 (집적화에 유리). * Pt 전극 사용 시 피로 열화 일어남.
SBT	5~10	30~50	700~800	* 잔류분극이 작다 (셀 축소에 불리) * 결정화 온도가 높다 (집적화에 불리). * 결정방향에 따른 잔류분극 차이가 크다. → 셀 면적 축소 시, 특성 산포가 커짐
BLT	10~15	40~60	650~700	* 잔류분극이 비교적 큼. * 결정화 온도가 비교적 낮음 * 결정방향에 따른 잔류분극 차이가 크다. → 셀 면적 축소 시, 특성 산포가 커짐

강유전체 재료는 DRAM의 상유전체 재료와 달리, 전압이 0 (V)로 강하하여도 전하량이 분극 이력곡선의 'A' 또는 'C' 위치에 유지되는 특성을 이용하여 데이터를 저장하게 된다. FRAM의 메모리 셀의 구성은 데이터의 입출력을 관장하는 비트 라인 (BL)과 MOS 트랜지스터의 스위치 역할을 하는 워드 라인 (WL), 그리고 강유전체 커패시터로부터 분극

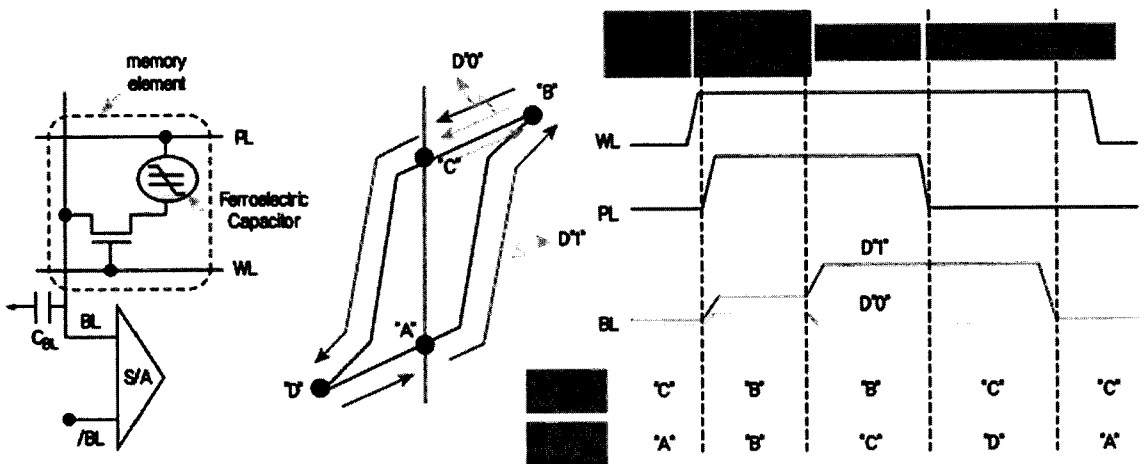


그림 2. (a) FRAM의 메모리 셀 구조, (b) 강유전체 커패시터의 분극 이력곡선, (c) FRAM의 데이터 읽기 동작 원리를 나타내는 타이밍도 (Timing Diagram).



방향과 전하량을 제어하는 플레이트 라인 (PL)으로 구성되어 있다. 그림 2(c)의 타이밍 도를 이용하여 저장된 데이터의 읽어내기 동작 원리를 설명하면, WL에 전압이 인가된 후, PL에 전압이 인가되면 강유전체 커패시터로부터 잔류분극 변화에 의한 전류가 흐르게 되고, 이는 BL과 전압 증폭기 (SA)를 통하여 데이터가 나오게 된다.

데이터 '1'의 경우, PL을 통하여 강유전체 커패시터에 양의 전압을 인가하면 커패시터로부터 A-B에 해당하는 전하량의 변화가 발생하고, 그 차이에 해당하는 전위가 SA를 거쳐 증폭되어 정보로서 취해진다. 반면, 데이터 '0'의 경우, PL을 통해 강유전체 커패시터에 양의 전압이 인가되면 커패시터로부터 C-B 만큼에 해당하는 분극 변화가 발생하고, SA를 거쳐 0 (V)로 감압된 정보가 나온다. 이러한 동작을 읽기 동작이라 하며, 쓰기 동작의 경우에는 BL의 전압을 제어하여 데이터를 저장하는 것만 제외하면, 읽기 동작과 동일하다.

2.2 FRAM 메모리 셀 구조

FRAM 메모리 셀의 회로 및 단면 구조는 그림 3에 나타난 바와 같이 현재 3가지 종류가 있다. 2T2C 셀

(2개의 트랜지스터와 2개의 커패시터로 구성)은 상용 FRAM에 사용되고 있는 구조로서, 한 방향의 커패시터에 예를 들면 "1"이라고 하는 데이터를 기억시켰을 경우, 다른 한 방향의 커패시터에는 반대의 "0"을 기억시키고, 데이터를 읽어 낼 때는 BL과 /BL의 2개의 전압차이를 SA에서 판단한다. 예를 들면, 전압 차이가 플러스이면 "1", 마이너스이면 "0"라고 되는 것 같이 출력한다. 1T1C 셀은 FRAM의 집적도를 올리기 위해서 DRAM처럼 1개의 트랜지스터와 1개의 커패시터로 구성된 것으로, 데이터를 읽어낼 때는 BL에 "1"과 "0"의 중간 수준의 기준 전압을 주고, 그 기준 전압을 문턱 값으로 하여 "1"과 "0"을 판단한다. 1T1C 셀 구조의 FRAM은 현재 1~4 Mb급이 상용화되었으며, 개발품으로는 64 Mb까지 발표되었다. 1Tr 셀 (1개 트랜지스터로 구성)은 1T1C 셀에서 커패시터를 제거한 것으로 단위 셀 면적이 4F2에 불과하여 집적도를 크게 향상시킬 수 있는 구조이다. 지금까지 널리 사용되고 있는 FET (전계효과 트랜지스터)의 게이트 절연체막을 강유전체 막으로 바꿔 놓은 것으로, FET 자체에 커패시터의 역할을 갖게 한다.

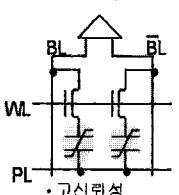
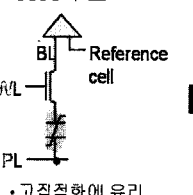
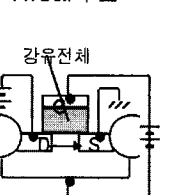
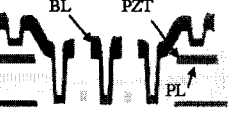
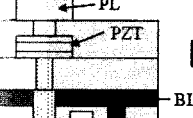
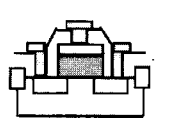
회로 구조	<p><2T2C 구조></p>  <ul style="list-style-type: none"> • 고신뢰성 • 제품에 적용 중 • 고집적화에 불리 	<p><1T1C 구조></p>  <ul style="list-style-type: none"> • 고집적화에 유리 • 4M 제품 개발에 적용 중 • 최근 신뢰성 문제 해결됨. 	<p><1T/Cell 구조></p> 
Cell 구조	<p>Planar Strap 형</p> 	<p>High Density Stack 형</p> 	<p>Simple 1T 형</p> 
제품	64Kb, 256Kb	4Mb 이상	
개발시기	1995~2000	2003~2007	?

그림 3. FRAM 메모리 셀의 회로 및 단면 구조.

2.3 FRAM 응용 분야

FRAM은 MRAM, PRAM, RRAM과 같은 신 메모리 가운데 가장 먼저 상용화가 이루어진 메모리로서 현재 4 Mb 용량까지 시판되고 있다. 그림 4에 현재 FRAM이 사용되고 있는 응용 분야를 나타내었다. 오락기, 가전제품 (예를 들면, TV의 전원을 켜면 자동으로 전원을 끄기 직전의 채널과 볼륨으로 복귀시키는 용도), 복사기 및 프린터 (FRAM을 사용함으로써 하드웨어 설계의 부담 경감 및 부품 수 감소로 비용 절감의 장점이 있음), 자동차 (엔진 제어, 에어 백, 오디오, 전자 키 등의 전자 제어장치에 적용), 메터링 (사용 가스 또는 사용 전력의 정보를 기록하고 관리), RFID 태그, IC 카드 및 계측기에 사용되고 있다. 그러나 이러한 시장은 규모가 작은 틈새 시장 (Niche Market)으로 FRAM은 아직 메모리 용량의 한계로 인해 주류 메모리 시장에 진입하지 못하고 있다.

최근 자동차에서 차지하는 전자 제어장치의 비중이 증가하면서 시스템 반도체의 일종인 자동차용 반도체의 중요성이 점차 강조되고 있는데 FRAM은 이미 자동차의 일부 전장 시스템 (충돌사고나 운행 이벤트의 기록, 오디오, 에어 백)에 탑재되어 사용되고 있다 [3]. 산업용으로는 가스 공급이나 전력 공급과 같은 메터링 분야에서 빠른 데이터 기록 및 재기록 횟수가 우수한 FRAM의 수요가 있다. 그림 5에 FRAM을 이용한 대표적인 시스템 반도체를 나타내

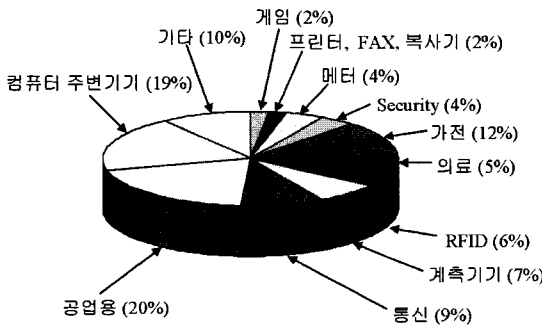
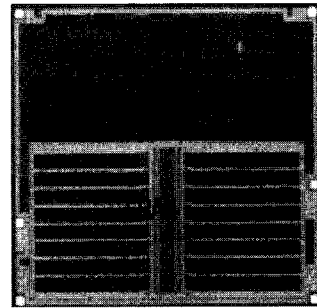


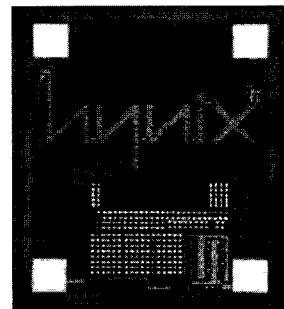
그림 4. FRAM의 적용 분야.

었다. 그림 5(a)는 2005년 삼성전자가 개발한 2 Mb FRAM 내장형 스마트 카드이며, 그림 5(b) 2007년 하이닉스반도체에서 개발한 UHF (860-960 MHz) 대역의 유통, 물류용 512 b FRAM 내장형 RFID 태그 칩이다.

대용량 FRAM 기술은 2004년 및 2006년 VLSI 학회에서 도시바와 삼성전자가 0.13 μm 선폭을 적용하여 1T1C 구조의 64 Mb FRAM을 발표한 것이 최대 용량이다 [4,5]. 90년대 중반 이후 FRAM 기술 개발이 본격화되면서 거의 매년 용량이 배가되어 왔으나 현재의 1T1C 메모리 셀 구조와 집적화 기술 개발의 속도로 볼 때 DRAM이나 플래시와 같은 주류 메모리와 경쟁은 어렵다. 따라서 일부 FRAM 개발 업체는 현재 제품화 가능한 수준인 64 Mb ~ 128 Mb 용량



(a)



(b)

그림 5. FRAM을 이용한 대표적인 시스템 반도체 (a) 2 Mb FRAM 내장형 스마트 카드 (삼성전자, 2005), (b) 512 b FRAM 내장형 UHF-RFID Gen2 태그 칩 (하이닉스반도체, 2007).

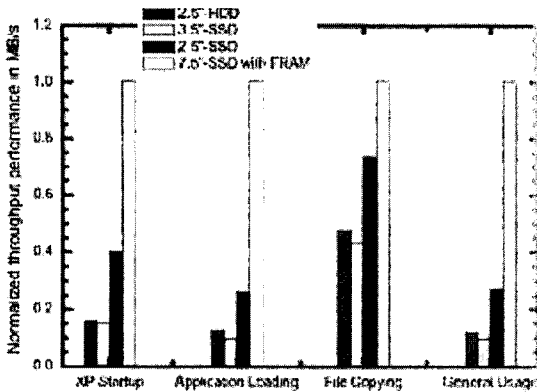


그림 6. SSD (Solid State Device)에 64 Mb FRAM을 함께 사용했을 때와 SSD만을 사용했을 때 성능 비교 [1].

의 FRAM을 적용할 수 있는 새로운 시장을 찾고자 하는 노력을 기울여 왔다. 삼성전자는 2008년 VLSI 학회에서 64 Mb FRAM의 적용 유무에 따른 SSD (Solid State Device)의 성능 비교 결과를 발표하였다 [1]. 그림 6에서 볼 수 있는 바와 같이 SSD에 FRAM을 함께 사용하면 윈도우 프로그램의 시작, 응용 프로그램의 로딩, 파일 복사 등을 할 때 데이터의 처리 속도가 크게 증가하는 것을 볼 수 있다.

3. FRAM 기술 개발 현황

FRAM은 DRAM의 빠른 입출력 속도와 플래시 메모리의 비휘발성 특성을 갖고 있어 한 때 “꿈의 반도체”라고 불리며 많은 관심을 불러 일으켰다. 1980년대 후반 강유전체 커패시터의 박막화를 위한 연구 개발이 활발하게 진행되다가 1990년 초~중반기에 걸쳐 전 세계 수많은 메모리 반도체 회사가 제품 개발에 참여하면서 비약적인 기술 개발이 이루어졌다. 아래에 FRAM 주요 공정 기술의 개발 현황에 대해 간략하게 정리하였다.

3.1 수소 열화 방지 기술

과거 FRAM 기술 개발에서 최대 난제 중의 하나는 강유전체 커패시터 형성 후 층간 절연막 공정 또는 Al 금속 배선 공정에서 커패시터의 전기적 특성

이 심하게 열화되는 문제를 해결하는 것이었다. 수많은 연구 결과, 수소가 함유된 원료 가스를 사용하는 층간절연막 공정 (ILD, IMD)에서 발생한 수소이온이 커패시터에 침투하여 PZT 또는 SBT 산화물을 환원시켜 일어나는 현상으로 확인되었다 [6,7]. 이때 커패시터 전극으로 사용되는 Pt 또는 Ir 전극이 수소 원자를 수소이온으로 쉽게 해리시키는 촉매 역할을 하는 것도 밝혀졌다. 층간 절연막 공정에 의한 수소 열화를 방지하기 위해 플라즈마가 개재된 PECVD 공정대신 플라즈마를 사용하지 않는 APCVD 절연막 공정을 도입하고 수소 침투를 원천적으로 막기 위해 ALD-Al₂O₃와 같은 수소 방지막으로 커패시터를 완전히 덮은 다음 후공정 (ILD, IMD 및 W 플러그 공정)에서도 수소가 덜 함유되도록 공정 조건을 최적화하여 커패시터가 열화되는 것을 방지하였다 [8].

3.2 1-마스크 에칭 기술

FRAM의 셀 면적이 큰 이유는 강유전체 커패시터 면적이 크기 때문이다. 일반적으로 반도체 금속 배선을 에칭할 때 사용하는 Cl 또는 F 기반의 가스로는 화학적 에칭이 잘 안되기 때문에 강유전체 커패시터를 수직으로 에칭하기가 매우 어렵다 [9]. 이로 인해 커패시터와 커패시터의 간격이 최소 디자인 룰인 1F 이상으로 증가하여 메모리 셀 면적이 증가하게 된다. 셀 면적을 15F² 이하로 줄이기 위해서는 커패시터 간격을 1F 수준으로 줄여야 하며, 이를 위해 커패시터 높이를 200 nm 이하로 줄여야 하고 에칭 각도는 75도 이상을 유지해야 한다[10]. 또한 1-마스크 에칭 기술은 종전 2~3 마스크를 사용한 에칭에 비해 포토 및 에칭 공정 횟수를 줄임으로써 공정 비용을 낮출 수 있다. 75도 이상의 에칭 각도와 1F의 커패시터 간격을 실현하기 위해서는 전극 두께와 강유전체 두께를 낮춰야 하며, 이것은 종래 Pt/IrO₂/Ir 전극 구조에서 Ir 단일 전극에서도 결정화가 잘되는 MOCVD-PZT 공정 기술이 개발됨으로써 가능하게 되었다. 1-마스크 에칭 공정에는 에칭 선택비가 우수한 하드 마스크 재료의 선택, 에칭 손상을 줄일 수 있는 에칭 가스종의 혼합비 최적화와 에칭 시 웨이퍼 온도가 중요하다 [11].

3.3 2차원 적층 커패시터 기술

FRAM의 메모리 셀 크기를 줄이기 위해서는 DRAM과 같은 적층 커패시터 (Stack Capacitor) 구조가 필수인 바, 트랜지스터의 드레인 컨택 위에 커패시터를 수직으로 연결해야 하며, 이를 위해 커패시터의 결정화 온도인 600 °C 부근의 고온, 산소 분위기에서 견디는 스토리지 노드 컨택 플러그가 필요하다. 적층 커패시터를 제작하기 위해 초기 Poly-Si 플러그, W 플러그의 단점을 보완하여 TiN/W 플러그 공정이 개발되었고, 550 °C의 저온 MOCVD-PZT 공정 기술이 개발되었다 [12,13]. 또한 MOCVD-PZT 공정 개발이 이루어지면서 80 nm 이하의 얇은 두께에서도 우수한 잔류분극 및 누설전류 특성을 갖게 되었고, 이에 따라 전극을 포함한 커패시터의 전체 높이를 200 nm 이하로 대폭 낮출 수 있게 됨으로써 FRAM의 대응량화가 가능한 수준인 15F² 이하의 메모리 셀 면적이 실현되었다. 최근에는 MOCVD-PZT 공정으로 50 nm까지 PZT 두께를 감소시킴으로써 향후 10F² 이하의 셀 크기를 갖는 FRAM도 기대할 수 있게 되었다 [14].

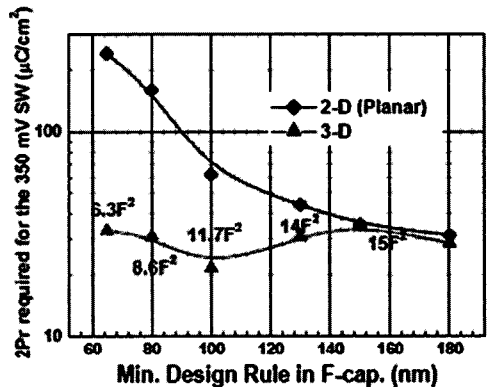
3.4 신뢰성 기술

FRAM 상용화에 가장 큰 걸림돌은 신뢰성 문제였다. 메모리 셀에 기록된 데이터를 고온에서 장시간 유지하면 그 상태를 계속 유지하려는 현상 (OS Retention)과 메모리 셀에 데이터 "1"과 "0"을 교대로 반복해서 쓰게 되면 잔류분극이 감소하는 현상 (Fatigue)은 오랫동안 완벽하게 해결이 안되었다. 삼성전자는 2005년 VLSI 학회에서 PZT 커패시터 상부 전극의 버퍼층으로 IrO₂ 전극 대신 SrRuO₃(SRO) 전극을 채용하여 85 °C 고온에서 데이터가 10년 유지되는 결과를 발표했으며, 2008년 VLSI 학회에서는 피로 열화 현상이 거의 없는 ("Fatigue-free") 64 Mb FRAM을 발표하였다. 이 결과로 미루어 FRAM 신뢰성은 커패시터의 집적화 공정 기술의 성숙도에 따라 크게 영향을 받는 것으로 보인다 [1].

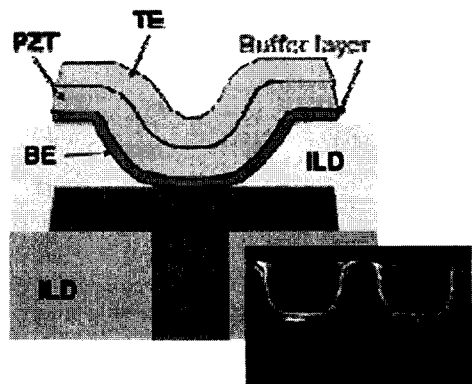
3.5 3차원 적층 커패시터 기술

그림 7에 2차원 및 3차원 커패시터 구조에서 선폭

축소에 따라 요구되는 강유전 커패시터의 잔류분극 (2Pr) 요구치를 나타내었다 [15]. 130 nm 선폭을 적용한 FRAM의 경우 최소 감지 전압 350 mV를 얻으려면 2Pr~45 $\mu\text{C}/\text{cm}^2$ 가 필요하며 이 전하량은 현재 MOCVD-PZT 기술로 대응할 수 있다. 최소 선폭이 100 nm가 되면 2Pr~70 $\mu\text{C}/\text{cm}^2$ 가 요구되며, 80 nm로 더 줄어들게 되면 2Pr~150 $\mu\text{C}/\text{cm}^2$ 가 요구되어 PZT 재료로는 더 이상 대응할 수 없는 수준이 된다. 최근에 많은 관심을 끌고 있는 BiFeO₃(BFO)는 2Pr~200 $\mu\text{C}/\text{cm}^2$ 로 매우 높은 잔류분극을 나타내어 FRAM용 차세대 커패시터용 신 물질로 연구되고 있



(a)



(b)

그림 7. (a) FRAM Technology Node별 요구되는 잔류 분극 (2Pr)의 크기 및 (b) 3차원 PZT 커패시터의 단면 구조 및 SEM 사진 [15].



표 2. 연도별 FRAM 메모리 셀 구조 및 개발된 주요 공정 기술.

연도	Cap 구조	Cell Size Factor	Cell 구조		기술적 장벽 및 주요 해결책
1995 ~ 2000		50 F2	2T2C	Strap	* 피로열화 → Ir 또는 산화물 전극 (IrO ₂ , RuO ₂ , LSCO) * 수소열화 → ALD-Al ₂ O ₃ 공정개발
2001 ~ 2003		25 F2	2T2C, 1T1C	Stack	* 플러그 → PZT 저온 RTA 결정화 * Cap 면적 축소 → 1-Mask 에칭
2004 ~ 2008		15 F2	1T1C	Stack	* Cap 면적 축소 → MOCVD-PZT * OS Retention → SRO Buffer 개발 * Endurance → Cap 공정 최적화
2003 ~ 2008		<10F2	1T1C	3D-Stack	* 3D-Stack Cell → MOCVD-PZT, MOCVD-Ir 전극 공정개발

지만 항전계와 누설전류가 매우 커서 FRAM에 사용하려면 많은 개선이 이뤄져야 한다 [16]. 따라서 FRAM 집적도를 증가시키려면 선폭을 100 nm 이하로 미세화하고 동시에 오늘날 DRAM과 같은 3차원 커패시터 기술을 적용해야 한다. 3차원 커패시터 제작에 필수적인 MOCVD-PZT 공정기술은 2003년 무렵 삼성종합기술원에서 첫 선을 보인 이후 동 기관에서 2005년 IEDM 학회에서 MOCVD-Ir 전극공정과 MOCVD-PZT 공정을 적용한 3차원 커패시터 제작기술을 발표하였다 [17]. 그러나 트렌치 커패시터의 깊이 방향으로 Pb, Zr, Ti 성분 원소의 조성비가 화학양론적 조성에서 벗어난다든지 또는 Ir 전극과 절연막간 약한 접착력으로 인해 전극층이 박리된다든지 하는 문제점도 함께 보고되었다. 이와 같은 공정상 문제는 차세대 유전체로 Ba(Sr,Ti)O₃ (BST)막을 사용하고자 하는 DRAM에서도 동일하게 일어나고 있는 문제이며 짧은 시간 안에 해결하기가 쉽지 않은 공정이다. 이런 점을 고려하여 그림 7에 보인 것처럼 가로세로 비 (Aspect Ratio)를 크게 낮춘 컵 모양의 3차원 커패시터 구조가 제안되었다 [15].

위에서 언급한 FRAM의 주요 기술 개발 내역을 정리하여 표 2에 나타내었다.

그림 8에 SRAM 과 노어 플래시 메모리의 연도별 셀 면적 축소 로드맵에 FRAM의 셀 면적 실적치를 나타내었다 [18]. 2000년대 초, 2차원 적층 커패시터를 채용한 1T1C 구조가 개발되면서 FRAM의 셀 면적이 빠르게 축소되기 시작했음을 알 수 있다. 2005

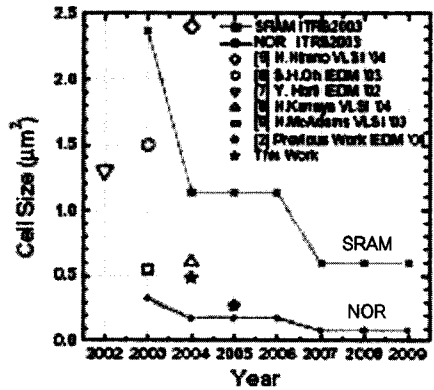


그림 8. 내장형 NOR 플래시 및 SRAM의 연도별 셀 면적 축소 로드맵 및 FRAM 셀 면적 실적치 [18].

년에 셀 면적 0.27 μm² (12F2)까지 대폭 축소되어 노어 플래시 메모리 셀과 비슷한 수준까지 근접하였다. 그러나 3차원 적층 커패시터 공정기술의 완성도가 낮아서 이를 적용한 제품 개발은 아직 이뤄지지 못했다. 반면에 노어 플래시는 65 nm 이하 미세공정으로 전환되었고 한 개의 메모리 셀에 2개의 데이터 비트를 저장할 수 있는 다치화 기술 (MLC: Multi-Level Cell)까지 개발됨으로써 양자 간에 메모리 용량 차이는 더욱 커지게 되었다. 따라서 현재 1T1C 셀 구조로는 휴대전화에 사용되는 노어 플래시와 p-SRAM을 동시에 FRAM으로 대체하는 원-칩 솔루션 (One Chip Solution)은 불가능한 실정이다. 향후 FRAM은 고집적화를 위한 기술 개발보다는 낮은 동작전압과 낮은 소비전력 그리고 CMOS 로직 공정과

정합성이 우수한 장점을 살려 시스템 반도체용 메모리로써 제품에 적용되어 기술 발전이 이루어 질 것으로 생각된다.

4. 결론

DRAM의 빠른 동작 속도와 플래시의 비휘발성을 모두 갖고 있는 FRAM은 일종의 융합 메모리(Fusion Memory)로 주목을 크게 받으면서 십 수 년간 많은 반도체 회사에서 활발히 연구한 덕분에 현재 2 V의 낮은 동작 전압에서 85 °C 고온 신뢰성을 만족시키는 1T1C 64 Mb FRAM이 개발되었다. 256 Mb급 이상 대용량화를 이루려면 3차원 적층 커패시터 기술이 개발되어야 하지만 아직은 MOCVD-Ir 전극 및 MOCVD-PZT 공정 기술의 성숙도가 낮아 가까운 시기에 대용량 제품의 상용화는 어려울 것으로 보인다. 그러나 FRAM만이 갖고 있는 빠른 데이터 입출력 속도, 낮은 동작 전압, 낮은 소비전력, 뛰어난 고온 신뢰성과 CMOS 공정과 혼재가 용이하다는 점은 성능과 비용이 중시되는 시스템 반도체용 메모리로써 여전히 매력적이다. 향후 FRAM은 대폭적인 성능 향상을 가져올 수 있는 시스템 반도체용 메모리로 고유 영역을 구축하면서 기술 발전이 이루어 질 것으로 판단된다.

참고 문헌

- [1] D. J. Jung, *et al.*, Symp. on VLSI Tech. Dig., p. 102-103, (2008).
- [2] S. Y. Kweon, *et al.*, The 19th Int. Symp. on Integr. Ferro. (ISIF), Bordeaux, France, May 8-11, 2007
- [3] Ramtron homepage: <http://www.ramtron.com>
- [4] H. Kanaya, *et al.*, Symp. on VLSI Tech. Dig., p. 150-151, (2004).
- [5] Y. M. Kang, *et al.*, Symp. on VLSI Tech. Dig., p. 152-153, (2006).
- [6] S. K. Hong, *et al.*, J. Mater. Res. 15, p. 2822-2829, (2000).
- [7] S. Seo, *et al.*, Appl. Phys. Lett., 81, p. 697-699 (2002).
- [8] H. H. Kim, *et al.*, Symp. on VLSI Tech. Dig., p. 210-

211, (2002).

- [9] S. W. Lee, *et al.*, Jpn. J. Appl. Phys., 41, p. 6749-6753 (2002).
- [10] S. Y. Lee, *et al.*, Jpn. J. Appl. Phys., 45, p. 3189-3193 (2006).
- [11] D. J. Jung, *et al.*, IEEE Trans. Ultrasonics, Ferroelectrics, and Frequency, 54, p. 2535-2540 (2007).
- [12] S. Y. Kweon, *et al.*, Jpn. J. Appl. Phys., 41, p. 7327-7331, (2002).
- [13] J. H. Park, *et al.*, IEDM Tech. Dig., p. 591-594, (2004).
- [14] D. C. Yoo, *et al.*, Symp. on VLSI Tech. Dig., p. 100-101, (2005).
- [15] I. S. Kim, *et al.*, The 19th Int. Symp. on Integr. Ferro. (ISIF), Bordeaux, France, May 8-11, 2007.
- [16] K. Y. Yun, *et al.*, Appl. Phys. Lett., 83, p. 3981-3983, (2003).
- [17] J. M. Koo *et al.*, IEDM Tech. Dig., (2005).
- [18] Y. M. Kang, *et al.*, Symp. on VLSI Tech. Dig., p. 102-103, (2005).

저자약력



성명 : 홍석경

◆ 학력

- 1982년 국민대 금속공학과 공학사
- 1986년 한국과학기술원 재료공학부 공학석사
- 1997년 서울대 대학원 무기재료공학과 공학박사

◆ 경력

- 1986년 - 1997년 삼성전자 반도체 과장
- 1997년 - 2008년 하이닉스반도체 신소재팀 수석연구원
- 현재 하이닉스반도체 RFID 개발팀 수석연구원