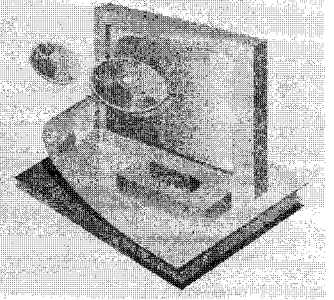


상변화를 이용한 메모리, PRAM



공준혁 책임연구원 (삼성전자 반도체총괄 메모리사업부)

1. 서론

최근의 많은 반도체 제조 회사들이 여러 종류의 메모리 중 현재까지 만들어오던 메모리와는 물질이나 구조가 다른 신 메모리 개발에 노력하고 있다 [1]. 그 중 PRAM (Phase Change RAM)이 많은 사람들의 주목을 받고 있다. 회사마다 PCM (Phase Change Memory), OUM (Ovonic Unified Memory)과 같이 조금씩 다른 이름으로 불리기도 하는데, 현재 널리 이용되는 DRAM이나 Flash Memory는 Cell Capacitor나 Cell Transistor의 Gate에 전하를 넣고 빼는 방식으로 정보를 저장하는데 비해, PRAM은 Cell 소자의 상변화 (Phase Change)에 따라 저항이 커지거나 작아지는 것을 이용하여 정보를 저장하는 신 메모리이다.

이 글에서는 PRAM을 모르는 분에게 소개하는 정도에서 상변화 물질의 특징과 메모리 소자로 사용하는데 필요한 기본적인 원리를 살펴보고자 한다. 더불어 이런 상변화 물질이 메모리로 이용되기 위해 필요한 요구사항들과 남아 있는 과제들을 간단히 살

펴보려고 한다. 짧은 지면이더라도 이해하기 쉽게 설명되어야 하겠지만 그렇지 못한 부분들에 대해 미리 양해를 구하며, 미흡한 부분은 참고 문헌이 대신 할 수 있을 것이라 생각하니 꼭 참고하시길 부탁드립니다.

2. PRAM 상변화 물질의 특징

PRAM에 사용되는 상변화 물질은 1960년대 후반에 Ovshinsky가 보고한 Chalcogenide 계열의 물질이다 [2]. 당시 비정질 반도체 (Amorphous Semi-

표 1. 상변화 비정질 반도체의 예.

Binary	Ternary	Quaternary
GaSb	Ge ₂ Sb ₂ Te ₅	AgInSbTe
InSb	InSbTe	(GeSn)SbTe
InSe	GaSeTe	GeSb(SbTe)
Sb ₂ Te ₃	SnSb ₂ Te ₄	Te ₈₁ Ge ₁₅ Sb ₂ S ₂
GeTe	InSbGe	

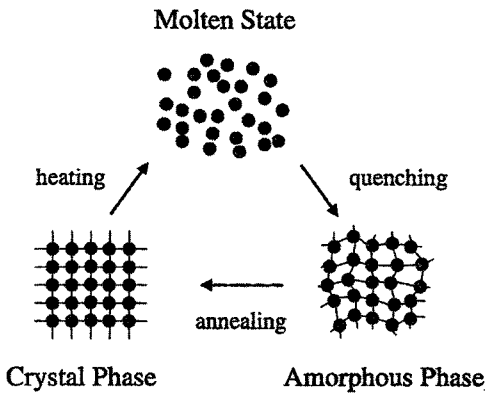


그림 1. 상변화 과정.

conductor) 연구가 한창이었으며 [3], 그 중 전기적으로나 광학적인 방법으로 상변화 (Phase Change)가 가능한 물질 (표 1)들을 발견하게 된 이후 여러 물질들에 대해 연구하게 되었고, 이후 상변화를 이용한 메모리를 만들 수 있다는 생각에 이르게 된다. 이중 가장 관심을 받은 물질이 Chalcogenide인데, 이는 Chalcogen족 (6족)인 S, Se, Te에 4족 원소 (Ge, Si) 및 5족 원소 (As, Sb)로 구성된 물질들로 주로 CD-RW, DVD RW 의 상용화를 통해 많은 연구가 이루어져 왔다. Chalcogenide는 비정질 상태에서는 저항이 크고 반사율이 낮으며, 결정질 상태에서는 저항이 작고 반사율이 높다 (그림 1). 비정질과 결정질간의 상변화를 일으키기 위해서는 열을 이용하여 온도를 올리고 떨어뜨리는 방법을 이용한다.

3. Cell 읽고 쓰는 방법

CD-RW, DVD-RW는 디스크 매체 표면에 레이저 (LASER)빔을 국소적으로 맺히게 하여 짧은 시간 동안 열을 가하여 온도를 올린 다음 냉각을 하는데, 냉각 방식에 따라 매체에 이용된 Chalcogenide 물질의 반사율이 바뀌는 성질을 이용하여, 일정 기준 보다 반사율이 높고 낮은 것을 “0”과 “1”의 디지털 정보로 형태로 정보를 저장하고 인출한다. 이런 광방식의 저장 매체와는 다르게 반도체 메모리에서는 전기

적 방법을 통해 쓰고 읽는 동작을 수행한다. 광방식 매체에서는 레이저 빔을 통해 열을 내는 방식인데 비해 반도체 메모리에서는 매체에 전기열선 (Heater)을 연결하여 전기 펄스를 가하여 그 때 발생한 줄열 (Joule Heat)을 이용하는 방식이다 (그림 2). Chalcogenide는 녹을 수 있을 만큼 온도가 높아진 후 식힐 때 빠르게 식히게 되면 (Quenching) 고저항의 비정질 상태가 되고, 녹는점 이상 온도를 올린 후 천천히 식히거나 적절한 온도 (결정화 온도)이상 가열하기 (Annealing)만 해도 저저항의 결정질 상태가 된다 [4].

광학방식으로 열을 내는 것과 달리 전기적으로 열을 내는 방식에서 고려해야 할 점은 동작 전압이 정해져 있는 상황에서는 적절한 저항값이 아니면 충분한 줄열 (Joule Heat)이 발생하기 힘들다는 점이다. 전기 펄스를 가하기 전 상태가 저저항의 결정질 상태라면 충분히 열을 낼 수 있을 만큼의 전류가 흐르게 되어 문제가 없지만, 고저항의 비정질 상태라면 전류가 작기 때문에 열을 내는데 아주 높은 전류 (또는 전압)가 요구될 것이다. 이런 경우라면 CMOS 기반의 메모리소자에서 견딜 수 있는 전압을 넘어서게 되어 메모리로서 이용하는 것은 불가능하게 된다. 하지만, Chalcogenide 계열의 물질들은 비록 비정질 상태에 있더라도 특정 전압 (Threshold Voltage ; V_{th}) [5] 이상을 가하게 되면, 결정질과 같은 저항을 갖게 되므로, 결정질이든 비정질이든 상관없이 필요

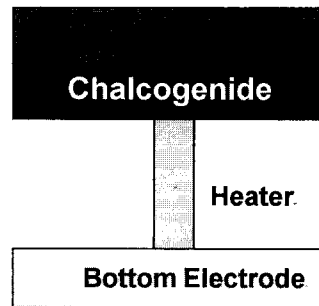


그림 2. PRAM Cell 기본 구조.

한 열을 낼 수 있다.

읽기 과정에서는 Cell이 비정질인지 결정질인지 알아내는 방법은 적절한 전압 (또는 전류)을 가하여 저항을 읽어내는 것으로 충분하다. 저항이 크면 비정질, 저항이 작으면 결정질임을 판단할 수 있다. 결정질에서는 특별히 걱정할 필요가 없지만, 비정질 상태에서는 V_{th} 를 넘게 되면 전류가 많이 흘러 결정질화 되므로, V_{th} 를 넘지 않도록 조정하여 전압 (또는 전류)을 가해야 한다.

좀 더 구체적으로 PRAM의 쓰기(Write/Read) 방법을 살펴보면, 결정질(Set), 비정질(Reset)일 때의 전류-전압(I-V) 곡선은 그림 3의 (a), (b)와 같다. Set일 때 IV Curve는 일반적인 저항체와 유사하나 Reset일 때는 V_{th} 를 가지고 있다. 따라서 V_{th} 보다 작은 전류를 가해야만 결정질과 비정질을 구별할 수 있다. 쓰기 과정에서 사용되는 펄스는 고저항의 비정질을 만들 때와 저저항의 결정질을 만들 때가 다른데, 비정질은 빠르게 온도를 떨어뜨려야 하므로 그림 3(c)와 같고, 결정질을 만들기 위해서는 그림 3(d-1)과 같이 결정화 온도 이상으로 온도를 올리는 방법과 그림 3(d-2)와 같이 녹는점 이상으로 온도를 올렸다가 천천히 온도를 떨어뜨

리는 방법이 있다. 결정질을 만드는 온도 Profile은 다양한 모양이 가능하므로 충분히 최적화할 필요가 있다.

4. 기존 메모리와 비교

일반적으로 DRAM의 경우 Cell Capacitor에 전하가 축전되었는가 아닌가를 이용하여 정보를 저장하는데, 이때 축전된 전하가 Leakage 전류 형태로 조금씩 빠져나가기 때문에 정보가 휘발한다. 또한, 읽는 과정에서 축전된 전하를 빼어 내어 Charge Sharing이라는 과정을 통해 읽기 때문에 파괴적인(Destructive) 성질을 가지고 있다. PRAM의 경우 비정질 상태가 단순히 결정화 온도 이상으로 온도가 올라가게 되면 결정질로 변하는 성질 있기는 하지만, 일상의 온도에서는 그 성질이 바뀌지 않기 때문에 비휘발성의 메모리를 만들 수 있다. 또한 읽기 과정 속에서 V_{th} 를 넘지 않는 한 물성의 변화가 없기 때문에 비파괴적인(Non-destructive) 성질을 갖게 된다.

DRAM에 대한 PRAM의 장점인 비휘발성, 비파

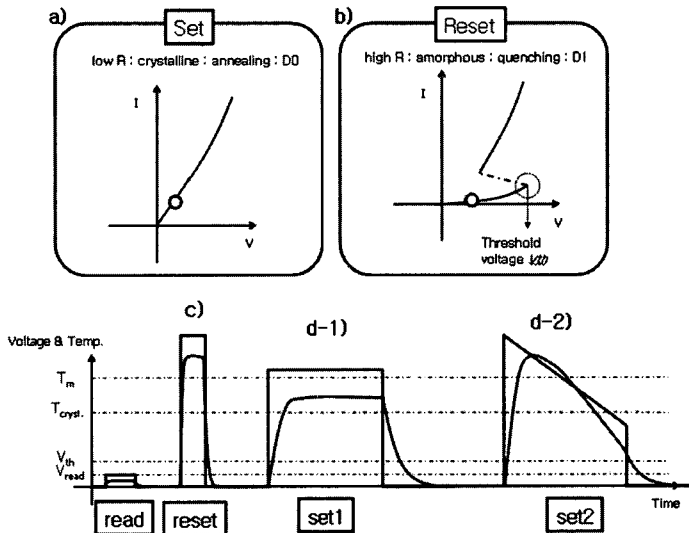


그림 3. (a), (b) PRAM Cell IV 특성과 (c), (d) 쓰기 펄스

표 2. PRAM과 다른 메모리 특성 비교.

	DRAM	Flash	PRAM
비휘발성	X	O	O
비파괴성	X	O	O
Erase 불필요	O	X	O
Random Access	O	Δ	O

괴적 성질은 플래시 메모리에도 이미 갖추어져 있다. 전통적인 방법의 플래시 메모리의 경우 트랜지스터의 게이트와 산화막 사이에 플로팅 게이트(Floating Gate)를 두고 FN Tunneling 또는 Hot Carrier Injection을 통해 플로팅게이트에 전하를 주입하는 방법으로 Program이라는 쓰기 과정을 가지며, 이 때 전하의 주입된 전하의 유무에 따라 트랜지스터의 V_{th} 가 바뀌게 되어 트랜지스터 Source/Drain 사이에 전류의 도통 여부를 확인하는 방식으로 Cell의 정보를 읽게 된다. 이때 주입시킨 방향과 반대방향으로 전압을 가해 FN Tunneling 원리를 통해 주입된 전하를 빼내는 Erase 과정이라는 또 하나의 쓰기 과정이 필요하다. 이 과정이 상당히 느린 과정이므로 지정된 Cell 하나만을 Erase하게 되면 동작 속도가 너무 느려지므로 여러 Cell을 한꺼번에 Erase하게 된다. 하지만, PRAM의 경우는 이전 상태에 무관하게 원하는 상태를 쓰는 동작이 가능하므로, Erase 과정이 불필요할 뿐만 아니라, 원하는 Cell을 자유자재로 골라서 쓰고 읽기가 가능한 RAM(Random Access Memory)의 구현이 가능한 장점을 가지고 있다.

위와 같이 DRAM의 단점과 플래시 메모리의 단점을 모두 극복하여 비휘발성의 비파괴적인, Erase가 불필요한 RAM을 만들 수 있다는 점에서 Perfect Memory라고까지 극찬을 받으며 주목 받고 있다(표 2).

5. PRAM Cell의 요구 사항

좀 더 구체적으로 PRAM에 이용될 Cell의 특성과 그 동작 원리, 메모리 구조를 살펴보자. 가장 기본

적으로 디지털 신호로 사용되는 저항이 비정질과 결정질의 상변화에 따라 차이가 클 것이 요구된다. 두 상태의 차이가 극명할수록 읽을 때의 디지털 신호 "0/1"을 구분하기 쉬울 뿐만 아니라 전기적 노이즈와 구분하기도 쉬울 것이다. 또 하나의 중요한 특성인 V_{th} 는 단일 Chip에서 구현가능할 수 있을 정도로 낮아야 하지만, 너무 낮을 경우 읽기 전압을 가할 때, V_{th} 를 넘겨서 정보를 잃어버릴 수 있으므로 적절한 값을 가지는 것이 좋다. 쓰기 과정에 열을 이용하여 녹는점까지 올려야 하며, 필요한 온도가 낮을수록 적은 에너지가 요구되므로 동작 시 전력 소모가 작은 메모리를 만드는데 유리할 것이다. 녹는점이 결정되어 있더라도 Heater의 저항을 어떻게 만드느냐에 따라, 요구되어 지는 전류, 전압의 관계가 바뀌게 된다. 전류의 양이 많이 늘어날수록 메모리의 면적이 넓어져야 하는 문제로 가급적이면 전류가 작아질 수 있도록 소자를 만들게 된다. Heater에서 열이 많이 나게 하기 위해서는 줄의 법칙을 고려하면 큰 저항일수록 유리할 것이지만, 너무 커져 Cell 자체의 저항보다 크다면 Cell의 저항 변화량을 구별할 수 없을 것이다. 또한 주변으로 열이 빠져나가는 부분에 대해서도 고려해야 할 것이 많다. 열이 잘 빠져나간다면 쉽게 Quenching 되겠지만, 반대로 Annealing하기 어렵게 되며, 그 반대로 열이 잘 빠져나가지 않는다면 Quenching이 되지 않는 문제가 발생할 수 있다.

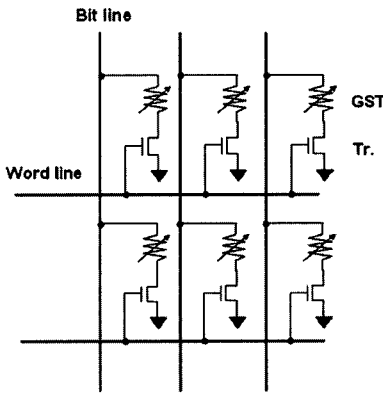
이렇게 많은 특성을 만족해야 하므로 PRAM에 사용할 수 있는 Cell의 물질로는 한정적일 수밖에 없게 된다. 현재로는 Chalcogenide 계열의 $Ge_2Sb_2Te_5$ (GST)가 널리 사용되고 있다 [4]. 비정질 상태의 V_{th} 는 약 1 V 정도이고, 결정질 상태에서 Heater를 포함해도 수~수십 kohm 정도의 크기를 가지기 때문에 1 mA 이내에서 상변화를 일어나도록 열을 가할 수 있다. 100 ns 이하에서 충분히 상변화가 일어나는데 비정질 상태에서는 100~1000배의 저항이 된다. 또한 섭씨 140~150 도까지는 비정질상이 변화하지 않는다.

6. Chip에 필요한 구성 요소 - Cell 선택 소자, 읽기/쓰기 회로

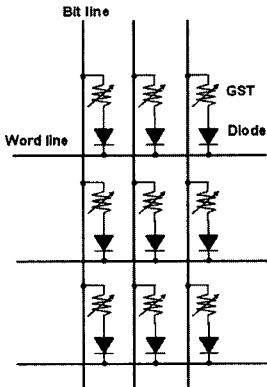
여러 성질을 고려하여 Cell에 사용되는 물질이 결정되어 있더라도, Cell을 구동하는 부분이 필요하며, 메모리의 형태를 갖추기 위해서 각 Cell들을 선택할 수 있는 부분 (Switching 소자)이 필요하다. 일반적으로는 각각의 Cell 마다 Transistor를 이용하여 원하는 소자는 전류가 흐르지만 그렇지 않은 경우는 전류가 흐르지 않도록 하는 Switching 소자가 필요하다(그림 4). Transistor는 단위 크기당 흐를 수 있는 전류가 Gate 전압에 의존하므로, Gate 산화막의 두께에 따라

한정되어진다. DRAM이나 플래시 메모리와 전하를 이용하는 메모리 소자와는 달리 PRAM과 같이 저항을 이용하는 메모리 소자의 경우에는 Switching 소자로 Diode를 사용할 수 있다. Transistor의 경우 쓰기 전류를 키우기 위해서 면적을 키워야 하여 동일 메모리 용량을 구현하는데 필요한 면적이 넓어지게 된다. 하지만, Diode의 경우 단순히 양단의 전압을 조금만 키워도 쓰기 전류를 크게 키울 수 있고, 구조가 단순하여 작은 면적에서도 고집적이 가능하다는 이점이 있다 [6,7].

이렇게 만들어진 Cell Block에서 원하는 Cell을 골라서 읽을 수 있게 되는데, DRAM의 경우 먼저 전하를 Cell에 채운 다음, 읽을 때 Bit Line과

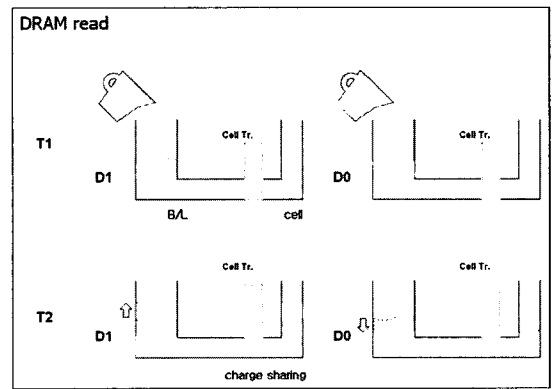


(a)

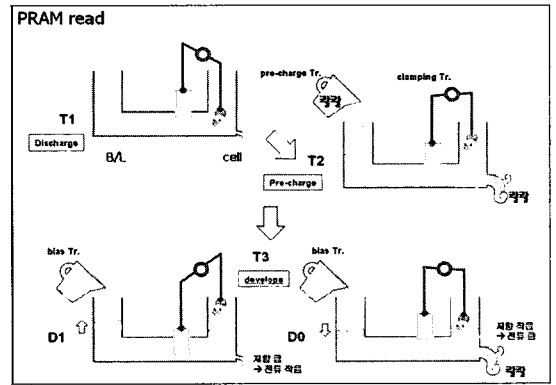


(b)

그림 4. Cell Block과 Switch 소자.



(a)



(b)

그림 5. DRAM과 PRAM 읽기 과정.



Sharing을 하고 그때 전압을 읽어서 Cell에 있었던 전하를 읽어 들이는데 비해, [8] PRAM 은 전류를 부으면서 전압의 차이를 읽으며, 이때 V_{th} 를 넘지 않는 장치들이 필요하다 (그림 5). 쓰는 과정은 원하는 모양의 펄스를 만들어서 정해진 Cell에 넣는 과정으로 충분하다 [9].

7. 메모리로서 필요한 추가적 성질

지금까지 알아본 것과 같이 한 개의 Cell과 Switch가 잘 만들어지더라도 메모리로 만들기 위해서는 더 많은 특성이 요구되어진다. 예를 들어 1 Gbit Memory를 만들기 위해서는 약 10억 개의 소자가 유사한 특성을 나타내어야 한다. Cell 뿐만 아니라, 주변에 부가적인 회로의 모든 부분들은 공정에 따라 다양한 산포를 가지고 있기 때문에 모든 소자가 동일한 특성을 나타내기 힘들다. 따라서 여분의 소자를 추가로 만들어서 특성이 제대로 나오지 않는 Cell들을 대체하는 Redundancy Scheme을 이용하고 있다. 이렇다 하더라도 아주 일부분의 Cell에 불과할 뿐이기 때문에 당연히 10억 개의 소자가 동일하게 만들어질 것이 요구된다.

메모리가 되기 위해서 만족해야 할 다른 특성들인 산포, 신뢰성, 기존 CMOS 공정과의 호환성, 경제성, Scale Down 등의 문제를 살펴보자.

- (1) 산포 : 모든 Cell이 고저항과 저저항의 구별이 가능해야 한다. 여기서는 단지 하나의 Cell에 대해서가 아니라 한 Chip내 들어가는 모든 Cell을 고려대상으로 한다. 저저항 상태 (D0)일 때의 저항이 가장 큰 Cell의 저항값이 고저항의 상태 (D1)일 때의 저항이 가장 작은 Cell의 저항값보다 작아야 한다. 물론, 이때는 회로의 부가적인 저항도 같이 포함이 되며, 저항을 읽어 들이는 회로 (Sensing Amplifier)의 산포를 고려해서도 구별될 정도가 되어야 한다.
- (2) 신뢰성 (Disturbance, Endurance, Retention)

- ① Disturbance : 한 Cell을 쓸 때, 바로 옆 Cell에 저장된 정보가 지워져서는 안 된다. PRAM의 경우에는 열에 의해 기록하는 방

식이므로 쓰는 과정에서 열이 발생하는데, 앞에서 살펴본 바와 같이 고저항의 물질이 열을 받아 결정화 온도 이상으로 올라가면 저항이 떨어지므로, 선택된 Cell을 쓰기 위한 열이 옆 Cell에 써 놓은 D1 정보를 지워 버릴 수가 있다. 따라서 적절한 쓰기 전류 (전압) 값을 조절할 필요가 있다 [10].

- ② Endurance : 한 Cell을 얼마만큼이나 오래 동안 쓰고 지울 수 있는가의 문제로 모든 Cell 중 가장 약한 Cell이 허용된 제품 Spec.을 넘어야 한다. 이때 GST 자체도 중요하지만, 그 외 부가적인 부분들- Heater, 선택 소자-의 수명도 중요하다. 뿐만 아니라 회로를 구성하는 CMOS들의 수명 또한 고려해야 한다. [10]

- ③ Retention : GST의 열적 안정성에 관한 부분으로 비정질 상태가 고온이 되면 저항이 줄어들어, 즉 D1 상태가 D0로 변하게 되는 문제가 발생할 수 있다. 적어도 상업적으로 허용된 범위 (85C, 10년) 내에서는 한 Cell이라도 변하지 않아야 한다. 이를 위해서는 적절한 평가방법을 통해 수명예측을 할 수 있어야 하며, 다른 비휘발성 메모리와는 다른 평가방법이 요구될 것이다 [11,12].

- (3) CMOS 공정과의 호환성 : 동작하는 전압이나 전류가 Chip 내에서 구현가능 해야 한다. Interface를 위해서 기존의 반도체 CMOS Process를 이용하여야 하므로 CMOS로 구현 가능한 적절한 전압과 전류가 요구된다.

- (4) 경제성 : 메모리를 싸게 만들 수 있어야 한다. 적은 수의 공정을 거쳐서도 만들 수 있어야 하고 (주로 Layer 수, 즉 몇 층을 쌓아 올렸는지도 중요하지만, 구조의 복잡성에도 영향을 받는다), 한 장의 Wafer에 많은 Chip을 만들 수 있어야 한다. Cell의 동작을 담당하는 Core부분과 외부와 통신을 담당하는 Peripheral 부분은 작을수록 좋다. 이 부분의 비율이 커지면 동일한 용량의 Cell에 대해서도 면적이 큰 소자를 만들어야 하는데, 이렇게 되면 한 장의 Wafer에서 만들 수 있는 Chip 수가 적어져서 경제성

이 나빠진다. 또한, 기존의 CMOS Process를 벗어나는 경우, 신규 투자를 많이 해야 하므로 가격적이면, 기존 CMOS 공정을 따르도록 만들어야 한다.

- (5) Scale Down : 지속적으로 제품을 만들지 못하고 단발성에 그친다면 메모리 제품을 만드는데 주저할 수밖에 없다. 보통 시간이 지날수록 사용자들이 메모리 용량이 증가하길 요구할 뿐만 아니라, 제조사들도 더 나은 경제성을 갖추기를 원한다. 그래서 더 작은 면적에서도 동일한 Chip의 제작이 가능한지, 또는 동일한 면적에서 더 많은 용량의 Cell을 넣을 수 있는지와 관련된 Shrink 여부가 중요하다. 구동 회로뿐만 아니라 Cell 자체가 Scale Down을 할 수 있어야 한다. PRAM의 경우 Cell이 작아지면서 저항은 커지게 되고, 요구되는 전류는 점점 더 줄어든다고 알려져 있다. 그러므로 Cell의 크기를 줄여 면적당 Cell 수를 늘리면 메모리 용량을 늘릴 수 있게 된다. Cell 수가 늘어나더라도 한 Cell에서 요구되는 전류가 줄어들면 한 Chip에서 구현 가능한 전류 (또는 전압)를 높이지 않고도 메모리를 만들 수 있다 [13].

8. PRAM의 과제와 미래

지금까지 메모리 제품이 되기 위해서 갖추어야 되는 기본적인 특성들을 알아보았다. 이 밖에 다른 추가적인 요소들은 PRAM이 다른 메모리와 다른 특유의 장점, 단점이 될 수 있다. PRAM을 연구하는 사람들이 크게 관심을 가지는 문제들을 살펴보면서 마무리를 지을까 한다.

대표적으로 동작 속도의 문제가 있다. 일반적으로 메모리의 속도는 Cell의 동작 속도에 의해 결정되는 것은 아니다. 예를 들어, FRAM이나 MRAM과 같이 Cell의 동작속도가 빠르다고 하는 신 메모리들도 주변 구동하는 부분의 속도가 어떻게 되는가에 의한 영향을 크게 받게 된다. 아직 GST의 상변화 속도가 메모리를 구현하는데 큰 장벽은 아니다. 하지만, 미래에는 더 빠른 메모리를 요구하는 관점에서

동작속도와 관련된 상변화 과정에 대한 이해가 중요한 부분이 된다. GST 이외의 또 다른 더 빠른 상변화 속도를 가진 물질이 있을 것인지, GST라면 어떤 부분이 상변화 속도를 결정하는지가 중요한 문제이다.

이 외에도 GST가 비정질로 바뀌어 고저항이 되는 짧은 시간 동안의 저항 변화에 대해 주목을 받고 있다. Recovery Time이라는 부분으로, 어떻게 하면 짧은 시간 내에 저항을 바꿔게 할 수 있는가는 동작 속도와 관계된 중요한 문제가 될 수 있다 [14].

Recovery Time 이후에는 시간이 흘러감에 따라 아주 느린 속도로 저항이 증가 현상이 있다. 이른바 Drift 현상으로 알려져 있는데, 고저항상태가 되고 난 이후에도 시간에 따라 점점 증가하는 것이므로 큰 저항이 더 크게 되어 크게 해롭지는 않으나, 시간에 따라 변화가 있다는 것은 부가적인 다른 문제를 발생할 수도 있다는 점에서 기존의 메모리와는 달리 PRAM만의 고유한 고려사항이 될 수 있다 [15].

최근 플래시 메모리들은 MLC (Multi Level Chip)을 도입하여 한 Cell에서 더 많은 Bit을 저장하는 방법을 사용하기도 한다. PRAM에서도 중간 상태의 저항을 만드는 것이 가능하므로 MLC를 구현하는 방법에 대해서 연구를 많이 하고 있다. 중간 상태의 저항에서도 앞에서 말한 신뢰성들을 잘 만족시킬 수 있는지, Drift 현상이 있더라도 문제없이 Multi Level을 만들려면 어떻게 해야 하는지, 용량의 증가에 따라 문제는 없는지, 구현하는 방법에서 속도는 어떻게 빠르게 할 것 인지와 같이 파생되는 많은 문제점들이 PRAM의 도전 과제가 되고 있다 [16].

지금까지 PRAM Cell의 기본특징과 메모리로서 고려해야 할 여러 사항들에 관해 알아보았다. 단순한 한 개 Cell의 특징을 수 억 개가 넘는 Cell도 고르게 낼 수 있도록 만드는 것이 어려운 일임에 틀림이 없다. PRAM이 주목을 받는 이유는 이런 어려움에도 기존의 메모리와 같은 수준의 메모리를 만들 가능성이 가장 높은 신 메모리이기 때문이다. 지금까지 많은 메모리 제조업체의 연구 개발 과정을 통해 PRAM이 메모리로서의 가능성을 보이는데 주력해왔다. 여태까지의 성과로 볼 때, 앞으로는 PRAM



연구 개발에서는 DRAM이나 플래시 메모리와 같은 기존 메모리를 따라잡고, 기존 메모리가 직면한 문제의 해결 여부가 중요한 문제가 될 것으로 보인다.

참고 문헌

- [1] MRS Bulletin, 29, (2004) p. 805.
- [2] S. R. Ovshinsky, Phys. Rev. Lett. 21 (1968), p. 1450.
- [3] D. Adler, Scientific American 36 (1972), p. 697.
- [4] N. Yamada, *et al.*, J. Appl. Phys., 69 (1991) p. 2849.
- [5] A. Pirovano, IEEE Trans. Electron Devices, 51, (2004), p. 452.
- [6] J. H. Oh, *et al.*, IEDM Thechnical Digest (2006), p. 49.
- [7] F. Pellizer, *et al.*, Symposium on VLSI Technology, (2006), p. 122.
- [8] 유희준, DRAM의 설계, 홍릉과학출판사 (1996).
- [9] K. Lee, *et al.*, Solid-State Circuits, IEEE Journal of, 43 (2008) p. 150.
- [10] A. Pirovano, *et al.*, IEEE Trans. Devices and Materials Reliability 4 (2004) p. 422.
- [11] B. Gleixner, *et al.*, Proceeding of Annual International Reliability Physics Symposium, (2007), p. 542.
- [12] A. redaelli, *et al.*, IEDM Thechnical Digest, (2005), p. 742.
- [13] A. Pirovano, *et al.*, IEDM Technical Digest, (2003), p. 699.
- [14] D. Ielmini, *et al.*, IEEE Trans. Electron Devices, 54, (2007), p. 308.
- [15] A. Pirovano, *et al.*, IEEE Trans. Electron Devices, 51, (2004), p. 714.
- [16] F. Bedeschi, *et al.*, Proceeding of IEEE International Solid-State Circuits Conferences, (2008), p. 428.

저자약력



성명 : 공준혁

◆ 학력

- 1996년 서울대 물리교육과 이학사
- 1998년 서울대 대학원 물리학과 이학석사
- 2004년 서울대 대학원 물리학과 이학박사

◆ 경력

- 2004년 - 2005년 서울대 대학원 BK21 물리연구단 Post Doc.
- 2005년 - 현재 삼성전자 반도체총괄 메모리사업부 책임연구원

