

SONOS 플래시 메모리의 최신 기술동향 및 파라미터 특성분석 동향



김대환 교수 (국민대 전자공학부)

1. 서론

현대 정보 저장용 반도체 메모리는 다양한 관점에서 다양한 방식으로 분류가 가능하나, 일반인들이 받아들이기 용이한 구분 방법으로 SRAM (Static Random Access Memory), DRAM (Dynamic Random Access Memory), 플래시 (Flash) 메모리 등의 분류가 가능할 것이다. SRAM은 읽고 쓰는 속도가 빠르고 (수~수십 ns) 디지털 로직 기술과 가장 유사한 반면, 셀 면적이 커서 (6개의 트랜지스터가 필요) 동일 칩 면적 하에 정보 저장 용량을 키우기가 상대적으로 어렵다. DRAM은 SRAM에 비해서는 느리지만 적당히 빠른 읽기/쓰기 속도를 가지고 (수십 ns) 셀 면적이 작기 때문에 (1개의 트랜지스터와 1개의 커패시터 필요) 정보 저장 비트 Density를 높일 수 있다. 그러나 셀 커패시터에 전하로 저장된 정보가 시간에 따라 누설되기 때문에 주기적으로 메모리 동작을 멈추고 Refresh를 해주어야 하는 단점을 가지고 있다. 더구나 SRAM과 DRAM은 공통적으로 휘발성 (Volatile) 메모리에 속하는 바, 전원이 꺼지면 저장되었던 데이터가 삭제되는 문제점을 갖고 있으며, 이는 정보를 읽고 쓰는 시점 뿐 아니라, 단순 저장하고 있는 동안에도 전력이 소모된다는 것을 의미하기 때문에 적은 전력소모를 요구하는 휴대용 전자기기의 메모리로는 적절하지 않음을 알 수 있다.

반면, 플래시 메모리는 집적도가 DRAM에 비해 우수할 뿐만 아니라, 전원이 꺼져도 저장되었던 데이터가 삭제되지 않는 비휘발성 (Non-volatile) 메모리이기 때문에 휴대용 전자기기에 적합한 바, 휴대폰, 디지털 카메라, MP3 등 휴대용 전자기기의 성장과 맞물려 지난 몇 년간 큰 폭의 성장세를 거듭하고 있다. 특히 DRAM보다 우수한 집적도로 인해 비트 Density 증가 및 비트 Cost 감소에 유리하여 2세대, 2.5세대, 3세대, 4세대 등 전송, 저장, 처리되는 정보량 급증에 따라 그 중요성이 커지고 있다. 이러한 고성능, 고집적, 고에너지 효율을 가지는 휴대용 대용량 저장기기의 폭발적인 수요를 만족시키기 위해서는 플래시 메모리 집적도와 성능, 전력소모와 가격 경쟁력 등이 모두 지속적으로 개선되어야 함은 물론이다.

플래시 메모리는 소자 축소화를 통하여 성능 및 집적도를 향상시켜왔으나, 35여 년간 플래시 메모리의 주류 역할을 하여왔던 부유 게이트 (Floating Gate) 플래시 메모리는 셀간 간섭 (Disturb, Crosstalk)에 의한 오동작 등으로 인하여 40 nm 기술 노드 (Technology Node) 이하에서는 기술적 한계를 맞게 되었다. 이에 SONOS (Silicon-Oxide-Nitride-Oxide-Silicon) 플래시 메모리, 나노 결정 (Nano-crystal) 플래시 메모리 등 전하 포획 플래시 (Charge Trap Flash: CTF) 메모리가 부유 게이트 플래시 메모리를 대체할 수 있을 것으로 생각되고 있다.

본 기고문에서는 SONOS 플래시 메모리의 특징 및 최신 기술동향을 소개하고, 전자재료적 관점에서 핵심 파라미터 추출 및 특성 분석 동향 등을 살펴 본다.

2. SONOS 플래시 메모리의 특징 및 기술적 도전

그림 1에서 부유 게이트 플래시 메모리, SONOS 플래시 메모리, 나노결정 플래시 메모리의 구조를 각각 나타내었다. 기존의 부유게이트 플래시 메모리에서 터널링 산화막의 두께는 기술 노드의 발전에 따라 감소해야 하고, 산화막 두께의 감소에 따라 쓰기 (Program)/지우기 (Erase) 전압을 낮출 수 있다. 그러나 부유 게이트 플래시 메모리 셀을 지우고 쓰기 위해서는 9-12 V 정도의 높은 전압을 사용하므로 셀의 쓰기/지우기 동작의 반복에 따라 산화막 양단에 높은 전계가 걸리게 되고, 이러한 반복적인 스트레스로 인한 누설전류(Stress-Induced Leakage Current : SILC)는 부유 게이트에 저장된 전하의 누설을 가져옴과 동시에 셀의 동작 성능 저하, 심각한 신뢰성 열화 등을 야기한다. 터널링 산화막에 국소적인 누설 경로만 생기더라도 전하 저장노드인 부유 게이트가 다결정 실리콘 (Polycrystalline Silicon)으로 이루어진 도체이기 때문에 대부분의 전하가 누설되게 된다 (그림 1(a)). 따라서 터널링 산화막의 두께를 약 6 nm 이하로 낮추기가 매우 어려워지고 [1], 이에 따라 휴대용 저장기에서 요구되는 저전압 동작을 기대하기 어렵다. 반면, SONOS 플래시 메모리의 경우, 정보저장용 전하가 질화막 (Nitride) 내부에 공간에 따라 이산적으로 존재하는 원자 밀도 단위의 트랩에 저장되므로, 쓰기/지우기 반복에 따라 터널링 산화막에 국소적인 누설 경로가 생기더라도 전하의 대부분은 누설되지 않고 정보를 간직할 수 있다 (그림 1(b)). 이는 곧 터널링 산화막의 두께를 축소화할 수 있음을 의미하며, 결과적으로 저전압에서도 효율적인 쓰기/지우기 동작이 가능하게 된다. 또한, 이산적인 트랩으로 인해 쓰기/지우기 반복에 따른 전하보존특성 (Retention)이 우수하며, 셀 트랜지스

터 위에 부유 게이트를 쌓아 올리는 공정이 불필요하므로 셀의 높이가 부유 게이트 경우의 70-80 % 정도로 줄어들고 공정 단계의 20 % 가량이 줄어들며 기존 CMOS 공정 라인을 그대로 활용할 수 있어 원가 또한 절감된다. 아울러 셀 피치 (Pitch) 또한 줄어들기 때문에 셀의 집적도 향상을 꾀할 수 있고,

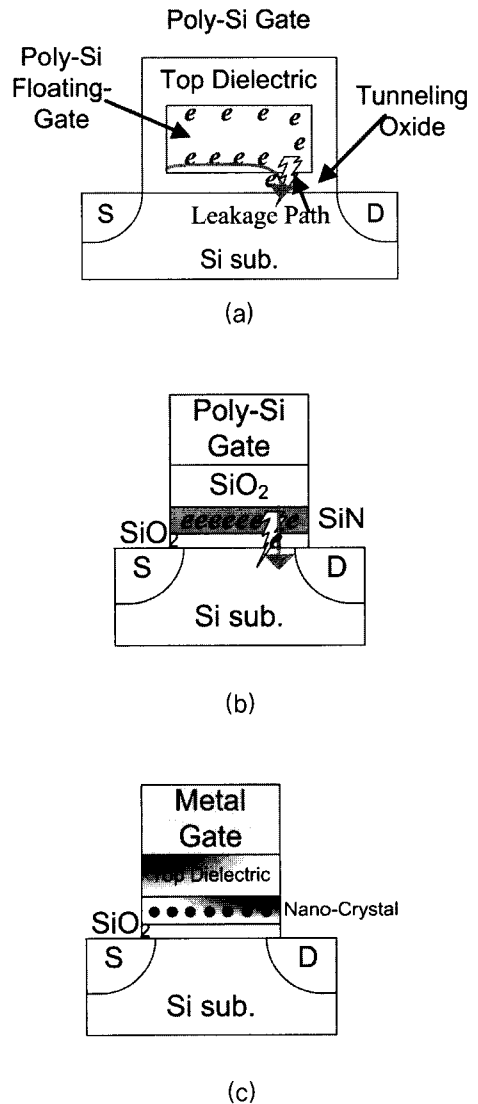


그림 1. 플래시 메모리의 구조 (a) 부유 게이트 메모리, (b) SONOS 메모리, (c) 나노 결정 메모리.



CMOS 로직 공정과 호환성이 뛰어나 Embedded 플래시나 SoC 등 응용에 매우 적합하다 할 수 있다.

한편, 그림 2에서 보듯, 플래시 메모리는 네트워킹 기기, 휴대폰, PDA 등에 주로 사용되는 NOR형 플래시(코드형)와 플래시 메모리 카드, 디지털 카메라, 음성/영상 저장장치 및 휴대용 컴퓨터의 대용량 저장장치 등에 사용되는 NAND형 플래시(데이터형)로 구분할 수 있는 바, SONOS 플래시 메모리의 경우도 동일한 분류가 가능하다. NOR형 플래시는 고온 전자 주입(Hot Electron Injection) 메커니즘을 이용한 쓰기/FN 터널링(Fowler-Nordheim Tunneling) 메커니즘을 이용한 지우기를 이용하며, Random Access가 빠르다. 반면 NAND형 플래시는 쓰기/지우기 모두 FN 터널링 메커니즘을 이용하며, 집적도에 있어 NOR형보다 우수하다. SONOS 플래시 메모리의 또 다른 장점은 다중-비트(Multi-bit) 동작이 가능하다는 점이다. 즉 그림 3과 같이 SONOS 메모리를 NOR형으로 제작하였을 때, 어느 쪽을 드레인으로 잡아 고온 전자 주입 쓰기를 하느냐에 따라 셀 트랜지스터 좌우의 질화막에 각각 전하를 국

소적으로 포획시킬 수 있게 된다. 따라서 총 4가지 경우 즉 셀당 2-비트의 저장 상태를 구별할 수 있게 된다. 이는 기존 부유 게이트 플래시에서 이미 적용되어온 기술인 MLC(Multi-level Cell)와는 차별화된 기술이라 할 수 있으며, 본 기술의 변형인 NROM [2] 기술은 이미 동작 특성 및 신뢰성에 많은 발전이 있어 왔다. 만약 기존 MLC와 같은 수준의 문턱전압(Threshold Voltage: V_T) 산포가 NROM 소자에서도 가능하다면 개념적으로 기존 MLC의 두 배에 해당하는 레벨이 가능하게 된다.

이렇듯, 많은 장점을 가진 이유로 SONOS 플래시 메모리는 가까운 미래에 부유 게이트 플래시 기술을 대체하고 주류로 자리 잡을 가능성이 높으나, 기술적으로 해결해야 할 문제도 상당 부분 남아있는 것이 사실이다. 우선 질화막 내에 3차원으로 분포하는 트랩의 공간적 분포, 에너지 레벨 분포 등은 셀의 메모리 특성을 결정하는 가장 중요한 파라미터임에도 불구하고 공정 조건에 따라 민감하게 변화하며 그 분포를 정량적으로 추출하기가 매우 난해하다. 따라서 쓰기/지우기 동작에 따른 특성 변화, 시간에 따른

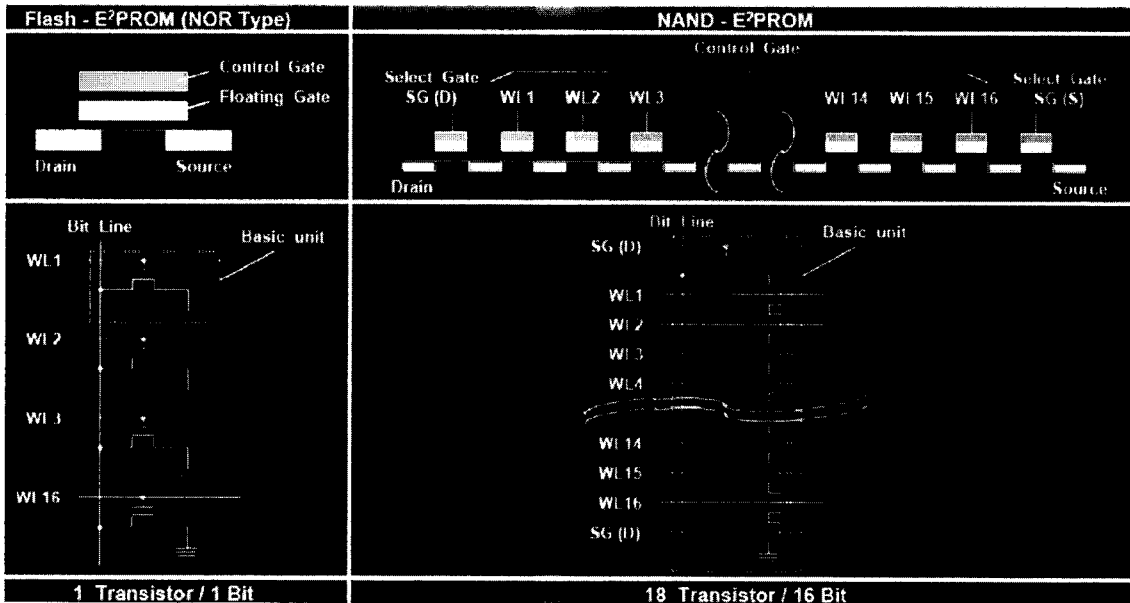
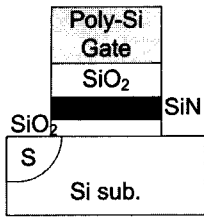
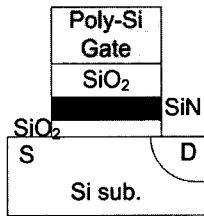


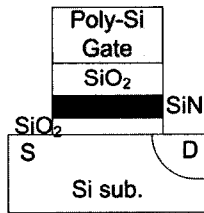
그림 2. NOR형 플래시 메모리와 NAND형 플래시 메모리 비교.



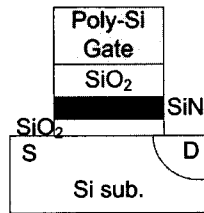
“00”
(a)



“01”
(b)



“10”
(c)



“11”
(d)

그림 3. NROM 소자의 다중 비트 동작.

전하보존 특성의 변화, 동작 시 각종 간섭조건에서의 셀 특성 변화 및 열화 등에 대한 이론적 해석 및 모델링을 매우 어렵게 만들고 있다. 이러한 어려움에 대한 대안으로 2차원 나노 결정 어레이를 저장 노드로 이용하는 나노 결정 플래시 메모리 기술(그림 1(C))도 최근 활발히 연구되고 있으며, 원하는 밀도와 크기를 갖는 균일한 나노 결정을 셀 트랜지스터 절연막 내에 신뢰성 높은 공정으로 위치시키는 기술이 매우 중요해지고 있으나, SONOS 기술에 비해서는 상용화가 더딜 것으로 예측된다. 그러므로 SONOS 메모리가 진정한 고집적 고성능 고에너지 효율을 가지는 차세대 플래시 메모리의 주류가 되기 위해서는 질화막 특성에 대한 이해와 효율적인 공학적 모델링이 필수적이라 할 수 있다. 따라서 다음 3장에서는 SONOS 플래시 메모리 기술의 최신 동향을 간략하게 살펴보고, 이어 4장에서는 질화막의 핵심 파라미터 추출 및 특성 분석 기법의 동향을 소개하고자 한다.

3. SONOS 플래시 메모리의 최신 기술 동향

NAND형 SONOS 플래시 메모리의 경우, 대용량 고집적 저전력 플래시 메모리를 추구한다. 그림 4에서 NAND형 SONOS 플래시 메모리의 쓰기/지우기 동작 시 에너지밴드 도표를 나타내었다. 이 경우, 메모리 셀 간 간섭은 SONOS 구조에 의해 어느 정도 해결이 가능하나, 저전압에서 효율이 높은 쓰기/지우기 동작을 위해서는 두 가지 조건이 만족되어야 한다. 효율적인 쓰기 동작은 게이트에 양전압을 걸어주어 실리콘 기판에 모인 전자가 FN 터널링에 의하여 질화막 내로 유입되어야 하고(그림 4(a)의 ①과정), 이때 게이트 전극에서 넘어오는 홀(그림 4(a)의 ③과정)은 가전자대 (Valence Band)의 에너지장벽 ϕ_{Bh} 가 전도대 (Conduction Band)의 에너지장벽 ϕ_{Be} 에 비해 크므로, 상대적으로 무시할 만하다. 또한 지우기 동작은 게이트에 강한 음전압을 걸어주어 질화막 내의 전자를 실리콘 기판으로 밀어내고, 동시에 기판의 홀을 질화막 내로 트랩시키는 과정(그

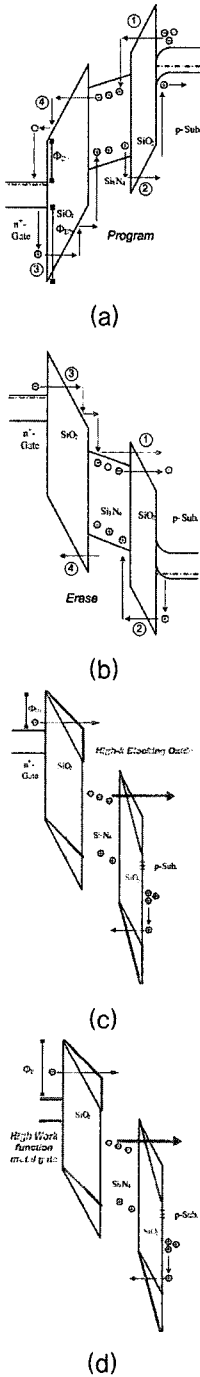


그림 4. NAND형 SONOS 메모리의 에너지밴드 도표
(a) 쓰기 동작, (b) 지우기 동작, (c) 고유전율
상단 절연막 적용의 경우, (d) TANOS 메모리
의 경우.

림 4(b)의 ①과 ②과정)이므로 낮은 게이트 전압에서 하단 터널링 산화막에 높은 전계가 집중되어야 한다는 점이 첫 번째 조건에 해당한다. 또한 지우기 동작 시 게이트 전극에서 상단 절연막을 통하여 질화막 내로 유입되는 전자에 의해 지우기 효율이 떨어지게 되는데 (그림 4(b)의 ③과정), 이를 막기 위하여 상단 절연막 (Top Dielectric)에 걸리는 전계는 하단 터널링 산화막에 비해 감소하여야 한다는 점이 두 번째 조건에 해당한다. 게이트 전극을 표준 CMOS 공정과 호환성이 있는 다결정 실리콘으로 제작하는 경우 에너지장벽 Φ_{Bh} 와 Φ_{Be} 는 물질상수로 주어지므로, 위 두 가지 조건을 만족시키기 위해 최근에는 상단 절연막을 고유전율 절연막 (High-k Dielectric)으로 제작하는 기술이 활발히 응용되고 있으며 (그림 4(c)) Al_2O_3 을 이용하는 SANOS (Silicon- Al_2O_3 -Nitride-Oxide-Silicon) 구조가 대표적인 예이다. 한편 지난 2006년에는 삼성전자가 SONOS 기반의 TANOS (TaN- Al_2O_3 -Nitride-Oxide-Silicon) 기술 [3]을 이용하여 40 나노 32 Gb 낸드플래시를 세계 최초로 개발한 이래, 하드디스크 드라이브를 대체하는 SSD (Solid-State Drive) 등을 중심으로 고성능 휴대 기기의 NAND형 SONOS 플래시 메모리 채용이 빠르게 본격화되고 있다. 그림 4(d)와 같이 TANOS 구조는 게이트 전극으로서 다결정 실리콘보다 높은 일함수 (Work Function)를 갖는 금속인 TaN를 채용하여 Φ_{Be} 를 증가시킴으로써 지우기 동작 시 효율을 저하시키는 게이트로부터의 전자 주입을 보다 적극적인 방식으로 억제하는 구조이다.

NOR형 SONOS 플래시 메모리의 경우, 모든 셀의 드레인 노드에 Random Access가 가능하므로 그림 5와 같이 고온 전자 주입에 의하여 쓰기 동작을 수행한다. FN 터널링에 의한 쓰기 동작에 비해 쓰기 효율은 높은 것으로 알려져 있으나, 쓰기 과정에서도 셀 트랜지스터 채널에 많은 양의 전류를 흘려주어야 하기 때문에 전력 소모와 에너지 효율 측면에서는 NAND형에 비해 불리하다고 할 수 있다. 또한 앞서 기술한 바와 같이 채널 좌우에 국소적으로 저장되는 전하를 이용하여 2-비트 동작을 수행할 수 있게 되는데, 셀 트랜지스터의 채널 길이가 축소됨에 따라 양쪽 전하 영역이 서로 간섭하는 현상이 일어날 수 있

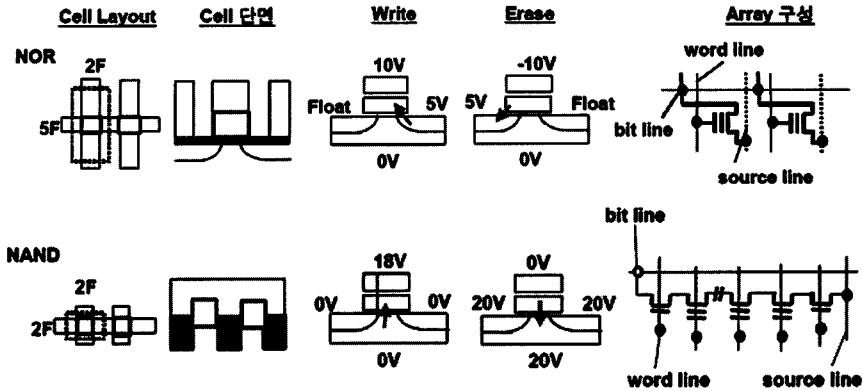


그림 5. NOR형 플래시 메모리와 NAND형 플래시 메모리의 쓰기/지우기 동작 비교.

어, 채널길이 방향으로 포획된 전하의 횡적 공간 분포 추출 (Lateral Profiling)이 매우 중요한 분석 이슈로 대두하였다. 특히, NROM 기술의 경우, 기존 NOR형 플래시와는 달리 다중 비트 동작에서의 지우기를 위하여 고온 홀 주입 (Hot Hole Injection)을 사용하게 되는 바, 쓰기/지우기 동작에 따라 국소적으로 포획된 전자와 홀이 각각 다른 정도로 질화막 내에 분포하게 되고, 쓰기/지우기 횡수가 축적될수록 매우 복잡한 횡적 공간분포를 이루게 되어 쓰기/지우기 효율 예측 및 설계가 어려워진다. 최근 연구 결과에 의하면 이러한 홀과 전자의 부정합 (Mismatch)이 쓰기/지우기 동작에 따른 전하보유능력 저하와 셀 트랜지스터의 문턱전압 이하 특성 열화 등으로 나타나는 것으로 밝혀졌을 뿐만 아니라, Endurance 특성의 채널길이 및 채널 폭 의존성에도 관여하는 것으로 분석되고 있다 [4-6].

한편, 메모리 셀의 쓰기/지우기 성능은 결국 셀 트랜지스터를 읽을 때 문턱전압으로 나타나게 되므로, 동일한 전하가 질화막에 주입되었다고 문턱전압 변동이 크게 나타날수록, 셀 축소화에 따른 단채널 효과 (Short Channel Effect)가 효율적으로 억제될수록 이상적인 SONOS 셀 트랜지스터에 가깝다고 할 것이다. 따라서 최근에는 SONOS 기술을 3차원 셀 트랜지스터 구조에 접목하여 저전압 고성능 고집적도 고에너지효율을 동시에 추구하는 연구가 활발히 진행되고 있고, 상당한 진전을 보이고 있어 DRAM

셀 트랜지스터에 이어 SONOS 플래시 메모리 셀 트랜지스터에서도 3차원 트랜지스터의 상용화를 눈앞에 두고 있다. 특히 3차원 다중게이트 (Multi-gate) 구조 [7-8]나 Surrounding 게이트 구조 [9] 등은 단채널 효과를 이상적으로 제어하면서도 구조적으로 터널링 산화막에 전계가 집중되는 효과를 가지고 있어 향후 유망한 셀 트랜지스터 구조로 각광받고 있다.

아울러 SONOS의 신뢰성 이슈는 상용화를 위한 가장 중요한 관건으로 꼽히고 있는 바, 전하보유능력, 쓰기/지우기 내성 (Endurance), 각종 간섭에 대한 둔감도, 문턱전압 변동 등에 대한 안정성 등이 중요한 이슈로 부각되고 있다. 이 모든 이슈에 대한 이론적 근거와 설계상의 최적화를 위해서는 질화막 트랩 자체의 핵심 파라미터에 대한 이해, 모델링 및 시뮬레이션 방법론 확립 등이 선행되어야 함은 물론이다. 한 예로 질화막 내 트랩의 에너지 준위와, 포획된 전하에 의한 공간 분포가 결정하는 질화막 내 자생 전위의 분포 등을 알아야 전하보유능력 및 문턱전압 안정성 등을 평가 및 예측할 수 있고, 내성을 결정하는 주요 메커니즘을 이해할 수 있으며, 구조 및 쓰기/지우기 조건에 따라 어떠한 간섭에 가장 취약한가를 예측할 수 있게 된다. 실제로 질화막 내 전자트랩의 에너지 준위는 대개 전도대 아래 1-2 eV에 위치하고 있어, Hopping, Poole-Frenkel Emission 및 터널링 산화막에 포획된 양전하에 의한 터널링 상승 등에 의해 간섭 시 불안정성 및 전하보유능력 등이 영

향을 받는 것으로 알려져 있다 [10].

4. SONOS 플래시 메모리의 핵심 파라미터 추출 및 특성분석 동향

SONOS 플래시 메모리 동작에 있어 쓰기/지우기 동작이 반복됨에 따라, 셀 Access 시 셀간 간섭으로 인해 셀 트랜지스터의 특성이 변화하게 되는데, 이는 문턱전압의 변화, 문턱전압 이하 기울기 (Sub-threshold Slope)의 변화와 이로 인한 구동전류의 열화 및 OFF 전류의 증가로 나타나며, 또한 전하보유특성이 열화되기 때문에, 시간에 따른 문턱전압 Drift 정도, 각종 간섭 조건에서의 문턱전압 변화량 등도 점차 증가하게 된다. 이는 누설전류로 인한 전력소모 증가 및 쓰기/지우기 효율 열화, 읽기 속도 열화, 감지증폭기 (Sense Amplifier)의 타이밍 마진 등의 급격한 감소 등으로 나타나며, 결과적으로 양산성과 수율에 치명적인 영향을 미치게 된다. 쓰기/지우기 반복에 따른 특성 열화는 반복 동작에 따라 발생하는 계면 트랩 N_{IT} 및 산화막 트랩 N_{OT} 의 증가와 이에 포획된 전하량의 증가, 이로 인한 터널링 산화막 누설전류 증가 등으로 설명되는데, 이는 기존의 부유 게이트 플래시 메모리에서도 그대로 적용되는 메커니즘의 연장이라 볼 수 있다. 문제는 저전압, 고용량, 고성능 나노 스케일 메모리 셀을 지향하면서 이러한 열화의 정도가 훨씬 심해지고 복잡하여 이해가 어려워짐과 동시에 수율에 미치는 영향이 커진다는 점이다. 따라서 양산성 및 수율을 고려한 SONOS 메모리 설계 (Design for Manufacturability : DFM / Design for Yield : DFY)를 위해서는 핵심 파라미터의 추출 및 분석의 필요성이 절실히 부각된다. 이러한 SONOS 플래시 메모리의 핵심 파라미터로는 질화막 내의 트랩의 에너지 준위 ($D_{nit}(E)$ [$eV^{-1}cm^{-3}$]) 및 횡적/종적 공간분포 ($N_{nit}(x, y)$ [cm^{-3}]), 실리콘 채널/터널링 산화막 계면의 트랩 준위 ($D_{it}(E)$ [$eV^{-1}cm^{-2}$]) 및 밀도 (N_{it} [cm^{-2}]) 등을 들 수 있다.

먼저 질화막 내 트랩의 에너지 준위 추출 및 모델링의 중요성을 그림 6에 나타내었다. 어떠한 에너지

준위에 트랩의 양이 많은가에 따라 전하보유능력이 결정되고, 쓰기/지우기가 반복된 후 계면 트랩을 통한 전하누설 (Trap-assisted Tunneling Leakage)에 의한 상온에서의 문턱전압 변동 등을 예측하여 구동 회로를 설계할 수 있다. 트랩 에너지 준위 추출을 위해 흔히 사용되는 방법은 쓰기 동작 후 SONOS의 문턱전압이 시간에 따라 변하는 양상을 여러 온도에 대해 측정하는 것이다 [11-13]. 포획된 전자가 질화막 전도대로 여기되는데 필요한 온도를 열에너지로 환산하고 전하 누설에 의한 문턱전압 (혹은 평탄밴드 전압 : Flat Band Voltage) 변화량을 특정 에너지 준위의 트랩 양과 연결 짓는 방법이다. 그러나 이러한 추출법은 다양한 온도에 대해 장시간에 걸친 측정을 수행하여야 하기 때문에 실제 양산 라인에서 적용되기 어렵고, 수식 모델링에서 온도 및 시간에 대해 기하급수적으로 변하는 함수 관계를 가지는 측정 결과를 수행하기 때문에, 작은 실험 오차에도 결과값에 큰 오차를 가져온다는 단점이 있다. 한편 최근에는 질화막과 터널링 산화막을 통한 터널링 확률을 모멘텀 파라미터에 대해 계산함으로써 트랩 에너지 준위를 추출하는 수학적 방법 [14]과 SONOS 메모리의 C-V 곡선의 광응답을 이용하여 트랩 에너지 준위를 쉽고 빠르게 추출하는 방법 등이 제안되었다 [15]. 그림 7(a)는 광학적 방법을 이용한 질화막 트랩 에너지 준위 추출의 아이디어를 나타낸다. 쓰

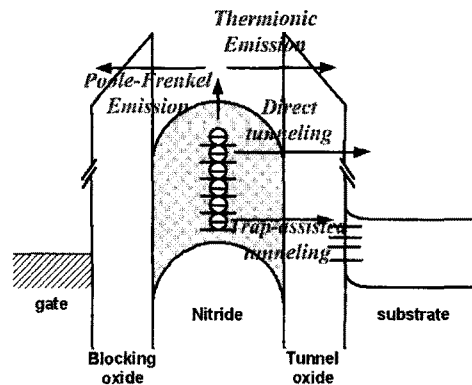
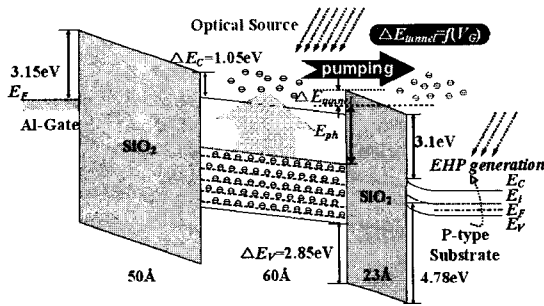
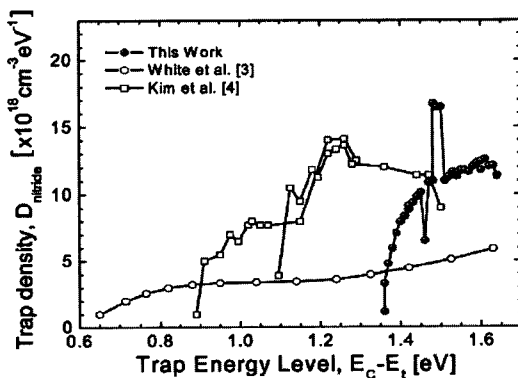


그림 6. SONOS 플래시 메모리의 전하보유특성을 결정 짓는 전하누설 메커니즘.

기 동작 후 전자가 포획되어 있는 SONOS 커패시터의 C-V 곡선과 질화막의 밴드갭 에너지보다 작은 에너지를 갖는 광자 (Photon)를 조사한 C-V 곡선의 차이는 광자의 에너지에 의해 질화막 전도대로 여기된 전자가 실리콘 기판으로 빠져나감으로 인해 나타나므로, C-V 곡선 차이에서 추출된 커패시턴스 값을 해당 에너지 준위에 포획되어 있던 전자량으로 연결 지으면 트랩 양을 추출할 수 있게 된다. 이때 에너지 준위를 스캔하기 위하여 게이트 전압 변화와 광자의 에너지가 함께 사용된다. 그림 7(b)에는 제안된 방법으로 추출된 트랩 에너지 준위를 기존의 방법과 비교하여 나타내고 있다.



(a)



(b)

그림 7. (a) C-V의 광응답을 이용한 SONOS 질화막 트랩 에너지 준위 추출 원리와 (b) 추출 결과. [15]

다음은 질화막 내 포획된 전하의 횡적 공간 분포 추출법에 대하여 살펴본다. 앞서 3장에서 기술했듯이 전하의 횡적 분포는 NROM 메모리의 쓰기/지우기 내성 및 각종 간섭에 중요한 영향을 미친다. 기존에는 MOSFET에서 널리 사용되는 전기적 전하펌핑법 (Charge Pumping Method)을 그대로 이용하거나 [16], SONOS Cell의 GIDL (Gate-Induced Drain Leakage) 전류의 변화를 문턱전압, 평탄밴드전압과 비교하여 전하의 횡적 분포를 추출하는 방법 [17], DC I-V와 C-V, TCAD와 전하펌핑 데이터를 모두 활용하는 복잡한 방법 [18] 등이 제안되었다. 최근에 광학적인 방법으로 NROM 메모리의 포획전하의 횡적 분포를 추출하는 방법이 제안되었는데 [19], 핵심 아이디어를 그림 8(a)~(b)에 나타내었다. 실리콘 기판의 밴드갭 에너지 이상의 에너지를 갖는 광자를 SONOS 구조에 조사하면서 기판 전극에 흐르는 전류를 게이트 전압의 함수로 측정하면 평탄밴드전압 조건을 기점으로 기판 전류의 계단 모양이 나타나게 되는데, 그 이유는 평탄밴드전압 직전과 직후의 게이트 전압 조건에서 실리콘 채널 표면의 전계의 방향이 급격히 변하면서 기판전류를 만들어내는 전자와 홀의 움직임이 급격히 변화하기 때문이다. 이때, 해당 전류 계단을 측정 가능할 정도의 큰 양으로 만들기 위하여 광자 에너지를 이용하여 전자-홀 생성을 의도적으로 유발하는 것이다. 만약 포획된 전하가 횡적으로 복잡하게 변화하면 공간적으로 평탄전압의 값이 달라지므로 기판전류는 그림 8(c)의 TCAD 결과와 같이 다중 계단의 형태가 되고, 이때 각 계단의 기판 전류량과 각 계단에 해당하는 게이트 전압 폭이 각각 포획된 전하량과 공간 분포에 해당하게 된다. 그림 8(d)는 SONOS 플래시 메모리에서 실제 측정된 다중 계단 모양의 기판 전류를 나타낸다.

마지막으로 터널링 산화막/실리콘 계면의 트랩 에너지 준위 추출에 대해 살펴보자. 이러한 계면 트랩은 쓰기/지우기 동작 반복에 따라 증가하는 것으로 알려져 있는데, 계면 트랩의 증가에 따라 셀 트랜지스터의 성능이 감소하고 읽기 속도가 둔화되며, 계면 트랩을 통한 전하 누설로 인해 전하보유특성이 열화되어 신뢰성 문제를 야기하는 것으로 알려져 있

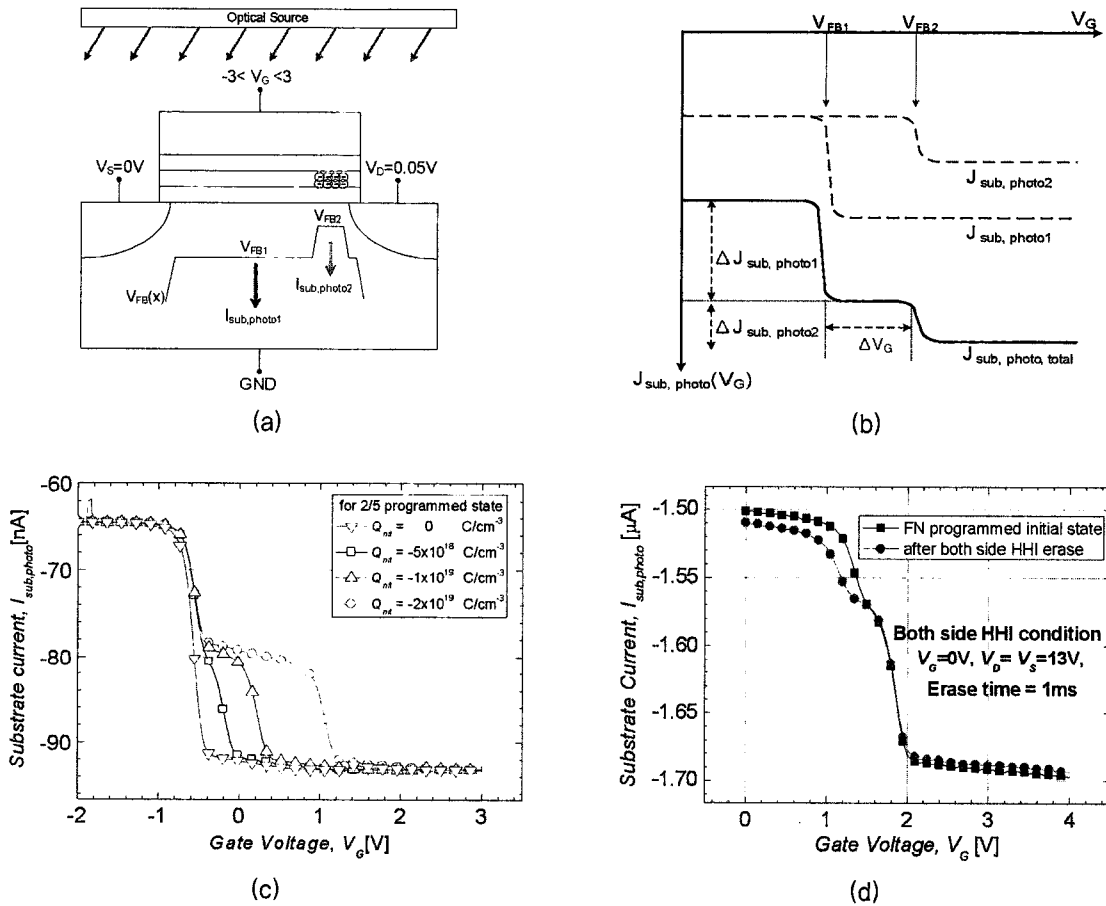
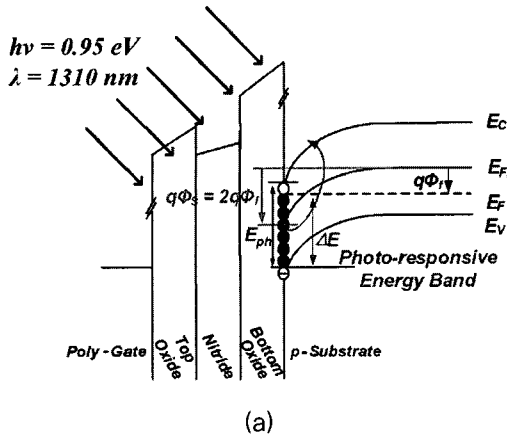


그림 8. NROM 메모리의 기판전류의 광응답을 이용한 포획전하의 형적 분포 추출 원리와 결과 [19].

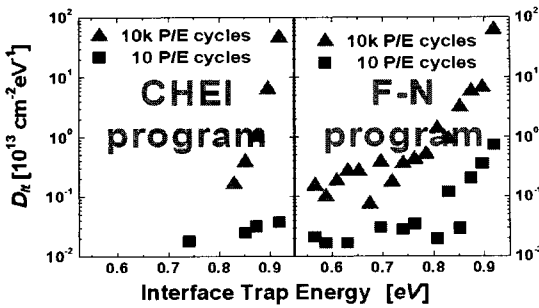
다. 기존의 계면 트랩은 전기적 전하펌핑법을 이용하여 추출하여 왔으나, 이는 특성분석 과정에서 추가의 전기적 스트레스를 SONOS 메모리에 가하게 되므로, 나노 스케일의 SONOS에 적용하기에는 적합하지 않다. 또한 터널링 산화막 두께가 얇아질수록 게이트 누설전류로 인해 측정되는 전하펌핑 전류의 값에 오차가 커지게 되며, 3장에서 기술했듯이 SOI 기판 위의 3차원 트랜지스터에는 적용하기 어렵다는 단점을 가지고 있다. 최근에는 실리콘 기판의 밴드갭보다 작은 에너지를 가지는 광자를 조사하여 SONOS 메모리 셀 트랜지스터의 문턱전압 이하 기술기의 변화량을 모니터링하는 방법이 제안되었

다 [20]. 그림 9(a)에서와 같이, 광자의 에너지와 게이트 전압의 함수로 조절되는 계면 트랩의 에너지 준위로부터 실리콘 기판 전도대로 여기되는 전자는 문턱전압 이하 전류의 변화를 주므로, 광자 조사 전후의 문턱전압 이하 기술기의 변화량이 해당 게이트 전압과 매칭되는 계면 트랩 에너지 준위에 존재하는 계면 트랩 밀도가 되는 것이다. 그림 9(b)에서 추출된 계면 트랩 에너지 준위를 나타내었다.

이상에서 살펴본 바와 같이, SONOS 플래시 메모리의 핵심 파라미터 추출 및 모델링에 있어서 기존 방법보다 빠르고 간편하며 분석 과정에서 전기적 스트레스를 유발하지 않는 광학적 방법들이 다양하게



(a)



(b)

그림 9. (a) 광학적 전하펌핑을 이용한 계면 트랩 에너지 추출 원리 및 (b) 추출 결과 [20].

시도되고 있고 이러한 분석 툴 및 방법론의 진화는 향후 SONOS 플래시 메모리의 DFM/DFY 방법론 확립에 중요한 역할을 할 것이다.

5. 결론

세계 반도체 유력 기업들과 학계의 협의를 거쳐서 정한 국제 반도체기술 로드맵 (ITRS) 2007년 판에 따르면 SONOS 플래시 메모리 기술은 2012년을 기점으로 부유 게이트 플래시 메모리의 기술적 한계를 완전히 대체할 것으로 전망되며, NAND형 SONOS

플래시 메모리의 경우, 40 nm 기술이 본격 도입되는 2008년 이후 5년간 약 500억 달러 이상의 시장을 형성할 것으로 보인다. 특히 하드디스크 드라이브를 대체할 것으로 예상되어지는 SSD의 시장 규모의 경우, 웨퍼트리서치는 2007년 5억8000만 달러에서 2012년 101억 달러로 20배 커질 것으로 예상하고 있고, 가트너는 SSD를 탑재한 노트북이 2008년 약 400만대에서 2010년에는 8배가 늘어난 3200만대에 육박할 것으로 전망하고 있다.

이러한 동향에 아울러 부유 게이트 플래시 메모리가 이미 기술적 한계에 도달하였고, MRAM, PRAM, ReRAM 등 차세대 메모리의 신뢰성 및 양산성을 고려한 설계가 아직 요원함을 고려할 때, 앞서 4장에서 기술한 핵심 파라미터 추출과 신뢰성 모델링 등의 연구 개발이 성공적으로 이루어진다면, SONOS 플래시 메모리는 나노 결정 플래시 메모리 등과 함께 향후 5년 내에 비휘발성 메모리의 주류로 성장할 것으로 전망된다.

참고 문헌

- [1] S. Lai, *et al.*, "Tunnel oxide and ETOXtm flash scaling limitation," in Tech. Dig. of Int'l NonVolatile Memory Technology Conference, p. 6-7, 1998.
- [2] B. Eitan, *et al.*, "NROM: A novel localized trapping, 2-bit nonvolatile memory cell," *IEEE Elec. Dev. Lett.*, Vol. 21, p. 543-545, 2000.
- [3] Y. Park, *et al.*, "Highly Manufacturable 32Gb Multi-Level NAND Flash Memory with 0.0098 μm^2 Cell Size using TANOS(Si-Oxide-Al₂O₃-TaN) Cell Technology," in Tech. Dig. of IEDM, p. 2.1, 2006.
- [4] A. Shappir, *et al.*, "Spatial characterization of localized charge trapping and charge redistribution in the NROM device," *Solid-State Electronics*, Vol. 48, p. 1489-1495, 2004.
- [5] A. Furnemont, *et al.*, "Root cause of charge loss in a nitride-based localized trapping memory cell," *IEEE Trans. Elec. Dev.*, Vol. 54, p. 1351-1359, 2007.
- [6] Seung-Hwan Seo, *et al.*, "Channel width dependence of hot electron injection program/hot hole erase cycling behavior in silicon-oxide-



nitride-oxide-silicon (SONOS) memories," *Solid-State Electronics*, Vol. 52, p. 844-848, 2008.

[7] T-H Hsu, *et al.*, "A High-Speed BE-SONOS NAND Flash Utilizing the Field-Enhancement Effect of FinFET," in Tech. Dig. of IEDM, p. 35.1, 2007.

[8] S. Lombardo, *et al.*, "Advantages of the FinFET Architecture in SONOS and Nanocrystal Memory Devices," in Tech. Dig. of IEDM, p. 35.3, 2007.

[9] J. Fu, *et al.*, "Trap Layer Engineered Gate-All-Around Vertically Stacked Twin Si-Nanowire Nonvolatile Memory," in Tech. Dig. of IEDM, p. 4.2, 2007.

[10] Wen-Jer Tsai, *et al.*, "Positive Oxide Charge-Enhanced Read Disturb in a Localized Trapping Storage Flash Memory Cell," *IEEE Trans. Elec. Dev.*, Vol. 51, p. 434-439, 2004.

[11] Y. Yang, and M. H. White, "Charge retention of scaled SONOS nonvolatile memory devices at elevated temperatures," *Solid-State Electronics*, Vol. 44, p. 949-958, 2000.

[12] T. H. Kim, *et al.*, "Charge decay characteristics of silicon oxide nitride oxide silicon structure at elevated temperatures and extraction of the nitride trap density distribution," *Appl. Phys. Lett.*, Vol. 85, p. 660-662, 2004.

[13] E. Lusky, *et al.*, "Traps spectroscopy of the Si₃Ni₄ layer using localized charge-trapping nonvolatile memory device," *Appl. Phys. Lett.*, Vol. 85, p. 669-671, 2004.

[14] Y. Y. Liao, *et al.*, "Profiling of nitride-trap-energy distribution in SONOS flash memory by using variable-amplitude low-frequency charge-pumping technique," *IEEE Electron Device Lett.*, vol. 28, pp. 828-830, 2007.

[15] J. U. Lee, *et al.*, "Optical capacitance-voltage characterization of charge traps in the trapping nitride layer of charge trapped flash memory devices," *Appl. Phys. Lett.*, Vol. 91, p. 223511-223513, 2007.

[16] S.-H. Gu, T. Wang, W.-P. Lu, W. Ting, Y.-H. J. Ku, and C.-Y. Lu, "Characterization of programming charge lateral distribution in a two-bit storage nitride flash memory cell by using a charge-pumping technique," *IEEE Trans. Elec. Dev.*, Vol. 53, p. 103-108, 2006.

[17] E. Lusky, Y. S.-Diamand, G. Mitenberg, A. Shappir, I. Bloon and B. Eitan, "Investigation of

channel hot electron injection by localized charge-trapping nonvolatile memory devices," *IEEE Trans. Elec. Dev.*, Vol. 51, p. 444-451, 2004.

[18] P. B. Kumar, *et al.*, "Later profiling of trapped charge in SONOS flash EEPROMs programmed using CHE injection," *IEEE Trans. Elec. Dev.*, Vol. 53, p. 698-705, 2006.

[19] Kang Seob Roh, *et al.*, "Novel Flat Band Voltage Extraction using Optical Substrate Current and Lateral Profiling of Trapped Charges in Localized Charge Trapping Flash Memory Cells," in The 15th Korean Conference on Semiconductors, Vol. 2, p. 465-466, Feb. 2008.

[20] S. Lee, *et al.*, "Optical charge pumping technique for extracting interface states of nano-scale SONOS flash memories," *Journal of Korean Physical Society*, Vol. 51, p. 2063-2068, 2007.

저|자|약|력



성 명 : 김대환

◆ 학 력

- 1996년 서울대 전기공학부 공학사
- 1998년 서울대 대학원 전기공학부 공학석사
- 2002년 서울대 대학원 전기컴퓨터공학부 공학박사

◆ 경 력

- 2002년 - 2005년 삼성전자 메모리사업부 DRAM 설계실 책임연구원
- 2005년 - 현재 국민대 전자공학부 조교수

