

Conventional CMOS 공정을 위한 GGNMOS Type의 ESD 보호소자의 TLP 특성 평가

TLP Properties Evaluation of ESD Protection Device of GGNMOS Type for Conventional CMOS Process

이태일^{1,a}, 김홍배²
(Tae-II Lee^{1,a} and Hong-Bae Kim²)

Abstract

Abstract In this paper, we deal with the TLP evaluation results for GGNMOS in ESD protection device of conventional CMOS process. An evaluation parameter for GGNMOS is that repeatability evaluation for reference device(W/L=50 $\mu\text{m}/1.0 \mu\text{m}$) and following factors for design as gate width, number of finger, present or not for N+ guard-ring, space of N-field region to contact and present or not for NLDD layer. The result of repeatability was showed uniformity of lower than 1 %. The result for design factor evaluation was ; 1) gate width leading to increase It2, 2) An increase of finger number was raised current capability(It2), and 3) present of N+ guard-ring was more effective than not them for current sink. Finally we suggest the optimized design conditions for GGNMOS in evaluated factor as ESD protection device of conventional CMOS process.

Key Words : ESD, GGNMOS, TLP

1. 서 론

MOSFET을 기반으로 한 CMOS 공정의 경우 채널 길이 감소에 따른 Short channel 효과 및 유효 산화막 두께(Effective oxide thickness) 감소에 따른 Gate 산화막의 절연성 문제가 대표적인 문제로 Issue화 되어지고 있다. 이와 함께 제품 Level에서는 ESD와 같은 신뢰성 문제가 중요하게 인식되고 있는데, 이는 집적도 향상에 따른 유효 산화막 두께의 감소가 Gate에 인가되는 전계의 세기를 증가시키게 되어 이를 보호하기 위한 보호소자의 역할도 더욱 강조되어지고 있기 때문이다[1,2].

그림 1, 2에는 기본적인 ESD 보호회로의 개념도와 요구되는 I-V 특성들을 도시하였다. 그림 1

에 표시된 ESD 보호소자의 경우 적용공정, 사용전압 그리고 요구조건에 따라 여러 가지 소자들이 사용될 수 있지만 통상 일반적인 CMOS 공정의 경우 IC의 집적화를 고려하여 MOSFET Type의 보호소자를 적용하고 있다. 이 ESD 보호소자는 정상적인 신호 유입시에는 Normally turn-off 상태에 놓여야 하고, ESD Pulse 유입시에는 Turn-on이 되도록 설계되어야 한다[3].

이와 같은 조건을 만족시키기 위해 ESD 보호소자에 대한 Design scheme이 필요한데, 이를 그림 3에 나타내었다. 그림 3에 나타낸 I-V 특성은 GGNMOS 소자와 같은 Breakdown based 보호소자에 대한 Design guide이다[4].

GGNMOS(Gate-Grounded NMOS)의 경우 해당 CMOS 공정의 기본 NMOSFET 구조를 그대로 채용한 것으로 Metal 연결만 게이트와 소스를 연결한 구조이다. 하지만 내압(Break down voltage) 조절을 위해 GGNMOS의 채널 영역만 별도의 Doping을 시행할 수도 있다. 그림 3을 참고하여 요구되는 특성을 간단히 정리하면 다음과 같다.

1. 청주대학교 전자공학과
(충북 청주시 상당구 내덕동 36)
2. 청주대학교 전자정보공학부
a. Corresponding Author : taeillee@cju.ac.kr
접수일자 : 2008. 5. 15
1차 심사 : 2008. 8. 27
심사완료 : 2008. 9. 22

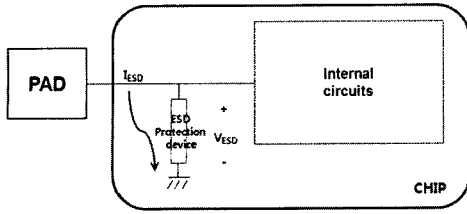


그림 1. ESD 보호회로 기본 개념.
Fig. 1. Concept for ESD protection circuit.

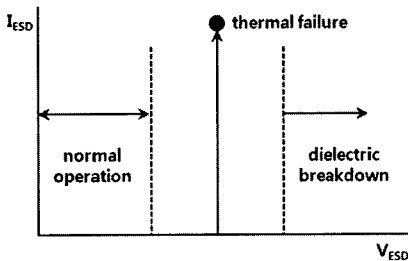


그림 2. ESD 보호소자에 대한 전기적 요구조건.
Fig. 2. Requested condition for ESD protection device.

- 1) Small leakage before triggering
 - 2) Low input capacitance
 - 3) $V_{t1} < V_{ox}$, $V_{t2} < V_{ox}$
 - 4) $V_{op} + \Delta V < V_{sp}$, V_{t1}
 - 5) R_{on} : small
 - 6) I_{t2} : Large
 - 7) Multi-finger triggering, $V_{t1} \leq V_{t2}$
- * V_{op} : Operation voltage
 - * V_{ox} : Oxide breakdown voltage
 - * V_{sp} : Snapback voltage

V_{t1} 의 경우 Drain-Well로 구성된 Diode 구조에서 발생하는 Breakdown이며 이는 Well 전위의 변화를 가져온다. 이로 인하여 V_{sp} 지점에서는 기생 NPN Bipolar transistor가 Activation되어 Bipolar의 동작기구를 따른다. 이와 같은 현상은 V_{t2} 지점에서 Thermal failure가 발생되면서 중단되는데, 이 지점에 이르면 소자는 파괴되어 더 이상 동작하지 않게 된다.

이와 같이 Design guide에서 제시된 Parameter들을 TLP(Transmission Line Pulse) 측정을 통해 추출하게 되면 ESD 보호소자로써의 적용가능성을 평가할 수 있으며 설계 조건에 따른 비교 평가에도

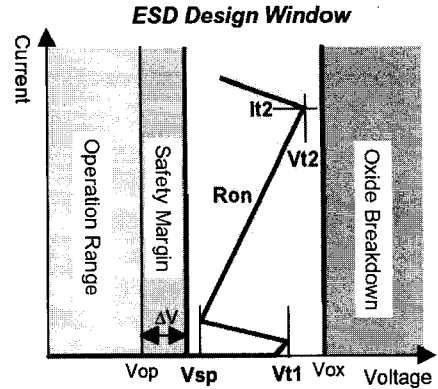


그림 3. Breakdown based type의 ESD 보호소자에 대한 Design scheme.

Fig. 3. Design scheme for ESD protection device as breakdown based type.

유용하게 사용될 수 있다. TLP 측정 방식에 대한 Concept을 그림 4에 간단히 나타내었다[5].

본 논문에서는 GGNMOS의 설계변수에 따른 TLP 측정 결과를 통하여 제시된 설계변수를 이용한 최적의 ESD 보호소자 설계조건을 제시하고자 하였다.

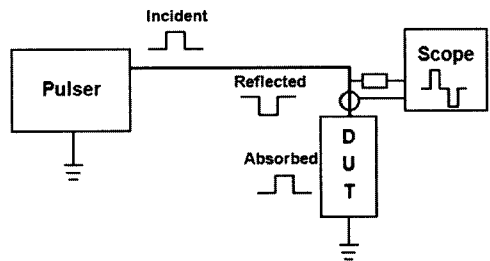


그림 4. TLP 측정방식의 개략도.
Fig. 4. Schematic concept of TLP measurement.

2. 실험 개요

2.1 TLP 측정구성 및 방법

본 논문에서 사용된 TLP 측정시스템은 ORYX社의 Celestron I(Standard TLP system)이다. 측정을 위한 구성도를 그림 5에 나타내었다. 그림 5를 보면 그림 4에 개략적으로 나타낸 측정 Concept을 실제적으로 어떻게 구현되는지 좀 더 쉽게 이해할 수 있을 것이다.

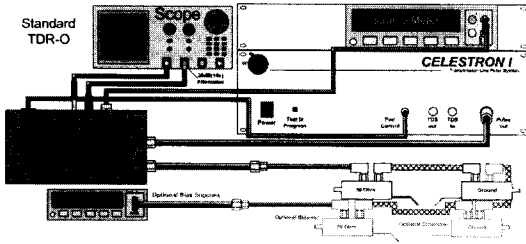


그림 5. TLP 측정구성(Celestron I, Wafer level).
Fig. 5. Measurement configuration of TLP (Celestron I, Wafer level).

Main pulse generator에서 연결된 케이블은 POD (Point Of Distribution)라는 Relay box를 통해 Oscillo scope와 DUT(여기서는 Wafer)와 연결된다. TLP 측정을 위한 Setting 방법은 그림 6의 Flow chart로 나타내었고, 이 TLP 시스템에서 적용되는 System spec은 표 1에 별도로 정리하였다.

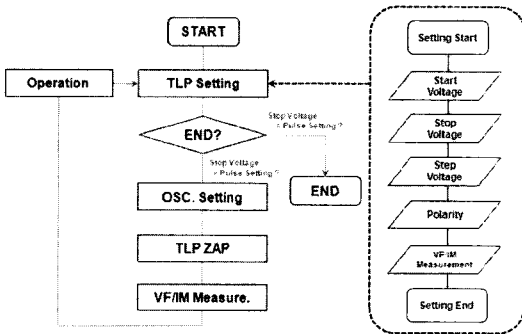


그림 6. TLP 측정의 순서도.
Fig. 6. Flow chart of TLP measurement.

표 1. TLP 시스템에서 TDR 구성의 규격.

Table 1. Specification of TDR configuration for TLP system.

Load Line Impedance seen by the DUT	50Ω
Maximum Pulse Current to DUT	10A
Minimum Pulse Width(TD)	5ns
Recommend Pulse Width(TD)	100ns
Practical Maximum Pulse Width(TD)	500ns
Recommend Pulse Rise Time(T _r)	< 10ns
Practical Rise Time(T _r)	> 500ps
Recommended Maximum Peak Current Ringing	20% Overshoot
Recommended Maximum Current Ringing Duration	25%(ESDA)
Typical Maximum Current Ringing Duration	2ns
Recommended Measurement Time Window	From < 65% to 95%
Practical Measurement Time Window	40% to 99% for longer pulses
Recommended Time between Successive Pulses	0.3sec
Concern for Multiple Reflections	Yes,bipolar,attenuator

TDR(Time Domain Reflection)은 가장 대표적인 TLP 측정의 구성방법이며, 그림 4의 구성과 같다. 위의 내용 중 주목할 항목은 Pulse width와 Pulse rise time인데, 위에서 100 ns의 Pulse width를 Recommend한 이유는 HBM Mode의 ESD Pulse를 Rectangle 형태의 Pulse로 구현할 때 동일한 에너지를 갖도록 하기 위함이다. Pulse rise-time의 경우 10 ns이하를 권고하고 있으며, 이들 Pulse width와 Rise time은 ESDA의 TLP 측정분과에서 제시한 ANSI/ESD SP5.5.1-2004의 규격을 따른다[6].

다시 말하면 TLP 측정 시스템은 HBM Mode의 Pulse를 인위적으로 구현하여 DUT에 인가한 뒤에 따른 I-V 특성을 추출하는 장치라고 말할 수 있다. 위의 표 1의 내용도 HBM Mode의 Pulse 구현을 목적으로 정립된 것으로 볼 수 있다.

2.2 평가대상소자

본 논문에서 사용된 소자는 GGNMOS이다. GGNMOS는 기존의 NMOSFET 구조에서 Gate와 Source 단자를 연결시킨 구조로써 기존 CMOS 공정에서 새로운 공정도입 없이 제작이 가능하여 MOSFET을 기반으로 하는 IC의 ESD 보호소자로 많이 사용되고 있다. 또한 Diode 보다 Turn-on 특성이 좋고, 집적화에 용이한 장점을 갖고 있다[7]. 그리고 본 GGNMOS는 LDD와 Silisidation 공정을 포함한 0.5 μm CMOS 공정을 이용하여 제작되었다.

표 2에는 GGNMOS의 설계 인자 중 TLP 평가요소로 사용된 사항들을 정리한 것이다. 참고로 ESD 소자에 일반적으로 적용되지 않는 Field 영역(N-Field)이나 LDD의 경우 TLP Parameter의 영향을 확인하기 위해 시험적으로 평가해 본 것이다.

표 2. GGNMOS의 설계 인자.

Table 2. Design factors for GGNMOS.

Factor	Value
Channel, L	1.0 μm
Channel, W	25~200 μm
Number of Finger, # (Unit width : 50 μm, 100 μm)	1~12 ea
NFLD to CNT Space	1.0/2.0/3.0 μm
N+ Guard-ring	유/무
NLDD Layer	유/무

표 3. 기준소자(W/L=50/1.0[$\mu\text{m}/\mu\text{m}$])의 재현성 결과.
Table 3. Result of repeatability for reference device.

Sample	Vt1	Vh	Vt2	It2
1	12.50	6.56	11.00	4.22
2	12.48	6.44	10.79	4.17
3	12.45	6.51	10.85	4.15
4	12.46	6.56	10.92	4.14
5	12.47	6.56	10.94	4.16
6	12.44	6.52	10.86	4.16
7	12.47	6.95	11.02	4.15
8	12.43	6.49	10.06	4.24
9	12.46	6.61	11.33	4.15
10	12.43	6.52	11.19	4.11
Mean	12.46	6.57	10.90	4.16
Stdev	0.02	0.14	0.34	0.04
MIN	12.43	6.44	10.06	4.11
MAX	12.50	6.95	11.33	4.24
Range	0.07	0.50	1.27	0.13
Unif.(%)	0.17	2.12	3.08	0.92

구분	Vt1	Vh	Vt2	It2
W=25	9.94	7.23	10.55	0.31
W=50	9.97	6.55	11.01	0.71
W=100	8.98	6.37	10.35	0.99
W=150	7.03	7.00	10.65	1.47
W=200	7.81	7.81	10.54	1.81

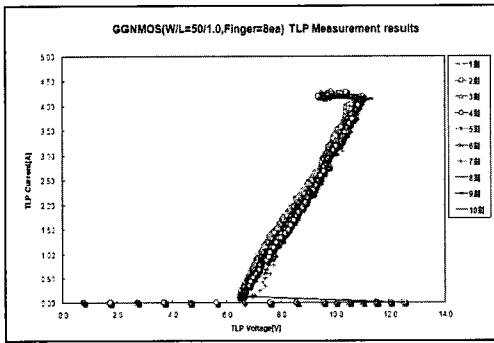


그림 7. GGNMOS 기준소자에 대한 재현성 측정 결과.
Fig. 7. Result of repeatability for reference GGNMOS.

3. 결과 및 고찰

먼저 TLP 측정 장비의 재현성 평가를 위해 기준 소자로 준비한 W/L=50/1.0[$\mu\text{m}/\mu\text{m}$], Finger=8ea 인 GGNMOS를 이용하여 10회 반복 측정을 행하였다. 이에 대한 결과를 표 3과 그림 7에 나타내었다. 결과를 보면 소자의 Turn-on을 의미하는 Vt1과 Current capability를 의미하는 It2에 대해 1% 미만의 Uniformity를 가짐을 확인할 수 있었다.

표 3의 Vh는 Holding voltage를 의미하며, 그림 3의 Vsp와 같은 의미이다. 그리고 본 소자에 적용한 Design window는 IC 동작영역(Vop)이 5 V이고, Oxide의 BV(Breakdown Voltage, Vox)는 15 V이다.

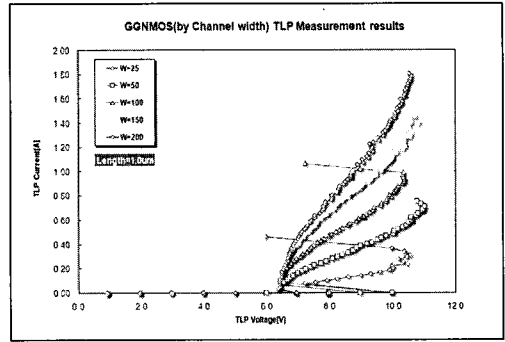


그림 8. Channel width 변화에 따른 TLP 측정결과.
Fig. 8. TLP measurement result as channel width.

그림 8에는 Channel width 변화에 따른 TLP 측정 결과 및 그래프를 나타내었다. Stephen의 Modeling 결과[8]와 같이 Width 증가에 따라 It2 값이 증가함을 확인할 수 있었다. 참고로 Width 평가에 사용된 GGNMOS는 모두 Single finger type이다.

다음으로 고정된 Width(50 μm)에 대해서 Finger 개수 변화에 따른 GGNMOS의 TLP 특성 변화를 평가하였다. 그림 9에 그 결과를 도시하고 있으며, 이전 실험에서 Width 변화에 대한 결과를 확인하였기 때문에 본 평가에서는 Polarity를 반대로 하여 Current handling 수준에 대한 검증을 하기로 하였다.

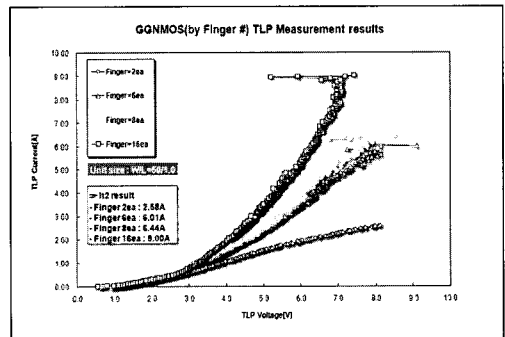


그림 9. Finger 개수 변화에 따른 TLP 측정결과.
Fig. 9. TLP measurement result as number of finger.

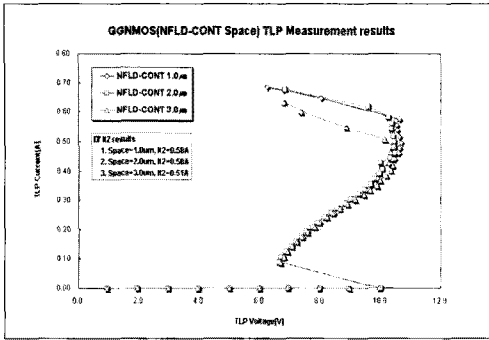


그림 10. N-Field 영역에서 Contact 까지의 거리에 따른 TLP 측정결과.
 Fig. 10. TLP measurement result as N-Field region to contact space.

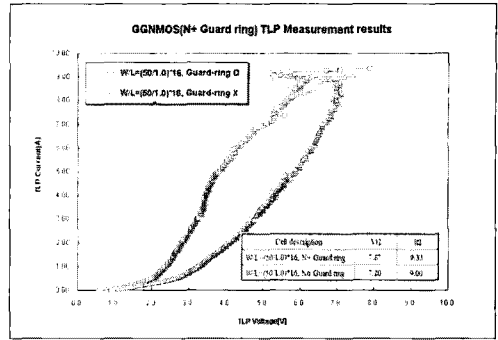


그림 11. N+ Guard-ring 유·무 따른 TLP 측정 결과.
 Fig. 11. TLP measurement result as present or not about N+ Gurad-ring.

결과에서 보면 2.5 A에서부터 9.0 A까지 Finger 수 변화에 따라 I_{t2} 값이 증가함을 확인할 수 있었다. 실제적으로 Chip 면적이 허용하는 한 I_{t2} 가 큰 소자를 ESD 보호소자로 적용하는 것이 효과적이다.

N-Field region to Contact space 변화에 따른 평가결과를 그림 10에 나타내었다. 평가된 조건내에서의 V_{t1} 이나 I_{t2} 는 변별력 있는 결과를 나타내지 않았다. 하지만 N-Field layer의 추가로 인해 낮아진 Well 영역의 농도가 기생 NPN Transistor의 Turn-on을 조기 발생시켜 결과적으로 현저히 낮은 I_{t2} 를 갖게 함을 확인할 수 있었다. 이것은 GGNMOS 구조설계시 참고할만한 정보가 될 수 있을 것이다.

N+ Guard-ring의 삽입에 따른 결과는 그림 11에서와 같이 Current capability 측면에서는 큰 차이를 보이진 않았으나, 고농도의 N+ 영역으로 인해 Current sink 특성이 약 2배가량 향상되었음을 확인할 수 있었다. 평가 소자는 $W/L = 50/1.0(\mu m/\mu m)$, Finger=16ea인 소자를 기준으로 5 V에서 N+ Guard-ring이 있는 것은 6.99 A, 없는 것은 3.40 A의 I_{t2} 값을 보여주었다.

마지막으로 NLDD Layer 삽입에 따른 TLP 평가결과를 그림 12에 나타내었다. 통상 GGNMOS의 경우 목표로 하는 BV를 만족하기 위해 별도의 ESD Layer를 삽입하며 Doping level을 조절한다. 이 ESD Layer의 Junction depth는 NLDD보다 깊고 Well보다 높은 농도를 갖는다. 만약 NLDD Layer를 GGNMOS에 적용하게 되면 공정상의 편의를 도모할 수 있다. 결과를 보면 I_{t2} 값은 동일한

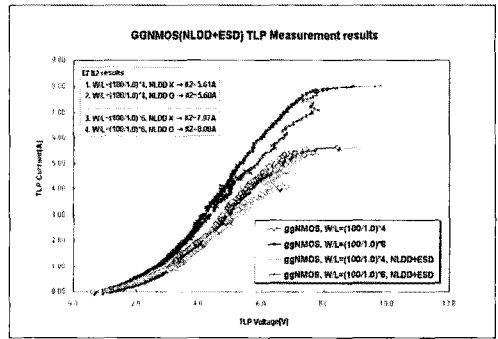


그림 12. NLDD 삽입에 따른 TLP 측정결과.
 Fig. 12. TLP measurement result as present or not about NLDD Layer.

수준을 확보하였으나, NLDD가 삽입된 경우 NLDD와 ESD Layer간의 농도 Profile 영향으로 인한 간섭 현상이 나타났다. 이와 같은 결과는 ESD 보호소자 특성 평가상 마이너스 요인으로 적용된다.

4. 결론

Standard TLP 측정장비를 이용하여 GGNMOS Type의 ESD 보호소자에 대한 TLP 평가를 시행하였다. 이에 대한 결과를 토대로 다음의 표 4와 같은 Design guide를 제시하였다.

표 4. GGNMOS Type의 ESD 보호소자에 대한 Design guide.

Table 4. Design guide for ESD protection device of GGNMOS type.

Design factor	I ₂	Recommend	Remark
Channel width	↑↑	Higher than 150um	I ₂ >1A
Number of finger	↑	Don't care	Depend on Layout
NFLD to CNT Space*	ND**	Don't care	Depend on Layout
N+ Guard-ring	ND	Present	Improving Ron
NLDD Layer	ND	Absent	-

* NFLD : N-Field, CNT : Contact
 ** ND : No Dependence

위에 대한 언급된 결과들은 GGNMOS Type의 ESD 보호소자의 설계 및 제조과장에서 고려되어 지는 인자들에 대한 지침이 될 수 있을 것이며, TLP라는 측정 기법을 통한 결과들은 기존의 ESD 소자에 대한 결과들과 더불어 추가적으로 제시될 수 있는 신뢰성 있는 자료가 될 수 있을 것이다.

참고 문헌

[1] J. K. Keller, "Protection of MOS integrated circuits from destruction by electrostatic discharge", EOS/ESD Symposium Proc., 1980.

[2] B. K. Joung, J. W. Kang, H. J. Hwang, S. Y. Kim, and O. K. Kwon, "Trade-off characteristic between gate length margin and hot carrier lifetime by considering ESD on NMOSFETs of submicron technology", Trans. EEM, Vol. 7, No. 1, p. 1, 2006.

[3] 정민철, 윤지영, 유장우, 성만영, "ESD 보호를 위한 LVTSCR의 래치업 차폐회로", 한국전기전자재료학회 2005하계학술대회논문집, p. 178, 2005.

[4] S. Dabral and T. Maloney, "Basic ESD and I/O Design", John Wiley & Sons, Inc., p. 16, 1998.

[5] Steven H. Voldman, "ESD Physics and Devices", John Wiley & Sons, Ltd., p. 7, 2005.

[6] T. Smdes, R. M. D. A. Velghe, R. S. Ruth, and A. J. Huitsing, "The application of transmission line pulse testing for the ESD analysis of integrated circuits", Journal of Electrostatics 56, p. 399, 2002.

[7] A. Stricker, D. Gloor, and W. Fichtner, "Layer optimization of an ESD protection n-MOSFET by simulation and measurement", in Proc. EOS/ESD Symp., p. 205, 1995.

[8] Stephen G. Beebe, "Characterization, Modeling, and Design of ESD Protection Circuits", Technical report, Advanced micro devices, Sunnyvale, California, 1998.