
CORDIC을 이용한 도플러 불변 저전력 BFSK 수신기의 FPGA구현

변건식*

FPGA Implementation of Doppler Invariant Low Power BFSK Receiver Using CORDIC

Kun-sik Byon*

이 논문은 동아대학교 학술연구비 지원에 의하여 연구되었음

요 약

본 논문은 대역폭에 제약을 받지 않는 우주 통신용에 사용할 목적으로 도플러에 강인한 저전력 비동기 FSK 수신기를 FPGA로 구현한 논문이다. 사용한 비동기 FSK 수신기는 심볼 검출을 하기 위해 16점 FFT를 이용하며 데이터의 주 속도는 10kbps이고 도플러에 강인하고 전력 효율과 신뢰성을 얻기 위해 디지털 회로로 설계된다. 또한 CORDIC 알고리즘을 이용하여 FFT 연산 시 사용되는 복소 승산을 가산기 및 천이기로 대체하여 저전력화 하였다. 설계 시스템의 검증을 하기 위해 먼저 Simulink로 시뮬레이션하여 성능을 확인하고 Xilinx사의 System Generator를 이용하여 FPGA 구현하여 성능을 비교 검증하였다. 결과적으로 Simulink 결과와 FPGA 구현 결과가 표6과 표7에 의해 잘 일치함을 확인하였다.

ABSTRACT

This paper is to design and implement a low power noncoherent BFSK receiver intended for future deep space communication using Xilinx System generator. The receiver incorporates a 16 point Fast Fourier Transform(FFT) for symbol detection. The design units of the receiver are digital design for better efficiency and reliability. The receiver functions on one bit data processing and supports main data rate 10kbps. In addition CORDIC algorithm is used for avoiding complex multiplications while computing FFT and multiplication of twiddle factor for low power is substituted by rotators. The design and simulation of the receiver is carried out in Simulink, then the Simulink model is translated to the hardware model to implement FPGA using Xilinx System Generator and to verify performance.

키워드

CORDIC, BFSK, FFT, System Generator, FPGA

I. 서론

근래 대역폭에 제한을 덜 받고 도플러에 강인하며 저

저력인 우주 통신용 수신기에 대한 관심이 집중되고 있다[1]. 도플러에 강인한 비동기 FSK 수신기 구조는 Grayver가 제안하였으며[1], 저전력을 하기 위한 FFT 검

출 기술은 Bertazzoni 등이 제안하였다[2]. 본 논문은 비동기 FSK 수신기 설계에 Grayver 구조를 이용하였으며, 심볼 검출을 하기 위한 FFT 검출기 설계에 CORDIC 알고리즘을 사용하여 송신기를 천이기와 가산기로 대체함으로써 전력 소비를 감소하였다[3,4].

시스템을 구성하기 위해 먼저 Simulink로 비동기 FSK 송수신기를 설계하고 송신 신호에 부가 잡음과 도플러 천이를 추가하였으며, 10kbps, 1kbps, 100bps의 데이터 속도에서 비트 오율과 도플러 천이를 실험하여 원하는 성능이 얻어짐을 확인한다. 설계된 수신기를 바탕으로 수신기를 FPGA로 구현하기 위해 Xilinx의 System Generator를 사용하여 모델 기반으로 변환한다. 그 후 변환된 하드웨어 모델은 Xilinx Spartan-3 FPGA로 합성, 구현되어 시스템 성능을 확인한다.

II. FSK 검출

FSK 변조의 일반적인 해석적 표현은 식 (1)과 같다.

$$s_i(t) = \sqrt{\frac{2E}{T}} \cos(\omega_i t + \phi), \quad 0 \leq t \leq T, i = 1, 2, \dots, M \quad (1)$$

여기서 $s_i(t)$ 는 변조 신호, E 는 정보의 심볼 폭 T 에 대한 $s_i(t)$ 의 에너지, ω_i 는 M 개의 이산치를 갖는 주파수 항이고 ϕ 는 위상 항으로 임의의 상수이다. 신호 $s_i(t)$ 에서 정보 심볼을 추출하는 과정은 FSK 검출이라 하며, 검출 과정은 동기 검출과 비동기 검출로 분류된다. 일반적으로 동기 검출은 BER 성능이 우수한 반면 설계가 복잡하고 소비 전력이 많으며, 비동기 검출은 BER 성능은 떨어지지만 설계가 간단하고, 전력 소비가 작아 소비 전력이 문제가 될 때는 비동기 검출이 유리하다. 따라서 본 논문에서는 저전력을 목적으로 하고 있기 때문에 비동기 검출을 사용하기로 하였다.

III. DFT와 CORDIC 알고리즘

비동기 FSK 시스템의 신호 검출은 DFT 검출을 사용하며[1], N 점 DFT는 식 (2)와 같다[3].

$$X(k) = \sum_{n=0}^{N-1} x(n) W_N^{nk}, \quad 0 \leq k \leq N-1 \quad (2)$$

DFT는 계산량이 많으며, 이를 해결한 것이 FFT이다. 그러나 FFT에서도 송산을 수행하여야 함으로서 전력 소비를 줄일 수 없어 저전력화에 문제가 발생한다. 따라서 본 논문에서는 CORDIC 알고리즘을 이용하여 송산을 위상 회전으로 대체하였다.

CORDIC 알고리즘은 Sine/Cosine이나 \tan^{-1} 를 계산하는 효율적인 알고리즘으로[4,5], 송산/계산을 천이 동작으로 처리함으로써 하드웨어를 디지털로 구현할 수 있다. 즉, FFT 계산을 할 때 입력 $x(n)$ 은 회전인자 W_N^k 으로 곱해지므로 송산기가 필요하지만 이는 $\exp(-j(2\pi/N))$ 와 같기 때문에 위상 회전으로 처리하면 되므로 송산기를 생략할 수 있다.

IV. FSK 수신기

FSK 수신기 구성은 그림 1과 같고 수신기의 사양은 표 1과 같다.

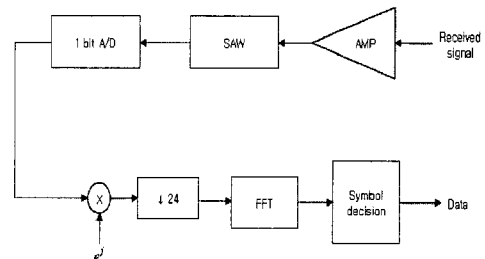


그림 1. FSK 수신기 시스템 구성도
Fig.1 Block diagram of FSK receiver system

표 1. 수신기 사양
Table. 1 Receiver Specification

변조 형태	캐리어 주파수	데이터 속도	도플러 천이
BFSK	473.1MHz	10kbps	± 10kHz

수신 신호는 저잡음 증폭기로 증폭되고, SAW 필터로 필터되며 필터된 신호는 1 비트 A/D 변환기를 사용하여 1 비트 precision으로 디지털화된다. 수신 신호의 캐리

어 주파수는 473.1MHz이고, 이 신호는 1.2MHz로 서브샘플된다[1]. 여기서 서브샘플을 하는 이유는 전력 소비를 줄이기 위해서이다[3]. 1 비트 디지털화된 신호는 처음에 복소 지수를 가진 신호를 곱함으로써 다운 변환되고 기저대역으로 전환된다. 서브 샘플링 주파수를 적절히 선택하면(37.5kHz) 출력을 $i, 1, -i, -1$ 중의 하나 값으로 얻을 수 있으며 승산을 제거하여, 사실상 하드웨어 승산기의 사용을 피할 수 있다. 1.2MHz 신호는 50kbps의 데이터 속도를 얻기 위해 24로 데시메이션(1.2MHz/24=50kbps)되며 FFT 검출기에서 5분주하여 10kbps를 얻는다.

V. 검출 과정

신호를 검출하는 FFT 검출기는 그림 2와 같다.

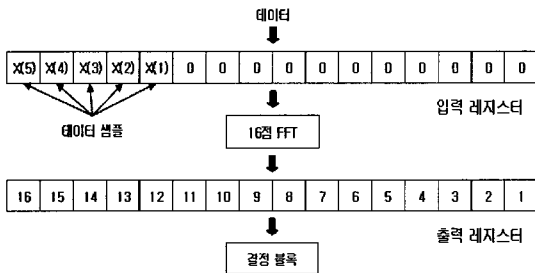


그림 2. FFT 검출기
Fig. 2 FFT Detector

FFT의 입력 레지스터는 5 샘플의 신호만을 취하고 나머지 11개는 0을 저장한다. 5개의 신호 샘플만을 취했을 때의 성능 손실을 0.25dB 이하이지만 전력을 크게 줄일 수 있는 장점이 있다[1]. FFT 출력은 16개이고 'bin'이라 하며 서로 다른 주파수 구간에서의 신호의 에너지를 나타낸다. 16개 bin 중에서 하나를 '결정(decision) bin'으로 취급하고, 결정 bin의 출력은 비교기를 이용하여 기저의 임계치와 비교된다. 결정 bin 값이 임계치보다 크면 심볼 1로 결정하고, 그렇지 않으면 심볼 0으로 결정한다.

VI. Simulink 모델

실험에 사용한 Simulink 모델은 그림 3과 같다.

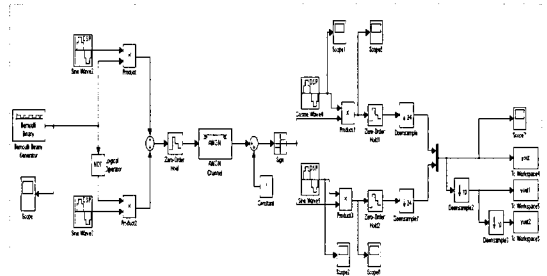


그림 3. FSK 수신기의 Simulink 모델
Fig. 3 Simulink model of FSK Receiver

송신기는 정보원으로 Bernoulli random number generator를 사용하며 속도는 10kbps로 설정한다. BFSK를 구성하기 위해 사용한 캐리어 주파수는 437.1MHz, 437.12MHz를 사용하였다. 수신기는 1 비트 A/D 변환기와 같은 기능을 하는 sign 블록이며, 샘플링을 1.2MHz이다. sign 블록의 출력은 복소 지수를 가진 신호를 곱함으로써 기저대역으로 다운 변환된다. 다운 변환된 신호는 데이터 속도를 50kbps로 줄이기 위해 24로 다운샘플되며, FFT 검출기로 입력된다. FFT 블록은 다시 5분주하여, 최종 데이터 속도를 10kbps로 설정한다. 다운 샘플된 신호는 workspace에 저장한 후 Matlab을 이용하여 후 FFT 처리한 후 결정 bin을 찾아 임계치와 비교함으로써 데이터를 추출한다.

VII. System Generator 모델

Simulink로 설계한 시스템을 FPGA로 구현하기 위해 Xilinx사의 System Generator를 사용하였다. 그림 4와 같이 송신기와 채널 블록은 Simulink 모델과 동일하게 구성하였고, 수신기는 Xilinx 블록셋을 사용하여 서브시스템 'Subsystem1'로 구성하였다.

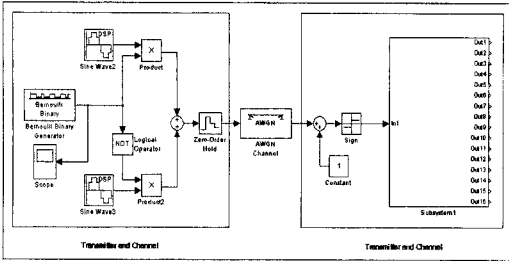


그림 4. FSK 수신기의 System Generator 모델
Fig. 4 System Generator Model of FSK Receiver

그림 4의 Subsystem1은 그림 5와 같이 두 개의 서브시스템으로 구성되며, 첫 서브시스템은 디지털화된 신호의 다운 변환과 데시메이션을 하고, 두 번째 서브시스템은 FFT 검출을 한다.

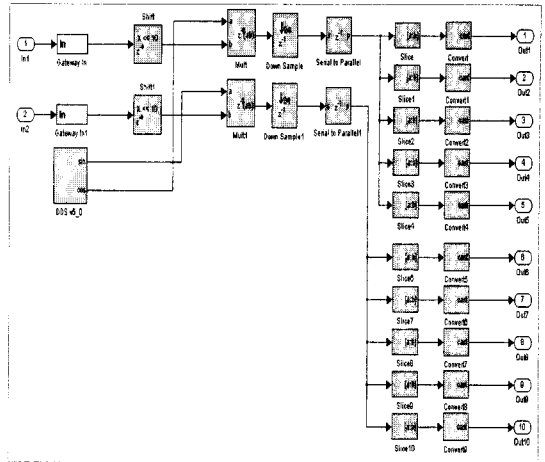


그림 6. Down Conversion의 System Generator 모델
Fig. 6 System Generator model of Down Conversion

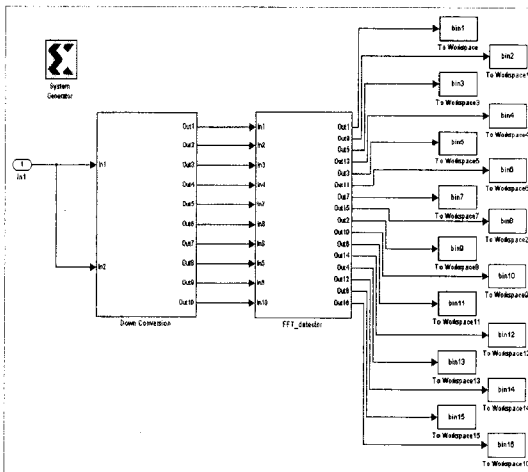


그림 5. System Generator block으로 구현한 수신기 모델
Fig. 5 Receiver model Implemented by System Generator blocks

그림 6은 수신기의 다운 변환 서브시스템의 하드웨어 설계이다. Simulink 블록과 같이 24분주된 출력은 S/P 블록을 이용하여 병렬화되고 실수 5 비트, 허수 5 비트를 출력한다.

또한 FFT 검출기는 CORDIC 알고리즘을 이용하여 구성하였으며 내부 구조는 그림 7과 같다.

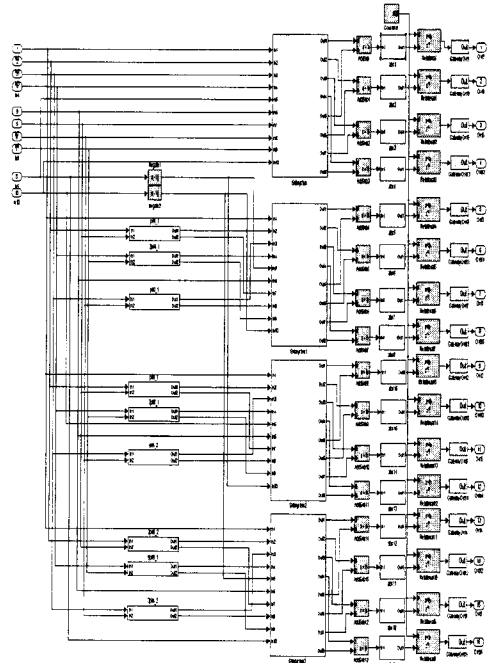


그림 7. 서브 시스템 'FFT_detector'의 내부 구조
Fig. 7 Internal Structure of Subsystem 'FFT_detector'

VIII. 시뮬레이션 결과

설계한 BPSK 수신기의 시뮬레이션 조건은 표 2와 같고 시뮬레이션 결과는 표 3, 표 4와 같다.

표 2. 데이터 속도와 SNR에 대한 시뮬레이션 조건
Table. 2 Simulation Condition for data speed and SNR

data rate	10kbps, 1kbps, 100bps
carrier frequency	437.1MHz, 437.12MHz
input signal power	100mW
SNR	1dB ~ 25dB

표 3. Simulink모델의 BER 성능
Table. 3 BER Performance of Simulink model

SNR (dB)	10kbps		1kbps		100bps	
	error	BER	error	BER	error	BER
1	1037	0.1037	115	0.115	11	0.11
5	660	0.0660	67	0.067	7	0.07
10	272	0.0272	23	0.023	2	0.02
15	16	0.0016	2	0.002	0	0
20	0	0	0	0	0	0
25	0	0	0	0	0	0

표 4. System Generator 모델의 BER 성능
Table. 4 BER Performance of System Generator

SNR (dB)	10kbps		1kbps		100bps	
	error	BER	error	BER	error	BER
1	1046	0.1046	123	0.123	29	0.29
5	665	0.0665	71	0.071	11	0.11
10	279	0.0279	25	0.025	7	0.07
15	17	0.0017	2	0.002	0	0
20	0	0	0	0	0	0
25	0	0	0	0	0	0

위의 표에서 Simulink의 성능과 System Generator의 성능이 거의 일치함을 확인할 수 있다. 또한 도플러 주파수 천이에 대한 수신기의 성능을 평가하기 위한 조건은 표 5와 같으며, 표 6과 표 7은 시뮬레이션 결과이다. 결과적으로 ±10kHz의 도플러 천이에 대해 만족스럽게 동작함

을 확인할 수 있다.

표 5. 도플러 천이에 대한 시뮬레이션 조건
Table. 5 Simulation Condition for Doppler shift

data rate	10kbps, 1kbps, 100bps
change in carrier frequency	437.1MHz, 437.12MHz ± (100Hz ~ 10kHz)
input signal power	100mW
SNR	15dB

표 6. 도플러 천이에 대한 Simulink 모델의 BER 성능
Table. 6 BER Performance of Simulink model for Doppler shift

10 kbps	doppler shift.	-10kHz	-5kHz	-1kHz	-100Hz	100Hz	1kHz	5kHz	10kHz
	BER	0.0394	0	0.0160	0.0101	0.0085	0.0010	0	0
1 kbps	doppler shift.	-10kHz	-5kHz	-1kHz	-100Hz	100Hz	1kHz	5kHz	10kHz
	BER	0.046	0	0.011	0.011	0.008	0	0	0
100 bps	doppler shift.	-10kHz	-5kHz	-1kHz	-100Hz	100Hz	1kHz	5kHz	10kHz
	BER	0.05	0	0	0	0.01	0	0	0

표 7. 도플러 천이에 대한 System Generator 모델의 BER 성능

Table. 7 BER performance of System Generator model for Doppler shift

10 kbps	doppler shift.	-10kHz	-5kHz	-1kHz	-100Hz	100Hz	1kHz	5kHz	10kHz
	BER	0.0423	0	0.0172	0.0118	0.0092	0.0014	0	0
1 kbps	doppler shift.	-10kHz	-5kHz	-1kHz	-100Hz	100Hz	1kHz	5kHz	10kHz
	BER	0.056	0	0.014	0.012	0.010	0.001	0	0
100 bps	doppler shift.	-10kHz	-5kHz	-1kHz	-100Hz	100Hz	1kHz	5kHz	10kHz
	BER	0.07	0	0	0.01	0.01	0	0	0

설계된 하드웨어 모델이 target device에서 동일하게 동작하는지 확인하기 위해 Hardware Co-simulation을 수행하였으며 그 모델은 그림 8과 같다.

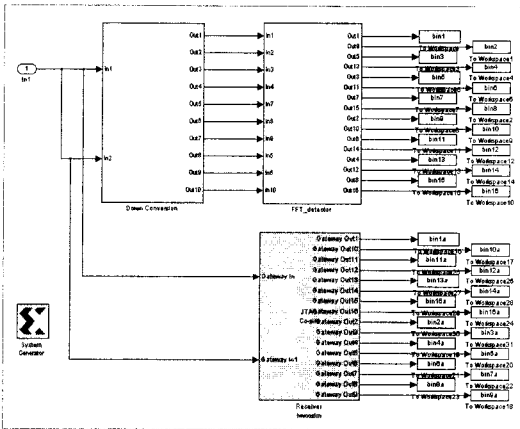


그림 8. Hardware Co-simulation 모델
Fig. 8 Hardware Co-simulation model

target board에 사용된 Product family는 Spartan-3이며, 사용한 디바이스는 xc3s500e-4 fg320이고, Xilinx system clock 주기는 20ns로 설정하였다.

그림 9는 Timing Analyzer를 이용하여 타이밍 해석을 하여 최대 동작 주파수를 측정한 결과이다. Trace 랩을 선택하면 아래와 같이 Minimum period와 Maximum frequency의 값을 볼 수 있다. 아래의 결과를 통해 최소 주기와 최대 동작 주파수가 각각 8.428ns와 118.652MHz임을 확인할 수 있다.

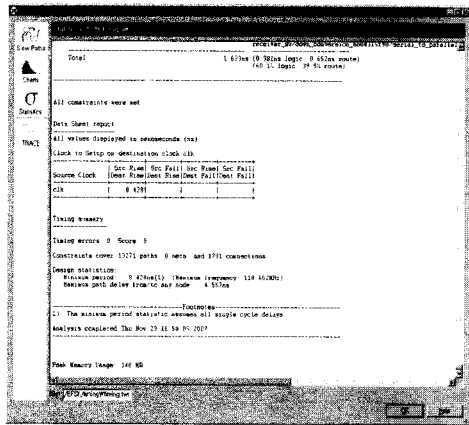


그림 9. Timing Analyzer의 최대 동작주파수 측정결과
Fig. 9 Maximum frequency of Timing Analyzer

Resource Estimation은 설계한 모델의 로직량을 사용했는지 알아보기 위한 것으로 Xilinx ISE의 Map Report

를 이용한다. FPGA에서 맵 과정을 거치게 되면 유저가 작성한 모든 로직은 FPGA 내부에 있는 기본유닛(IO, LUT, DFF, MEMORY, Multiplier...)과 일대 일로 맵핑되므로 정확한 로직 사용량을 추정할 수 있다. 그림10은 BFSK 수신기의 resource 사용량을 검증한 결과이다. 2,373개의 Slice를 사용하였으며 총 gate count는 54,428 개임을 확인할 수 있다.

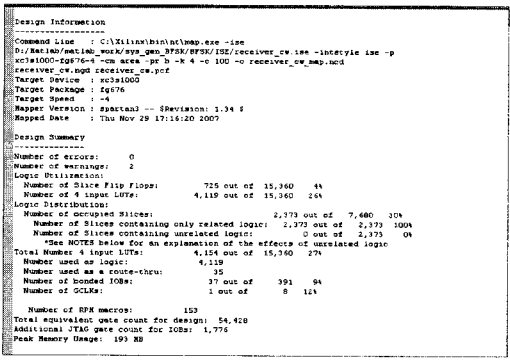


그림 10. resource 사용량의 측정 결과
Fig 10. Measurement Results of Resource Estimation

IX. 결론

우주 통신에 적용할 도플러에 강한 저전력 BFSK 수신기를 설계하고 시뮬레이션하였다. 도플러에 강한 하기 위해 16점 FFT 검출기를 구현하였고, ±10㎐까지의 도플러 천이에 대해서 정상적인 통신을 할 수 있음을 확인하였다. 또한 System Generator를 이용하여 FPGA 구현을 하였으며 성능을 검증하였다. 또한 Timing Analyzer를 이용하여 최대 동작주파수는 118.653MHz임을 확인하였고, ISE를 이용하여 Resource를 추정하여 성능을 검증하였다.

참고문헌

[1] E.Grayver and B.daneshrad, "A low power all digital FSK receiver for space applications", IEEE Trans. Communications, Vol.49, Issue : 5, pp.911-921, May 2001

- [2] S.Bertazzoni et al, "16-point high speed FFT for OFDM modulation", Proceedings of the 1998 IEEE Inter. symposium on Circuits and system, Vol.5, 31, pp. 210-212, May-3 June 1998
- [3] E.Grayver and B.daneshrad, "VLSI implementation of a 100uW multirate FSK receiver", IEEE J. Solid-State Circuits, Vol.36 Issue : 11, pp. 1821-1828, Nov. 2001
- [4] M. Kuhlmann, K. K. Parhi, "A High-Speed CORDIC algorithm and Architecture for DSP Applications," in proc. of the 1999 Asilomar Conference on Signal , Systems and Computers, pacific Grove, ca, oct, 1999

저자소개



변건식 (Kun-Sik Byon)

1972년 2월 : 한국항공대학교 항공전자공학과 졸업

1980년 2월 : 동아대학교 대학원 전자공학과 석사

1987년 8월 : 영남대학교 대학원 전자공학과 박사

1989년 9월 ~ 1990년 8월 : 국립 요코하마대학교 전자정보공학과 객원교수

1980년 3월 ~ 현재 : 동아대학교 전자공학과 교수

※ 관심분야 : OFDM, 통신 SoC 설계, MIMO