

논문 2008-451E-3-1

GaMnAs 자성반도체의 박막 특성 및 후처리에 따른 특성 변화 연구

(A Study on the Properties of the Magnetic Semiconductor GaMnAs
Depending on Thin Film Deposition and the Treatment Conditions)

김 동 식*

(Dong Sik Kim)

요 약

본 연구에서는 비약적으로 발전하고 있는 반도체 소자가 요구하는 새로운 특성을 가진 신소재의 개발에 부응하여, 최근 세계적으로 많은 연구가 되고 있는 spintronics에 사용되는 화합물 자성반도체 박막에 관한 연구를 수행하였다. 본 연구에서 사용되는 GaMnAs 자성반도체 박막은 기존의 III-V족 화합물 반도체 소자에 적용이 쉽고, 그 응용범위가 넓어 앞으로의 전망이 매우 밝은 새로운 화합물 반도체라고 할 수 있다. 그러나 이런 GaMnAs 자성반도체 박막의 경우 현재까지 자성 특성을 나타내는 Curie 온도가 매우 저온에서만 나타나며, 또한 성장 조건에 따라 그 특성이 매우 달라지는 문제점을 가지고 있다. 따라서 본 논문에서는 GaMnAs 자성반도체 박막을 성장시키기 위한 최적조건과 자성특성을 향상시키기 위한 실험을 수행하였다.

Abstract

We investigate magnetic semiconductor thin films for application towards spintronics, which can overcome current limitations in semiconductor devices. GaMnAs magnetic semiconducting films studied are easily integrated into conventional semiconductor processes and also offer a wide range of application, therefore it shows much promise as a future material. However the Curie temperature at which magnetic properties exist for GmMnAs is very low, also depending on deposition conditions the properties of the film can vary widely. In order to study these issues we investigate the best possible deposition conditions for magnetic properties.

Keywords : DMS (diluted magnetic semiconductor), GaMnAs, spintronics, curie temperature

I. 서 론

최근까지 반도체 전자소자는 전자의 두 가지 특성, 즉 전하(charge)와 스핀(spin) 중에서 양자역학적 성질인 스핀(spin)을 고려하지 않고 전하만을 전기장으로 제어하여 오늘날의 발전을 이루어 왔다. 이 같은 반도체

산업의 이면에는 일부 과학자들에 의하여 스핀(spin)에 의존하는 전자이동에 관한 끊임없는 연구의 결과로 전자의 전하(charge)와 스핀(spin)의 자유도를 동시에 고려한 자성반도체를 개발하려는 노력을 하였다^[1]. 이러한 자성반도체 중 DMS (Diluted Magnetic Semiconductor)는 세계 여러 연구 그룹에서 많은 연구가 되어져 왔고, 아직도 활발하게 연구 중인 새로운 개념의 화합물 반도체라 할 수 있다^[2-5]. 보통 자성반도체를 만들기 위해 전이금속을 대상물질에 높은 농도로 도핑하기 위해서는 화합물 반도체로 제작한다. II-VI족 기반의 물질은 n, p 도핑이 어렵고 반자성 성질을 띠어 스핀소자로의 응용이 어려운 반면, III-V족 화합물은

* 평생회원, 인하공업전문대학 컴퓨터시스템과
(Dept. of Computer Systems & Engineering, InHa Technical College)

※ 본 연구는 2007학년도 인하공업전문대학 교내 연구비 지원에 의하여 수행 되었습니다.

접수일자: 2008년1월9일, 수정완료일: 2008년8월7일

nonequilibrium 상태에서 전이금속을 도핑하기가 쉽고, 기존에 나와 있는 소자들에 응용이 쉬운 이점이 있어서 2000년 이후 많은 연구가 되어지고 있다^[5-7]. 그 중 폭 넓게 연구되고 있는 화합물 반도체 중 GaMnAs는 성장 중에 포함되어 있는 Mn으로 인해서 정공이 형성되면 이 정공 운반자와 Mn이온과 상호 교환작용 효과로 인해 자기적 특성을 나타내기 때문에 강자성을 나타내며 DMS 소자로 많은 연구를 하고 있다. 일본의 Ohno 연구팀에서는 MBE (Molecular Beam Epitaxy)를 이용해 자성특성의 기준이 되는 Curie 온도, (T_c) 110K의 GaMnAs 박막을 성장하였다^[5]. 이 결과는 현재 자성반도체가 실제 소자로의 응용에 큰 걸림돌이 된다. 이러한 낮은 Curie temperature는 자성반도체 박막 성장에 필연적으로 따라오는 nonequilibrium 상태의 성장에서 발생하는 Mn-Mn complex, As 관련 결함, 격자부정합 및 Mn-interstitial 등에서 그 원인을 찾을 수 있다^[6-7].

본 논문에서는 MBE 로 GaMnAs DMS 박막을 성장하였으며, Hall measurement, PL (Photoluminescence) 을 통하여 박막의 두께에 따라 자성특성이 어떻게 변화하는지 그리고 열처리 온도와 시간에 따른 자성특성에 관한 실험을 하였다.

II. 본 론

1. GaMnAs 박막성장

MBE로 자성 반도체 GaMnAs 결정성장을 하기 위해 적합한 시료를 만드는 것은 다음과 같이 설명된다. 웨이퍼위에 결정을 성장시키는 과정은 결정성장의 초기과정이기 때문에 MBE로 결정을 성장시키는 과정에서 매우 중요한 부분이다. MBE에 의해 결정 성장시키는 방법은 웨이퍼의 결정 구조와 같은 방향을 지니게 층을 만든다.

기판은 3 inch Semi-Insulating GaAs(001)의 wafer 를 사용하였다. 준비된 GaAs(001) 시료의 RHEED 패턴은 (2×4)의 streaky 형상을 가진다. GaAs(001) 기판 위에 첫 번째 성장층은 buffer층이며 이 층을 성장시키기 위하여 기판 온도를 560°C로 유지한 뒤 GaAs 층의 성장속도를 약 0.3nm/sec로 하고 약 300 nm로 GaAs buffer층을 성장시켰다. 이때 Ga source 와 As source 의 온도는 970°C를 유지하며, 이때의 RHEED 패턴은 (2×4)의 streaky 형상을 그대로 유지하고 있다. GaAs buffer층을 성장시킨 다음 저온 GaAs 층을 성장시키기

위해 기판온도를 250°C로 낮춘다. 동시에 Ga 과 As source의 온도는 970°C로 유지한다. 기판의 온도를 250°C로 낮추는 과정에서 RHEED 패턴은 (2×4) 패턴에서 (4×4) 패턴으로 바뀐다. 이렇게 기판의 온도를 250°C로 유지하여 저온 GaAs 층을 성장시키며, 이때 성장률은 약 0.27 nm/sec 이다. 저온 GaAs 층의 RHEED 패턴은 (2×1) 패턴으로 나타나게 된다^[2].

저온 GaAs 층 성장이 완료된 후에는 GaMnAs 층을 성장 시킨다. 이 과정에서 Mn source의 온도를 850°C로 변화 시킨다. GaMnAs 막의 두께를 각각 30, 50, 70 nm로 성장하였다. GaMnAs 층에서의 관찰된 RHEED 패턴은, 저온 GaAs에 나타난 (2×1) 패턴에서 GaMnAs 층의 성장 시에 (1×1)로 바뀌는 것을 확인하였으며 이는 MBE로 성장된 기존의 GaMnAs 박막의 RHEED 패턴과 잘 일치하는 것을 확인할 수 있다^[8]. 마지막으로 성장된 GaMnAs DMS를 260°C에서 N₂ 분위기로 각각 15, 30, 45, 60분 열처리하였다.

2. 자성박막 두께 변화에 따른 T_c 측정결과

그림 1은 성장시킨 Ga_{0.95}Mn_{0.05}As인 자성반도체 박막의 두께 변화에 따른 Hall 저항과 T_c 를 측정된 것이다. 자성박막의 두께가 50 nm에서 가장 높은 T_c 를 가지며 이는 자성반도체 박막의 성장 시, 성장된 박막의 두께가 자성특성에 큰 영향을 주는 것으로 볼 수 있다. 30 nm 자성박막의 경우 다른 두께의 자성반도체 박막보다 낮은 T_c 를 가지는 이유는 격자부정합의 원인이 가장 크다고 할 수 있다. 즉 매우 얇은 두께의 자성반도체 박막의 경우 격자부정합을 극복할 서로 다른 격자 간의 full relaxation을 위한 충분한 두께가 확보되지 않은 것

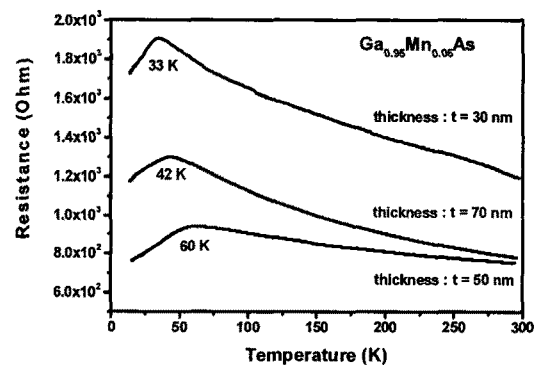


그림 1. GaMnAs 두께변화에 따른 T_c 변화
Fig. 1. The T_c change of the different GaMnAs thickness.

을 그 원인으로 생각할 수 있다.

또한 70 nm의 자성반도체 박막이 50 nm의 자성반도체 박막보다 낮은 Tc를 갖는 이유는 저온성장시 As interstitial이 생길 수 있으며, 높은 양의 Mn flux에서 오는 Mn-Mn complex에 의해 Mn cluster가 생기며 이 영향은 Tc에 큰 영향을 주는 carrier density의 양을 감소시키는 결과로 볼 수 있다^[5]. 즉, GaMnAs 자성반도체 박막과 같은 화합물 반도체의 경우, 그 박막의 두께 또한 Curie 온도에 큰 영향을 주는 것을 알 수 있었다.

3. 열처리 시간 변화에 따른 Tc 측정결과

그림 2는 Ga_{0.95}Mn_{0.05}As의 각각의 두께에 따른 열처리 시간에 따라 Tc가 어떻게 변화하는지를 나타낸 그래프이다. 열처리 온도를 260°C로 하여 열처리 시간을 각각 15, 30, 45, 60분으로 하였다. 그림에서 보는 것과 같이 두께가 30 nm의 시료에서는 10분 이상의 열처리를 실시하면 Tc가 나타나지 않는 것을 볼 수 있다. 이는 상대적으로 두께가 얇은 자성반도체 박막의 격자부정합 상태에서 열처리 과정을 통하여 보다 쉽게 As 원자의 이탈이 발생하고, 이런 As 원자의 이탈로 인하여 심화된 격자부정합에 의한 결함의 증가로 인하여 GaMnAs 자성반도체 박막의 자성 특성이 사라진 경우라고 추측할 수 있다. 그리고 나머지 50 nm, 70 nm의 시료는 열처리 시간이 30분일 경우에 Tc가 향상되는 것을 볼 수 있었다. 그리고 30분 이후로는 다시 Tc가 감소하는 것을 알 수 있다. 이와 같은 결과는 두 가지 측면에서 설명할 수 있다. 15분, 30분의 열처리 과정에서 Tc가 증가하는 이유는 GaMnAs 박막 성장 시, 매우 높은 농도의 Mn flux로 인하여 생성되는 Mn interstitial 과 같은

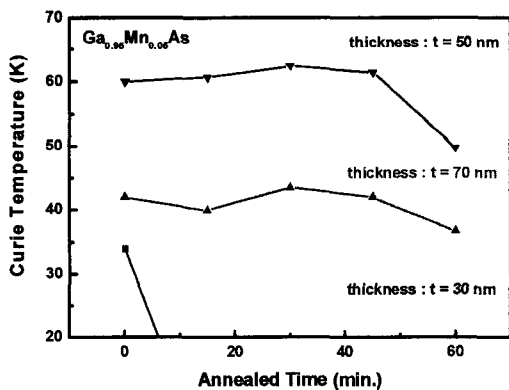


그림 2. 열처리 시간과 Tc와의 관계
Fig. 2. The relations between annealing time and Tc.

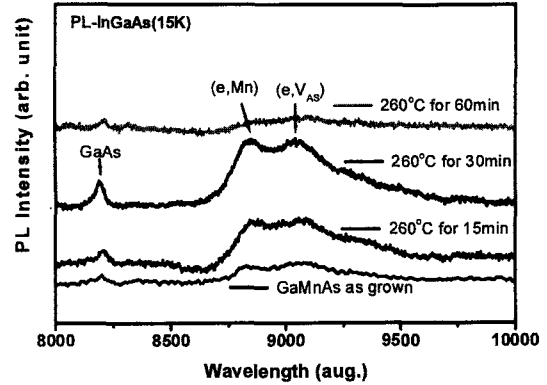


그림 3. 열처리 시간 변화에 따른 광학적 특성
Fig. 3. The difference of optical characteristic by the annealing time.

결함 요인이 열처리로 인하여 Ga 자리로 위치하여, MnGa을 형성하여 결과적으로 carrier density의 양을 증가시키는 결과를 가져와 Tc의 향상을 가져왔다고 볼 수 있다. 그러나 열처리 시간이 30분 이상 증가할 경우, 열처리에 따른 GaMnAs 박막에서의 As 원자의 이탈로 인하여 새로운 As 결함의 생성을 초래하여 Tc를 감소시키는 결과를 가져온다고 볼 수 있다. 이런 결과를 바탕으로 GaMnAs 자성반도체 박막의 경우, 박막 성장 후의 적절한 후처리 과정을 통하여 Tc를 향상시킬 수 있다는 것을 실험적으로 보여주는 결과라고 할 수 있다.

4. 열처리 시간 변화에 따른 PL 측정결과

그림 3은 성장된 박막의 두께가 50 nm 인 Ga_{0.95}Mn_{0.05}As 시료를 260°C에서 열처리한 시간에 따라 PL 측정을 한 결과이다. 열처리 시간에 따른 PL peak의 변화는 앞서의 열처리 결과에서도 언급하였듯이, 자성반도체 박막을 열처리 하였을 경우, 일정 시간에 의해서 자성반도체 박막의 결함을 감소시키는 결과에기인한다는 것을 알 수 있다. 즉, 박막의 광학적 특성에 큰 영향을 주는 여러 결함에 의한 깊은 준위의 영향을 열처리 효과에 의해서 최소화시켜 실제적인 광학 특성이 향상된다는 것을 알 수 있다. 즉 GaMnAs 자성반도체 박막의 에너지 bandgap에 존재하는, 여러 결함에 의한 subband의 존재를 감소시켜, 측정된 PL intensity의 증가를 가져온다고 할 수 있다. 830 nm파장영역에서 GaAs의 Peak을 알아 낼 수 있었고, 약 880nm 파장은 이미 알려진 바와 같이 As vacancy에 의한 결함과 관련된 peak임을 알 수 있고, 약 913 nm 파장은 GaMnAs

층의 Mn에 의한 에너지 준위에서 나오는 peak 임을 알 수 있다.

IV. 결 론

GaMnAs 자성반도체 박막특성 중 Curie 온도는 자성반도체 박막 두께에 큰 영향을 받는 것을 확인하였다. GaMnAs 자성반도체 박막의 두께가 50nm인 경우, Curie 온도가 상대적으로 두께가 30nm, 70nm의 GaMnAs 자성반도체 박막보다 높게 관찰되었다. 또한 후 열처리 공정을 통해 자성반도체 박막의 특성이 최적화된 두께 조건에서도 같은 결과를 얻는지를 확인해 보았다. 열처리 시간을 조절함으로 결합의 원인으로 생각되는 현상을 PL로 확인하였다. 이러한 이유로 후 열처리 공정을 진행한다면 Mn으로 인한 interstitial 결합과 As의 원자 이탈에 의한 vacancy 를 줄일 수 있다고 본다.

이러한 결과는 앞으로 DMS의 특성 향상을 위한 소중한 자료로 쓰일 것으로 기대되며, DMS의 실용화를 앞당길 것이라고 생각된다.

참 고 문 헌

- [1] G. Prinz, "Optical Manipulation of Nuclear Spin by a Two-Dimensional Electron Gas", *Phys. Today* 48, 58 (1995); *science* 282, 1660(1998).
- [2] H. Ohno, "Spin Relaxation in GaAs(110) Quantum Wells", *Science* 281, 951(1998).
- [3] H. Ohno, H. Munekata, T. penney, S. von Molnar, and L. L. Chang, "Magnetotransport properties of p-Type (In,Mn)As Diluted Magnetic III-V Semiconductors", *Phys. Rev. Lett.* 68, 2664(1992).
- [4] F. Matsukura, H. Ohno, A. Shen, and Y. Sugawara, "Transport properties and origin of ferromagnetism in(Ga,Mn)As", *Phys. Rev. B* 57(4), R2037(1998).
- [5] J. Sadowski, R. Mathieu and P.Svedlindh, "Structural and magnetic properties of GaMnAs layers with high Mn-content grown by migration-enhanced epitaxy on GaAs(100) substrates", *Appl. Phys. Lett* 78(21), 3271(2001).
- [6] M. Tazima K. Yamamoto, D. Okazawa, A. Nagashima, and J. Yoshino, "Effect of Mn on the low temperature growth of GaAs and GaMnAs", *Physica E* 10, 186(2001).
- [7] H. Ohno and F. Matsukura, "A ferromagnetic III-V semiconductor: (Ga,Mn)As", *Solid state Comm.* 117, 179(2001).
- [8] A. Shen, H. Ohno, F. Matsukura, Y. Sugawara, N. Akiba, T. Kuroiwa, A. Oiwa, A. Endo, S. Katsumoto and Y. Iye, "Epitaxy of (Ga, Mn)As, a new diluted magnetic semiconductor based on GaAs", *J. Cryst. Growth* 175/176, 1069. (1997).

저 자 소 개

김 동 식(평생회원)
 대한전자공학회 논문지
 제43권 IE편 제2호 참조
 현재 인하공업전문대학 컴퓨터시스템과 부교수