

논문 2008-45SD-9-7

# 수동형 UHF대역 RFID 태그 IC의 제어부 설계

## (Design of Control Block for Passive UHF RFID Tag IC)

우철종\*, 차상록\*\*, 김학윤\*\*, 최호용\*\*\*

(Cheol-Jong Woo, Sang-Rok Cha, Hak-Yun Kim, and Ho-Yong Choi)

### 요약

본 논문에서는 EPCglobal Class-1 Generation-2 UHF RFID 1.1.0 프로토콜에 따른 수동형 UHF대역 RFID 태그 IC의 제어부를 설계한다. 제어부는 PIE 부, CRC5/CRC16, Slot Counter, Random Number Generator, Main Control 부, Encoder, Memory Interface로 나누어 Verilog HDL을 이용하여 설계하고 시뮬레이션을 하였다. 제어부 전체 동작에 대한 시뮬레이션 결과 7개 상태에서 11개의 명령어들이 올바르게 동작함을 확인하였다. 또한, 제어부의 설계를 Synopsys Design Compiler와 Apollo를 이용하여 Magnachip 0.25 $\mu$ m 공정 라이브러리를 통해 레이아웃을 하였고 총 36,230개의 게이트가 사용되었다.

### Abstract

This paper presents a design of the control block of a passive UHF RFID tag IC according to EPCglobal Class-1 Generation-2 UHF RFID 1.1.0 Protocol. The control block includes a PIE block, CRC5/CRC16, a Slot Counter, a Random Number Generator, a Main Control Block, an Encoder and a Memory Interface. The control block has been designed using the Verilog HDL and has been simulated. Functional simulation results for the overall control block operation show that 11 instructions with 7 states are operated correctly. Also, the control block has been implemented with 36,230 gates by Synopsys Design Compiler and Apollo using Magnachip 0.25 $\mu$ m technology.

**Keywords :** RFID, EPCglobal, 제어부, 수동형, UHF

## I. 서론

사물에 태그를 부착하여 무선으로 사물의 정보를 확인하고 주변의 상황정보를 감지하는 RFID (Radio Frequency Identification) 기술은 미래 IT시장을 선도할 기술 중 하나로 주목받고 있다<sup>[1]</sup>. RFID 시스템은 사물에 부착된 태그로부터 전파를 이용하여 사물의 정보

및 주변 환경정보를 인식하고 각 사물의 정보를 수집, 저장, 가공 및 추적함으로써 다양한 서비스를 제공할 수 있다. 이러한 기술은 바코드의 한계를 극복할 수 있으며, 상품관리를 네트워크화 및 지능화함으로써 유통 및 물품관리 뿐만 아니라 보안, 안전, 환경관리 등 다양한 산업에 적용될 것으로 전망된다.

수동형 RFID 시스템은 그림 1과 같이 태그(tag 혹은 transponder)와 리더(reader 혹은 interrogator)로 구성되며, 호스트를 통하여 응용 서비스를 제공한다<sup>[2]</sup>. 수동형 RFID 시스템은 리더가 태그로 전파를 송신하면 태그가 수신된 전파로부터 에너지를 얻어서 활성화되고, 태그는 자신의 정보를 리더에 송신한다. 그림 2는 수동형 RFID 태그 IC의 구성도를 보여준다<sup>[3]</sup>. 태그 IC는 데이터 처리 및 메모리 제어를 위한 제어부, 데이터 변·복조, 클럭 및 전압생성을 위한 AFE (Analog Front End), 데이터 저장을 위한 EEPROM으로 구성된다.

\* 정회원, 삼성전자

(Samsung Electronics Co.)

\*\* 학생회원, 충북대학교 반도체공학과

(Dept. of Semiconductor Eng., Chungbuk National Univ.)

\*\*\* 평생회원, 충북대학교 전기전자컴퓨터공학부

(School of Electrical &amp; Computer Eng., Chungbuk National Univ.), 교신저자

\* 이 논문은 2007년도 충북대학교 학술연구지원사업의 연구비지원에 의하여 연구되었음.

접수일자: 2008년5월22일, 수정완료일: 2008년8월28일

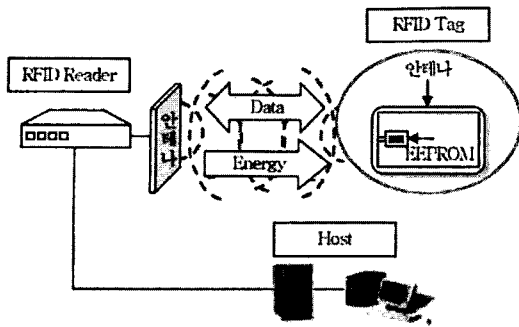


그림 1. 수동형 RFID 시스템 구성도  
Fig. 1. A passive RFID system diagram.

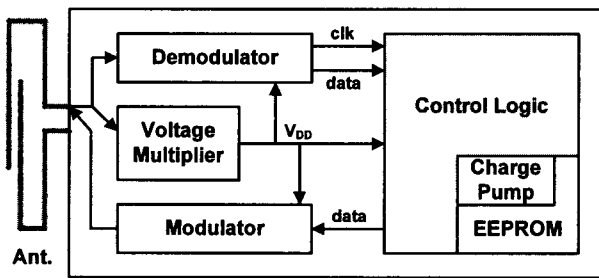


그림 2. 수동형 RFID 태그 IC 구성도  
Fig. 2. A passive RFID tag IC diagram.

국제표준화기구(ISO)는 EPCglobal이 제정한 EPC UHF Gen 2 규격을 2006년 6월말 표준으로 공식 채택하여, 사실상 국제 표준으로 되어있다<sup>[4]</sup>. 미 국방부, FDA, 월마트 등은 EPC 기반 RFID 부착을 의무화함으로써 EPC 기반 RFID 적용은 주요 수출 대상국인 선진국을 중심으로 강제 시행되는 추세이다<sup>[5]</sup>.

본 논문은 국제 표준 규격을 만족하는 EPCglobal의 Class-1 Generation-2 UHF RFID 1.1.0 프로토콜에 따른 UHF대역 수동형 RFID 태그 IC의 제어부를 설계한다. 제어부는 PIE부, CRC5/CRC16, Slot Counter, Random Number Generator, Main Control 부, Encoder, Memory Interface로 구성하고, Verilog HDL을 이용하여 설계한다.

본 논문의 구성은 다음과 같다. II장에서는 EPCglobal Class-1 Generation-2 UHF RFID 1.1.0 프로토콜에 대해 살펴보고, III장에서는 EPC UHF Gen2 규격을 만족하는 RFID 태그의 제어부를 설계한다. IV장에서는 설계된 제어부를 전체 시뮬레이션을 통해 검증결과를 제시하고, V장에서 결론을 맺는다.

II. EPCglobal Class-1 Gen-2 1.1.0 프로토콜

EPCglobal Class-1 Generation-2 UHF RFID 1.1.0

프로토콜<sup>[4]</sup>에서는 리더와 태그간의 상호 동작방법 및 동작과정, 태그에 사용되는 메모리, 그리고 다중 태그 환경에서 특정한 단일 태그를 정의하기 위해 사용되는 충돌 방지 방식 등이 명시되어 있다. 본 장에서는 이에 대한 내용을 기술한다.

1. 리더에서 태그로의 데이터 송신

표 1은 리더에서 태그로 송신되는 신호의 스펙을 보여준다. 주파수로 860~960MHz를 사용하고, 데이터 변조방식으로 ASK (Amplitude Shift Keying)를 사용하며, PIE (Pulse Interval Encoding) 인코딩 방식으로 데이터를 전송한다. 리더가 태그로 보내는 데이터의 전송 속도는 40~160 Kbps이고, 명령어들은 시작신호로 Preamble 또는 Frame-Sync를 갖는다.

표 1. 리더에서 태그로 송신되는 신호의 스펙  
Table 1. The signal specification to transmit from reader to tags.

주파수	860 ~ 960 MHz
	Korea : 908.5 ~ 914 MHz U.S. : 902 ~ 928 MHz Europe : 865.6 ~ 867.6 MHz
변조방식	DSB-ASK, SSB-ASK, PR-ASK
인코딩 방식	PIE (Pulse Interval Encoding)
데이터 전송 속도	40 ~ 160 Kbps
시작신호	Preamble, Frame-Sync

2. 태그에서 리더로의 데이터 송신

표 2는 태그에서 리더로 송신되는 신호의 스펙을 보여준다. 주파수는 860~960MHz를 사용하고, 데이터 변조를 위해 ASK, PSK 방식을 사용하며, 인코딩을 위해 FM0 또는 Miller-Subcarrier 방식을 이용한다. 태그가 리더로 보내는 데이터의 전송 속도는 40~640 Kbps이고, 응답 데이터들은 시작신호로 Preamble을 가지며 끝신호로 dummy1을 갖는다.

표 2. 태그에서 리더로 송신되는 신호의 스펙  
Table 2. The signal specification to transmit from tags to reader.

주파수	860 ~ 960 MHz
변조방식	ASK, PSK
인코딩 방식	FM0, Miller-Subcarrier
데이터 전송 속도	40 ~ 640 Kbps
시작 신호	Preamble
끝 신호	dummy1

3. 리더와 태그의 동작

리더는 그림 3(a)와 같이 Select, Inventory, Access의 3가지 모드를 가지며, 태그는 Ready, Arbitrate, Reply, Acknowledged, Open, Secured, Killed의 7개의 동작 상태를 가진다. 시스템이 리셋 되면 리더는 Select 모드를 가지고, 파워를 공급받은 태그는 Ready 상태가 된다. Inventory 모드는 리더가 태그를 인증하는 과정으로 태그는 Arbitrate, Reply 등의 상태를 가지며 단일 태그를 선택하게 된다. Access 모드는 선택된 태그가 메모리 읽기/쓰기 등을 수행하도록 하는 과정으로 태그는 Acknowledged, Open, Secured, Killed의 상태를 갖게 된다. 이 때, 사용되는 명령어로는 그림 3(b)와 같이 QueryRep, ACK, Query, QueryAdjust, Select, NAK, Req\_RN, Read, Write, Kill, Lock의 11개의 필수 명령어와 Access, BlockWrite, BlockErase의 3개의 선택 명령어가 있다.

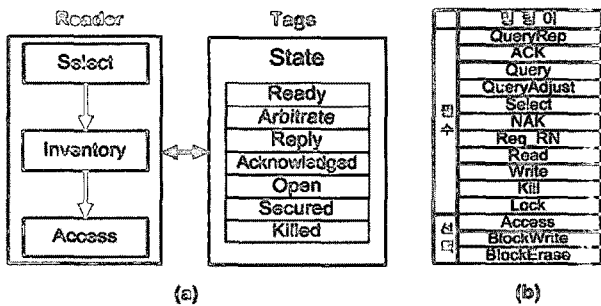


그림 3. (a) 리더와 태그의 동작 상태 (b) 명령어  
Fig. 3. (a) Operation state of reader and tags (b) Commands.

4. 태그 메모리

태그에 내장되는 메모리는 Reserved(00<sub>2</sub>), EPC(01<sub>2</sub>),

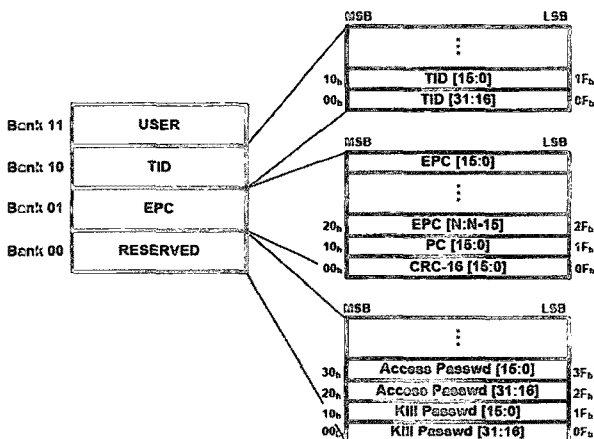


그림 4. 논리적인 메모리 맵  
Fig. 4. A logical memory map.

TID(10<sub>2</sub>), User(11<sub>2</sub>) 등 4개의 논리적인 메모리 뱅크로 나뉘며, 각각의 뱅크는 0 또는 다수의 메모리 워드들로 구성되며 가변될 수 있다. 그림 4는 태그 메모리의 논리적인 메모리 맵을 보여준다.

5. 태그의 충돌 방지 방식

RFID 시스템은 다수의 태그가 하나의 리더의 전송 영역 내에 동시에 존재하는 경우가 종종 발생한다. 이때 몇 개의 태그로부터 하나의 리더로 전송되는 데이터가 상호 간섭(충돌)없이 전송될 수 있어야 한다<sup>[6]</sup>. 충돌 방지를 위해 태그는 각 태그별로 랜덤하게 선택된 시간에 응답하도록 하는 Probabilistic Algorithm을 사용하며, 리더는 태그와의 접속을 위해 시간 분할 다중접속 (TDMA: time division multiple access) 방식 혹은 주파수 분할 다중접속 (FDMA: frequency division multiple access) 방식을 사용한다.

III. UHF대역 수동형 RFID 태그의 제어부 설계

그림 5는 태그의 제어부 구성도이다. 제어부는 PIE 부, CRC5/CRC16, Slot Counter, RNG (Random Number Generator), Main Control 부, Encoder, Memory Interface 등으로 구성된다. 제어부는 AFE로부터 POR, Data, V<sub>DD</sub>와 2.56MHz의 클럭을 공급받는다.

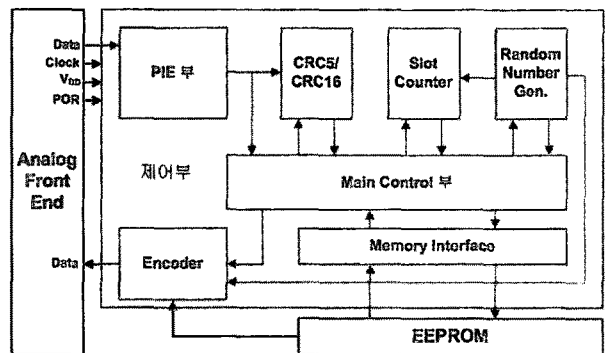


그림 5. RFID 태그의 제어부 구성도  
Fig. 5. Control block diagram of a RFID tag.

각 블록에 대한 설계는 다음과 같다.

1. PIE 부

PIE (Pulse-Interval Encoding) 부는 AFE에서 전달 받은 pulse-interval 방식의 데이터를 처리하여 데이터가 0인지 1인지 판별하는 역할을 한다. 모든 명령어들 앞에는 그림 6과 같이 시작 신호가 오게 되며 Query

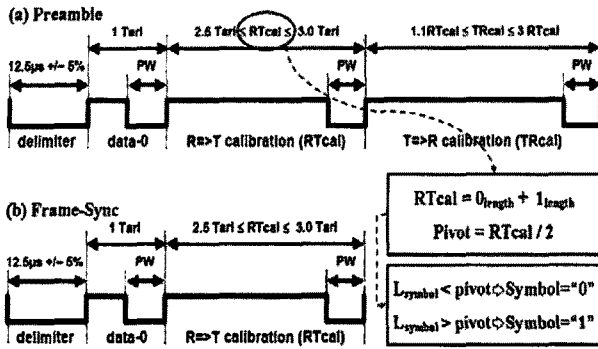


그림 6. (a) Preamble 파형 (b) Frame-Sync 파형  
 Fig. 6. (a) Preamble waveform (b) Frame-Sync waveform.

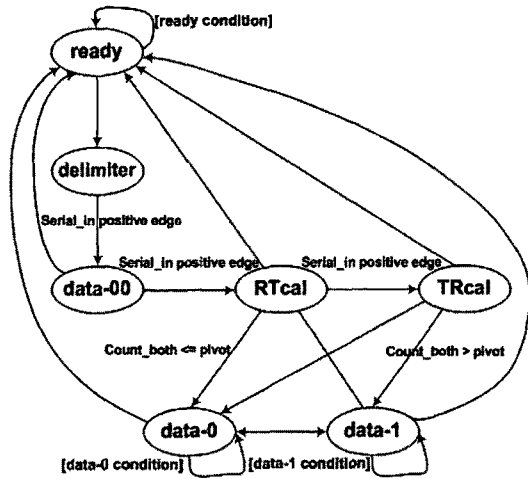


그림 7. PIE 부 상태도  
 Fig. 7. A PIE block state diagram.

명령어의 경우 Preamble이 오게 되고, 다른 명령어의 경우 Frame-Sync가 오게 된다.

설계는 2.56MHz의 클럭을 바탕으로 시간 측정을 위한 high와 low의 클럭 카운팅을 통해 이루어졌으며, 그림 7과 같은 상태도에 따라 설계되었다. 파워를 공급받은 태그의 PIE부는 ready 상태가 되며 AFE로부터 지속적인 high 값을 받는다. 입력이 low 값으로 12.5µs 시간 동안 오게 되면 PIE 부는 delimiter 상태가 되고 데이터가 들어오기 시작함을 알린다. 다음으로 data-00 상태가 되어 1 Tarc (6.25~25µs)의 값을 측정하고 RTcal 상태가 되어 Pivot 값을 구하게 된다. Pivot은 RTcal 길이를 2로 나눈 값으로 데이터 '0'과 '1'의 중간 길이이다. Pivot을 통해 Preamble과 Frame-Sync 뒤에 오는 명령어들의 데이터들이 0인지 1인지 판별하게 된다. TRcal은 Encoder에서 데이터를 내보낼 때 주파수를 정하기 위한 파라미터로 사용된다.

그림 8은 PIE 부의 시뮬레이션 결과이다.

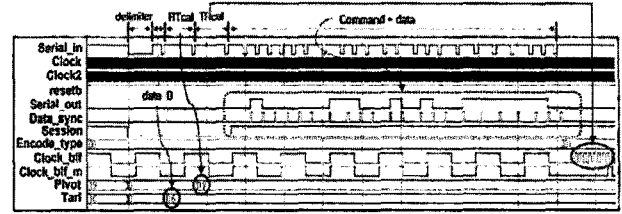


그림 8. PIE 부 시뮬레이션 결과  
 Fig. 8. PIE block simulation results.

입력으로 임의의 Preamble, Query 명령, data 순으로 인가하여 결과를 검증하였다. 클럭 카운팅을 통해 Preamble 또는 Frame-Sync가 시작함을 알 수 있었고, data-0의 길이, Pivot의 길이, Pivot을 통한 명령과 데이터의 처리를 통해 입력값이 0인지 1인지 확인할 수 있었다. 또한, TRcal을 통해 Encoder에서 사용하는 BLF (Backscatter Link Frequency) 클럭이 생성되는 것을 확인할 수 있었다.

## 2. Main Control 부

Main Control 부는 일련의 태그 동작을 제어하여 태그가 리더의 명령에 따라 상황에 맞게 동작할 수 있도록 한다. 리더의 명령 중 QueryRep, ACK, Query, QueryAdjust, Select, NAK, Req\_RN, Read, Write, Kill, Lock의 11개의 필수 명령을 처리하도록 설계하였으며, 각 명령 수행으로 리더는 Select, Inventory, Access 3가지의 동작상태를 가지며, 태그는 Ready, Arbitrate, Reply, Acknowledged, Open, Secured, Killed 7가지의 상태에서 동작하게 된다.

그림 9는 Main Control 부의 상태도를 보여준다. 설

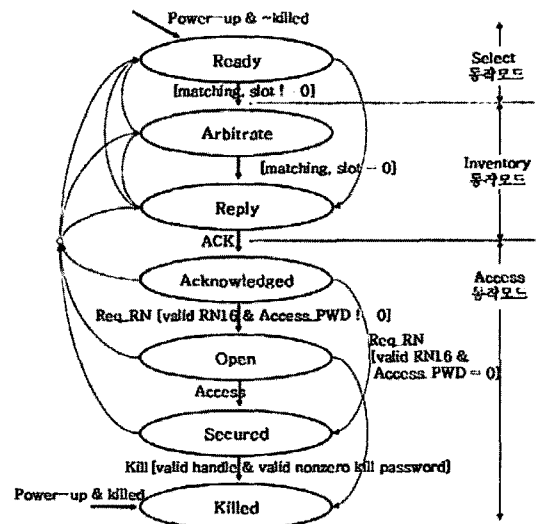


그림 9. Main Control 부 상태도  
 Fig. 9. A Main Control block state diagram.

계는 각 상태별로 구체적인 것은 EPCglobal<sup>[4]</sup>에서 정의된 대로 수행되도록 설계하였다. 구체적인 시뮬레이션 결과는 IV장에 나타낸다.

### 3. CRC5와 CRC16

CRC5와 CRC16은 AFE로부터 입력된 데이터들이 올바르게 전달되었는지를 체크하게 되며, 태그 응답 시에도 데이터들에 대한 CRC 값을 생성하여 데이터와 함께 보냄으로써 데이터오류를 방지하도록 한다.

CRC5과 CRC16의 회로는 그림 10, 11과 같다. CRC5는  $X^5+X^3+1$ 의 발생다항식을 통해 CRC16은  $X^{16}+X^{12}+X^5+1$ 의 발생다항식을 통해 쉬프트 레지스터와 XCR 게이트로 구현되었고, 그림 12, 13은 각각 회로에 대한 시뮬레이션 결과를 보여준다.

CRC5의 경우 초기값이 01001<sub>2</sub>을 가지고 있는 상태에서 데이터 1001010<sub>2</sub>이 입력으로 들어갔을 때 CRC5 데이터로 11001<sub>2</sub>이 출력되는 것을 확인할 수 있었고,

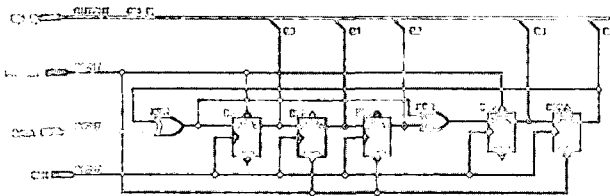


그림 10. CRC5 회로  
Fig. 10. A CRC5 circuit.

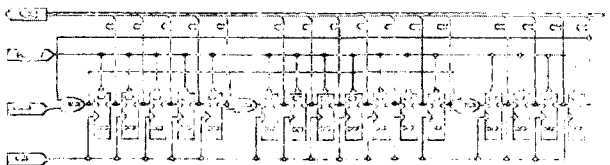


그림 11. CRC16 회로  
Fig. 11. A CRC16 circuit.

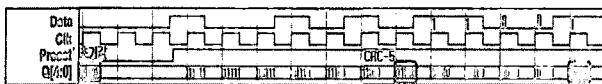


그림 12. CRC5 시뮬레이션 결과  
Fig. 12. CRC5 simulation result.

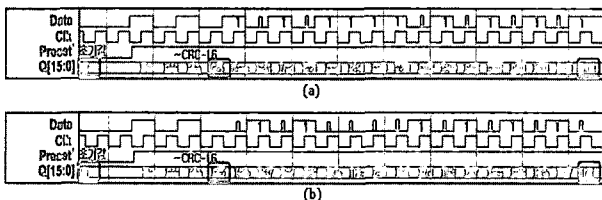


그림 13. CRC16 시뮬레이션 결과  
Fig. 13. CRC16 simulation result.

CRC5 오류 체크를 위해 {입력데이터와 CRC5 값}을 입력으로 했을 때 최종 출력이 00000<sub>2</sub>로 나오는 것을 확인할 수 있었다.

CRC16의 경우 초기값 FFFF<sub>h</sub>을 가지고 있는 상태에서 입력데이터 1010<sub>2</sub>이 들어갔을 때 CRC16 데이터가 생성되고 {입력데이터와 ~CRC-16 값, 혹은 CRC-16 값}으로 입력을 주었을 때 출력이 C000<sub>h</sub>와 1D0F<sub>h</sub>로, 정상적으로 나오는 것을 확인할 수 있었다.

### 4. RNG

RNG (Random Number Generator)는 16bit 난수 (RN16)를 생성한다. 생성된 16bit 난수는 리더의 명령에 의한 태그의 상태 동작 및 응답에 사용되며, 리더는 이 16bit 난수를 명령과 함께 보냄으로써 선택된 태그만이 동작할 수 있도록 한다.

설계는 그림 14와 같은 선형 궤환 쉬프트 레지스터 (Linear Feedback Shift Register)를 이용하였다. N bit을 이용할 시 최대 2<sup>N</sup>-1개의 주기를 가지게 된다.

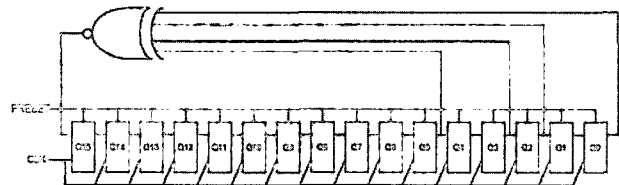


그림 14. 선형 궤환 쉬프트 레지스터  
Fig. 14. The linear feedback shift register.

### 5. Slot Counter

Slot Counter는 다중 태그 환경에서 특정한 단일 태그를 선택하도록 하여 태그 사이의 충돌을 방지한다. 이는 Dynamic slotted ALOHA 방식을 사용한다. 명령어 중 Query 또는 QueryAdjust 명령어를 받으면, 태그의 slot counter는 random number generator를 통해 0과 2<sup>Q</sup>-1 (Q는 0과 15 사이의 정수) 사이의 값을 갖게 되고 QueryRep 명령어, QueryAdjust 명령어에 의해

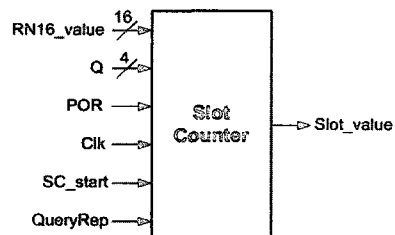


그림 15. Slot Counter 블록도  
Fig. 15. Slot Counter block diagram.

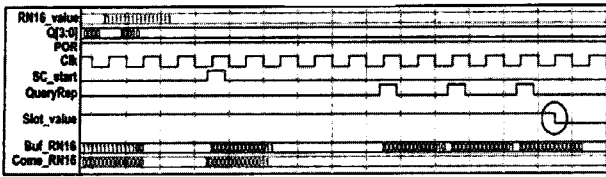


그림 16. Slot Counter 시뮬레이션 결과  
Fig. 16. Slot Counter simulation result.

slot counter의 값이 감소되어 그 값이 0000<sub>h</sub>에 도달하는 특정한 단일 태그만이 선택되도록 한다. 그림 15는 Slot Counter의 블록도이고, 그림 16은 Slot Counter의 시뮬레이션 결과를 보여준다.

Slot Counter 시작신호인 SC\_start가 발생하고, Q[3:0] 만큼 RN16값이 Buf\_RN16 레지스터에 저장되어, QueryRep이 발생할 때마다 1씩 감소하고 그 값이 0이 되었을 때 Slot\_value가 0으로 나옴을 확인할 수 있었다.

6. Encoder

Encoder는 리더의 명령에 대한 응답을 인코딩하여 내보낸다. 그림 17은 Encoder의 블록도를 보여주며 Query 명령어의 M값에 의해 FM0, Miller 방법 중 어떤 Encoder를 통해 내보낼 것인지 결정하게 된다. 데이터 인코딩에 앞서 preamble이 선행하게 되며 모든 데이터의 인코딩 후에는 End-of-Signaling을 통해 데이터의 종료를 알리게 된다.

설계는 데이터가 들어오기 시작하면 데이터를 일정 부분 레지스터에 저장하고 preamble을 먼저 내보낸 뒤

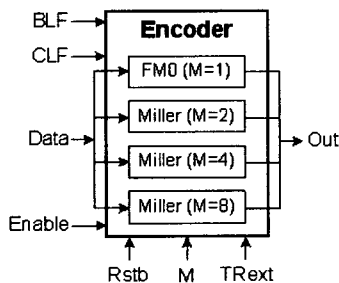


그림 17. Encoder 블록도  
Fig. 17. Encoder block diagram.

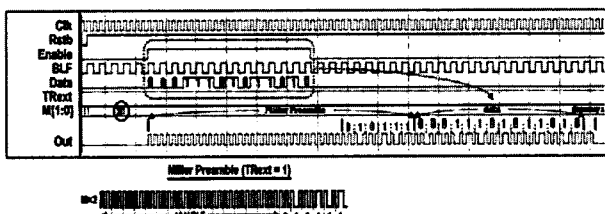


그림 18. Encoder 시뮬레이션 결과 (Miller M=2, TNext=1)  
Fig. 18. Encoder simulation result (Miller M=2, TNext=1).

저장된 데이터를 인코딩하여 내보내는 방식으로 하였다.

그림 18은 Miller M=2, TNext=1 상태일 때, Encoder의 시뮬레이션 결과이다. Encoder를 통해 출력을 내보낼 때 Preamble이 정상적으로 오고 데이터가 처리되는 것을 볼 수 있다. 데이터가 끝났음을 dummy1을 통해 알린다.

7. Memory Interface

Memory Interface는 EEPROM의 읽고 쓰는 동작을 효율적으로 관리한다. READ, PROGRAM, ERASE 신호를 가지고 EEPROM을 제어하는 여러 신호들 (REb, OEb, WEb, ERSb, pGMb)을 적절하게 관리한다. 메모리 저장 공간으로 모델링한 1Kbit의 EEPROM을 이용하였으며, Reserved, EPC, TID, User बैं크를 각각 128 bit, 544 bit, 224 bit, 128 bit으로 나누어 설계하였다. 그림 19는 설계된 Memory Interface의 시뮬레이션 결과로 READ, PROGRAM, ERASE가 정상적으로 동작하는 것을 확인할 수 있다.

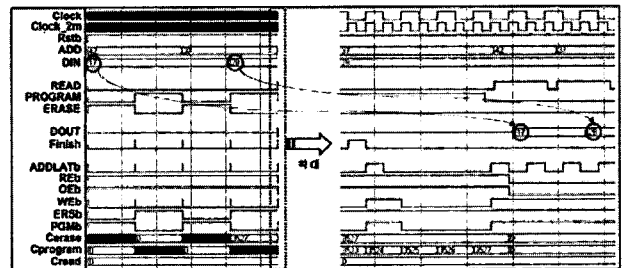


그림 19. Memory Interface 시뮬레이션 결과  
Fig. 19. Memory Interface simulation result.

IV. 시뮬레이션 결과

본 장에서는 III장에서 각 부분별로 설계된 회로를 전체 통합하여 시뮬레이션한 결과를 보여준다. 수동형 RFID의 제어부를 Verilog HDL로 설계하여, Model-Sim, Verilog-XL을 통해 시뮬레이션 하였다. 제어부는 PIE부, CRC5/CRC16, Slot Counter, RNG, Main Control부, Encoder, Memory Interface로 나뉘서 설계하였으며, 모델링한 1Kbit의 EEPROM과 2.56MHz의 클럭을 이용하였다.

1. 기능 시뮬레이션

그림 20은 태그의 전체적인 시뮬레이션 결과이다. 11개의 명령어에 의해 상태가 Ready - Arbitrate - Reply - Acknowledged - Secured(혹은 Open) - Killed로 변하

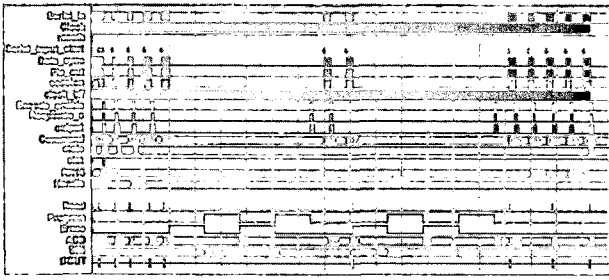


그림 20. 전체적인 시뮬레이션 결과  
Fig. 20. Full simulation result.

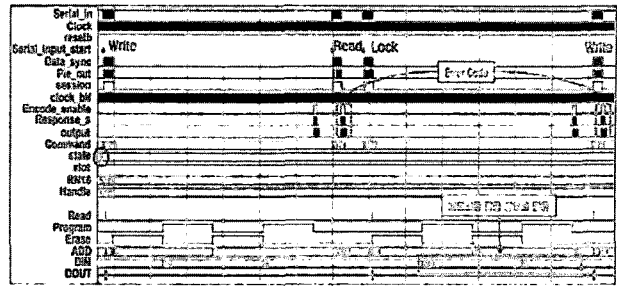


그림 23. Secured 시뮬레이션 결과  
Fig. 23. Secured simulation result.

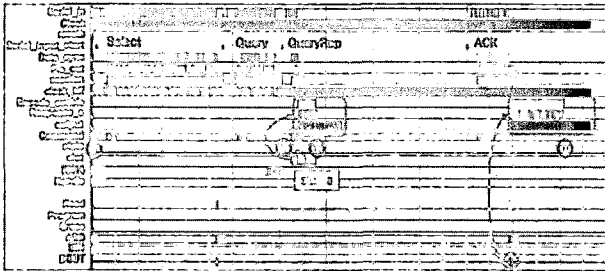


그림 21. Ready-Acknowledged 시뮬레이션 결과  
Fig. 21. Ready-Acknowledged simulation result.

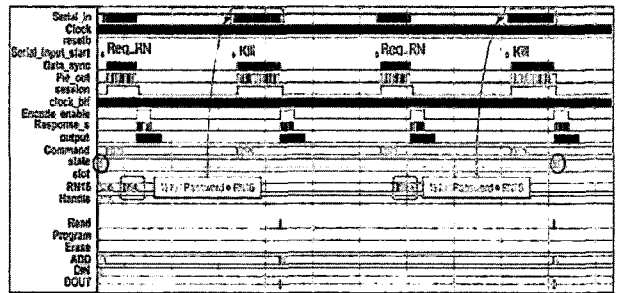


그림 24. Secured-Killed 시뮬레이션 결과  
Fig. 24. Secured-Killed simulation result.

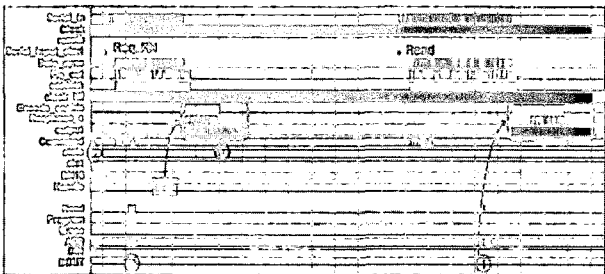


그림 22. Acknowledged-Secured 시뮬레이션 결과  
Fig. 22. Acknowledged-Secured simulation result.

며 태그가 정상 동작됨을 확인하였다.

이 시뮬레이션 결과를 자세히 살펴보면 다음과 같다.

그림 21은 Ready-Arbitrate-Reply-Acknowledged의 상태 변화를 보여주며, Query 명령어 이후 QueryRep에 의해 slot값이 0이 되어 Arbitrate에서 Reply로 상태가 변하고 RN16값을 output을 통해 내보내는 것을 확인할 수 있다. 다음으로 ACK 명령어에 의해 EEPROM으로부터 읽어들이 값을 응답으로 내보내고 Acknowledged 상태로 바뀌는 것을 보여준다.

그림 22는 Acknowledged에서 Secured로 상태가 변하는 과정과 Read 명령어에 의한 결과이다. Acknowledged 상태에서 Req\_RN 명령어를 받은 태그는 handle (new RN16)을 내보내고, EEPROM의 access password가 0임을 확인한 뒤 Secured 상태로 바뀌는 것을 보여준다. Secured 상태에서 Read 명령어를 통해 메모리 데이터가 정상적으로 읽혀지는 것을 확인하였다.

그림 23은 태그가 Secured 상태에서 Write, Read, Lock, Write 명령어 순서로 동작하는 것을 보여준다. Write, Read, Lock 명령어들은 메모리에 저장된 Lock의 Action 부분을 우선 읽어 들여 해당 주소의 메모리가 읽기, 쓰기 등이 가능한지 확인한 후 실행하게 된다. 시뮬레이션에서 처음 Write 명령어는 EEPROM의 주소 0과 1에 16과 4를 저장하고 메모리 쓰기가 정상적으로 동작하여 그 결과가 output으로 나오는 것을 보여준다. 다음의 Read는 존재하지 않는 주소의 데이터를 읽게 하는 명령어로 error code가 나오는 것을 보여준다. 메모리 잠금 상태에서의 동작을 확인하기 위해 Lock 명령어로 메모리를 잠금 상태로 만든 후 앞선 Write와 같은 주소에 쓰기 동작을 실행시켰을 때 쓰기 금지에 의한 error code가 나오는 것을 확인하였다.

그림 24는 Secured에서 Killed로 상태가 변하는 것을 보여준다. Req\_RN 명령어에 의한 RN16을 이용하여 1/2 kill password ⊗ RN16을 통해 Kill 명령이 실행되고, 완료 후 Killed 상태로 변하는 것을 확인할 수 있었다. Killed 상태가 된 태그는 다른 상태로 바뀌지 못하며 영구히 사용할 수 없게 된다.

## 2. Layout

Magnachip 0.25μm 공정 라이브러리를 이용하여 Synopsys design compiler로 합성하고 Apollo를 통해

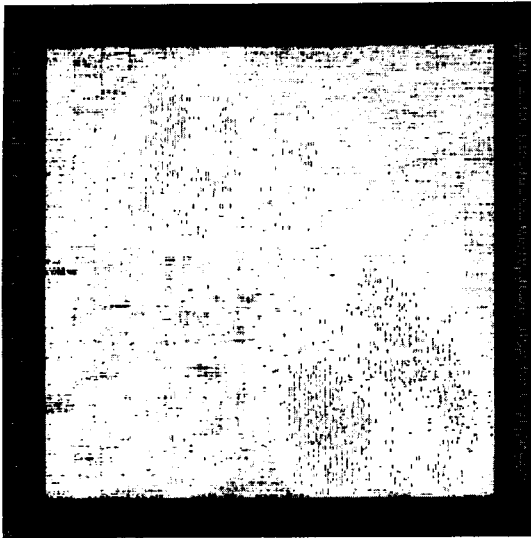


그림 25. 레이아웃  
Fig. 25. Layout.

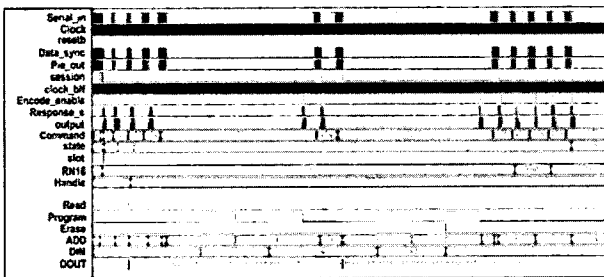


그림 26. Postlayout 시뮬레이션 결과  
Fig. 26. Postlayout simulation result.

레이아웃을 하였다. 그림 25는 레이아웃 결과이고, 36,230개의 NAND 게이트 수가 사용되었으며 1.1×1.1 mm<sup>2</sup>의 코어 면적을 차지하였다. 또한 Synopsys design compiler를 통해 파워를 측정된 결과 898.86μW의 전력소모를 보였다.

그림 26은 Apollo를 이용한 P&R을 진행한 후 SDF (Standard Delay Format)을 적용한 Postlayout 시뮬레이션 결과이다. Verilog-XL을 이용한 시뮬레이션과 nWave를 이용한 파형검증 결과 기능 시뮬레이션과 같은 결과가 나온 것을 확인할 수 있었다.

## V. 결 론

EPCglobal의 RFID Class-1 Generation-2 UHF RFID 1.1.0 프로토콜에 따른 UHF대역 수동형 RFID 태그 IC의 제어부를 설계하였다. 제어부는 PIE 부, CRC5/CRC16, Slot Counter, RNG, Main Control 부, Encoder, Memory Interface로 나뉘서 Verilog HDL을 이용하여 설계하였으며 모델링한 1Kbit의 EEPROM과

2.56MHz의 클럭을 이용하였다.

기능 시뮬레이션과 Postlayout 시뮬레이션 결과로부터 Ready - Arbitrate - Reply - Acknowledged - Secured (혹은 Open) - Killed 7개의 상태를 통해 11개의 명령어들이 EPC 프로토콜을 만족하며 정상적으로 동작하는 것을 확인하였다.

Magnachip 0.25μm 공정 라이브러리를 적용하여 Synopsys design compiler로 합성하고 Apollo를 이용하여 레이아웃을 하였다. 레이아웃의 결과 36,230개의 NAND 게이트 수를, 1.1×1.1 mm<sup>2</sup>의 코어 면적을 차지하였고, 898.86μW의 전력소모를 보였다.

향후, AFE, EEPROM과의 통합설계를 통한 RFID 회로 구현 및 저전력 설계에 대한 연구가 필요하다.

## 참 고 문 헌

- [1] 표철식, 채종석, "RFID 기술 및 표준화 동향," TTA저널, 2004년 9월/10월호.
- [2] 손해원, 모희숙, 성낙선, "UHF RFID 기술," 전자통신동향분석, 제20권 제3호, 2005년 6월.
- [3] U. Karthaus and M. Fischer, "Fully Integrated Passive UHF RFID Transponder IC with 16.7-μW Minimum RF Input Power," IEEE Journal of Solid-State Circuits, Vol. 38 No. 10, pp. 1602-1608, Oct. 2003.
- [4] EPCglobal, "EPCTM Radio-Frequency Identity Protocol for Communications at 860MHz-950MHz Version 1.1.0," EPCglobal, Dec. 2005.
- [5] (주)폴리소프트, "RFID 국제표준화에 대한 국내 기업들의 지재권 동향," KETI EIC, 2006년 9월.
- [6] Klaus Finkenzeller, *RFID Handbook : Fundamentals and Applications in Contactless Smart Cards and Identification*, 영진닷컴, 서울, 2004.



저 자 소 개



우 철 종(정회원)  
 2005년 2월 충북대학교 전기전자  
 공학부 졸업(공학사)  
 2007년 2월 충북대학교 대학원  
 반도체공학과 졸업  
 (공학석사)  
 2007년 3월~현재 삼성전자  
 반도체 총괄 메모리  
 사업부 F/E TEST기술팀

<주관심분야: 시스템IC설계, Memory설계>



차 상 록(학생회원)  
 2007년 2월 충북대학교 전기전자  
 공학부 졸업(공학사)  
 2007년 3월~현재 충북대학교  
 대학원 반도체공학과  
 석사과정  
 <주관심분야: 시스템IC설계>



김 학 윤(학생회원)  
 1999년 2월 충북대학교 반도체  
 공학과 졸업(공학사)  
 2001년 2월 충북대학교 대학원  
 반도체공학과 졸업  
 (공학석사)  
 2000년~2004년 하이닉스반도체  
 System IC 연구소 주임  
 연구원

2005년~현재 RIUBIT 선임연구원  
 2006년 3월~현재 충북대학교 반도체공학과  
 박사과정  
 <주관심분야 : LDI & SoC 설계, Embedded  
 Memory>



최 호 몽(평생회원)  
 1980년 2월 서울대학교  
 전자공학과 졸업(공학사)  
 1982년 2월 한국과학기술원 전기  
 및 전자공학과 졸업(공학  
 석사)  
 1994년 3월 오오사카대학교  
 대학원 전자공학과 졸업  
 (공학박사)

1980년 3월~1985년7월 삼성반도체연구원  
 선임연구원  
 1985년 8월~1996년8월 부경대학교 부교수  
 1996년 9월~현재 충북대학교 전기전자컴퓨터  
 공학부 교수  
 <주관심분야: DFT & Testing, 시스템IC설계>