

논문 2008-45SD-9-1

저 전력 버퍼 회로를 이용한 무선 모바일 용 스텝다운 DC-DC 변환기

(Design of the High Efficiency DC-DC Converter Using Low Power Buffer and On-chip)

조대웅*, 김석진**, 박승찬*, 임동균*, 장경운**, 윤광섭**

(Dae-woong Cho, Soek-jin Kim, Seung-chan Park, Dong-kyun Lim, Kyung-oun Jang,
and Kwang-sub Yoon)

요약

본 논문은 0.35 μ m CMOS 공정으로 설계된 무선 모바일 시스템의 전력구동을 위한 3.3V 입력 1.8V 출력의 스텝다운 전압모드 DC-DC 변환기를 제안한다. 제안된 커패시터 멀티플라이어 기법은 오차보정증폭기의 보상회로 블록의 크기를 30%까지 줄여서 칩 안에 집적화 하였다. 이를 통하여 회로의 안정성을 향상시키기 위해서 칩 외부에 위치되었던 수동소자들이 없어지게 되었다. 또한 저 전력 버퍼를 이용해서 기존의 DC-DC 변환기보다 효율을 평균 3%정도 향상 시켰다. 제안한 변환기는 측정 결과, 부하전류 200mA에서 1.17%의 미만의 출력전압 리플을 가지며 최대 83.9%의 전력효율을 가진다.

Abstract

This paper proposes 3.3V input and 1.8V output voltage mode step-down DC-DC buck converter for wireless mobile system which is designed in a standard 0.35 μ m CMOS process. The proposed capacitor multiplier method can minimize error amplifier compensation block size by 30%. It allows the compensation block of DC-DC converter be easily integrated on a chip. Also, we improve efficiency to 3% using low power buffer. Measurement result shows that the circuit has less than 1.17% output ripple voltage and maximum 83.9% power efficiency.

Keywords : Mobile, Buck, Compensation, Capacitor Multiplier, Low Power Buffer

I. 서론

핸드폰, PDA, 노트북등 응용 제품들이 보편화 되어 있으며 시장 또한 계속 확대되어가고 있다. 이러한 장비들은 생활필수품과 같이 여겨져 오고 있으며 홈네트 워크와 같은 여타 분야에서 원격제어 단말기로써 사용이 가능해 지면서 더욱 생활 깊숙이 자리 매김 할 수 있을 것으로 예측된다. 다양한 콘텐츠들의 추가는 이러

한 현상을 촉진시키는 촉매 역할을 할 것으로 IT산업 전반에 걸쳐 새로운 수요와 부가가치를 창출할 것이다. 무선 모바일 커뮤니케이션의 시장의 성장과 문화의 형성은 하드웨어적 발전을 필요로 하였다. 해당 기기 시스템의 고속 동작 및 높은 해상도는 언급이 필요 없는 중요한 성능 변수로써 인식되지만, 휴대용 장비들은 배터리 전원을 기반으로 하고 있다. 배터리의 구동이 전제되어야만 기본적인 동작이 성립 가능한 것이다. 본 논문은 최근 모바일 장비 기술의 급성장과 함께 세계적으로 연구가 진행되고 있으며 시장에서 빠르게 출시되고 있는 상용 제품에서 필요로 하는 적은 면적을 가지며 고효율인 스텝다운 DC-DC 변환기 설계 기술 확보에 중점을 두고 있다^[4].

* 학생회원, ** 정회원, 인하대학교 전자공학과
(Dept. Electronic, INHA University)

※ “본 연구는 대학IT 연구센터(인하UWB-IRRC)육성
지원사업의 연구결과를 수행되었음”

접수일자: 2007년12월27일, 수정완료일: 2008년9월11일

전압모드 동작 시 각 주파수에서의 안정적 동작을 위해 보상회로에 의한 보상이 필요하다. 만약 이 보상회로가 칩 밖에 수동소자로 설계된다면 많은 소자를 필요로 하게 되므로 가격 상승에 큰 영향을 미칠 것이다. 하지만 칩 내부에 보상회로를 탑재하기에는 너무나 큰 커패시터가 필요하다. 이를 해결하기 위해 커패시터 멀티플라이어 기법이 필수적이다. 본 논문은 커패시터 멀티플라이어를 사용한 Type III 보상회로와 저 전력 버퍼 회로를 이용한 스텝다운 DC-DC 컨버터를 제안한다^[1].

본 논문의 구성은 II장에서 새롭게 제안된 저 전력 스텝다운 DC-DC 변환기의 구조를 설명하였으며, 저 전력 스텝다운 DC-DC 변환기 제어동작 및 구성회로에 대해서는 III장에서 설명하였다. IV장과 V장에서는 각각 측정 결과와 결론을 맺었다.

II. 저 전력 스텝다운 DC-DC 변환기의 구조

제안된 스텝다운 DC-DC 변환기는 그림 1과 같다. 출력 전압은 R1과 R2의 비율만큼 작아져서 오차증폭기의 레퍼런스 전압과 비교된다. 오차 증폭기의 출력은 램프 발생기에서 나온 신호와 비교되며, 비교기의 출력은 펄스폭 발생기(Pulse Width Generator)에서 클럭에 반응하여 일정한 듀티를 가지는 펄스를 생성한다. PWM의 출력은 파워스위치를 드라이브 할 수 있도록 저 전력 버퍼로 입력된다. 저 전력 버퍼의 출력은 PMOS와 NMOS 파워스위치를 ON, OFF 시키면서 일정한 듀티를 가지는 펄스를 칩 외부로 내보낸다. 이 펄스는 LC 필터를 거치면서 일정한 전압으로 출력 된다. 스텝다운 DC-DC 변환기의 입력 전압이 올라가면 출력

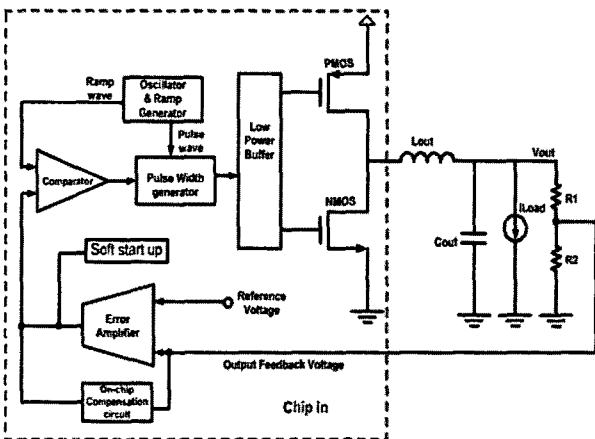


그림 1. 저 전력 스텝다운 DC-DC 변환기 블록도
Fig. 1. Low power step-down DC-DC converter block diagram.

전압도 상승한다. 따라서 귀환 전압 또한 상승한다. 오차증폭기의 출력은 작아진다. 그러므로 입력이 변동한다고 해도 항상 일정한 출력 전압이 발생한다. 보상회로의 On-Chip과 효율 향상을 위해서 커패시터 멀티플라이어 기법과 저 전력 버퍼를 사용하였다^{[1], [11]}.

회로의 세부 구성은 칩 밖의 L-C 필터와 칩 안에 설계된 PMOS, NMOS 파워 스위치, On-Chip 보상회로, 오차 증폭기, 비교기, 발진 및 램프신호 발생기, 펄스 폭 발생기, 저 전력 버퍼, 소프트 시동 회로로 구성된다. 파워 스위치는 누설 전류를 작게 하기위해서 0.6um로 설계 되었다^[4].

III. 설계된 DC-DC 변환기의 동작 원리 및 구성

일반적으로 스텝다운 DC-DC 변환기는 위상여유와 일정한 출력 전압을 얻기 위해서 Type III 오차증폭기를 사용하게 된다. 큰 용량을 가지는 커패시터를 집적화시키기 위해서 두 가지 커패시터 멀티플라이어 기법은 제안되었다^[1]. 본 기법은 전압 모드와 전류 모드로 나누어진다. 본 논문에서는 전류모드 커패시터 멀티플라이어 기법을 사용한다. 널리 사용되어지는 전류모드 기법은 그림 2에서 보여진다^[1].

작은 커패시터 C_c 에 흐르는 전류 I_c 의 K배 만큼의 전류를 우회해서 레퍼런스 전류 형태로 흐르게 하면 식1과 같은 형태의 방정식을 얻을 수 있다.

$$I_c = C \frac{dV_c}{dt}, (K+1) \cdot C \frac{dV_c}{dt} \tag{1}$$

$$C_{eq} = (K+1) \cdot C_c$$

Type III 보상회로는 그림 3과 같이 3개의 저항과 3개의 커패시터를 가진다. 이 중 C2와 C3가 큰 크기의 커패시터 값을 가진다. 본 논문에서는 C2와 C3에 커패

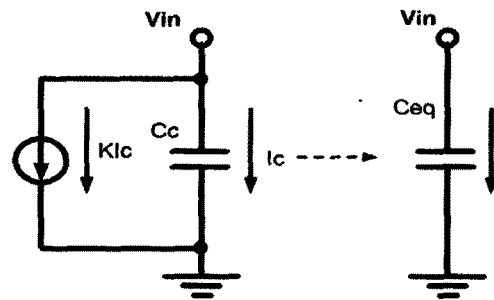


그림 2. 커패시터 멀티플라이어 전류모드
Fig. 2. The current-mode technique of capacitor multipliers.

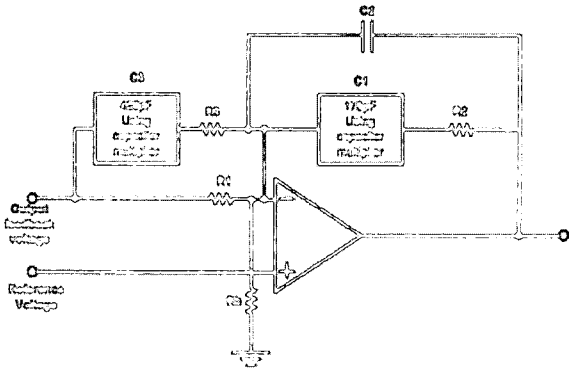


그림 3. Type III 오차증폭기 회로
Fig. 3. The fundamental type III compensation circuit.

시터 멀티플라이어 기법을 적용해서 설계 하였다. 원점의 극점과 영점과 극점 각각 한 쌍을 더 가지고 있다. 크로스오버 주파수 양쪽에 이 영점과 극점을 한 쌍씩 배치시킴으로써 180°이하의 위상을 보상할 수 있다. -270° 위상 이동이 있으며 충분한 위상을 보상할 수 있으므로 ESR(Equivalent Series Resistance)의 영향을 무시할 수 있다. 그러므로 언제나 안정적인 위상여유를 얻을 수 있다.

각각 두 개의 극점과 영점을 가지는 Type III 오차증폭기의 전달함수는 식(2)에 보여진다.

$$G = \frac{dV_o}{dV} = \frac{(1+sR_2C_1)[1+s(R_1+R_3)C_3]}{sR_1(C_1+C_2)(1+sR_3C_3)[1+sR_2(C_1C_2/(C_1+C_2))]} \quad (2)$$

본 논문에서는 그림 3에서 볼 수 있듯이 양방향 커패시터 멀티플라이어 기법이 사용된다. 기법이 적용되는 C3과 C1의 한쪽 단자가 그라운드에 접지 되어있는 것이 아니므로 양 단자에서 볼 때 항상 등가적인 커패시터 값을 가져야 한다. 그 결과 양방향 커패시터 멀티플라이어 기법을 사용해야 한다. 그림 4는 양방향 커패시터 멀티플라이어 기법을 적용한 428pF(C3)와 178pF

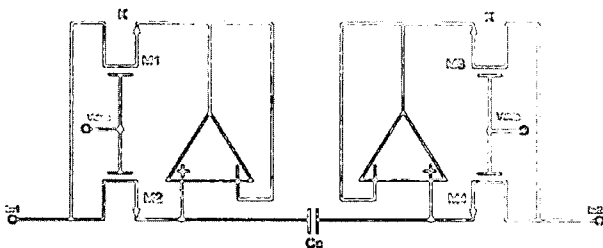


그림 4. Type III 오차증폭기 회로
Fig. 4. The fundamental type III compensation circuit.

(C1)의 상세 회로도를 나타낸다.

그림 4는 위의 기본이론을 바탕으로 설계한 실제회로이다. 동작원리는 MOSFET M2와 M1의 게이트 단자에 Vdd를 인가함으로써 선형영역 동작을 보장하고 M2와 M1의 크기 비율을 1:K로 함으로써 M1에 흐르는 우회 전류량을 K배로 조절한다. 단위 이득 버퍼(Unit gain buffer)를 통해 Cc의 충·방전할 때 생기는 M2의 드레인-소스 전압 변화를 M1에 전달할 수 있게 하였다. 그림 4는 Type III 보상회로를 꾸미기 위한 양방향 커패시터 멀티플라이어의 회로 구성을 나타내고 있다. 설계 시 중요한 사항은 그림 4에서 Cc를 기준으로 양쪽 대칭적으로 레이아웃 되어야 한다는 것이다.

본 논문에서 제안된 스텝다운 DC-DC 변환기 설계에 적용될 수 있는 저 전력 버퍼 회로에 설명이다. 스텝다운 DC-DC 변환기에서 파워 스위치를 구동하는 드라이브 버퍼는 인버터 구조를 기본으로 하고 있다. 그러므로 VDD에서 GND로 단락 회로 전류가 흐르게 된다. 이때 흐르는 전류 때문에 DC-DC 변환기의 효율은 상당히 저하된다.

제안된 저 전력 버퍼 회로는 NMOS와 PMOS의 드레인이 연결되어 있는 기존의 인버터 형태가 아니고, 드레인과 게이트가 연결되어 있으므로 원천적으로 단락 회로 전류를 제거 할 수 있다. 그 결과 스텝다운 DC-DC 변환기의 효율을 증가시킬 수 있다. 또한 기존의 버퍼와 비교해서 트랜지스터의 숫자를 줄일 수 있으므로 레이아웃 크기 또한 줄일 수 있다. 그림 5는 저 전력 버퍼를 가진 DC-DC 변환기 블록도이다^[11].

제안된 저 전력 버퍼를 사용하게 되면 일반적인 DC-DC 변환기에서 필요한 비 중첩 클록 발생기를 사용하지 않게 된다. 그림 5에서 PMOS 파워스위치 오프 트랜지스터를 볼 수 있다. NMOS 파워 스위치가 온 되면 PMOS 파워스위치 오프 트랜지스터는 온 되어서 PMOS 파워스위치 게이트에 '1'의 신호를 인가하게 된다. 그 결

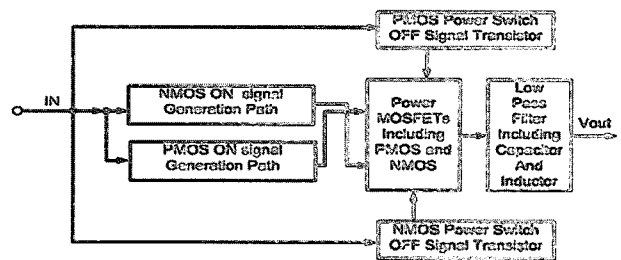


그림 5. 제안된 드라이버를 가진 DC-DC 변환기 블록도
Fig. 5. Block diagram of the DC-DC converter with the proposed driver.

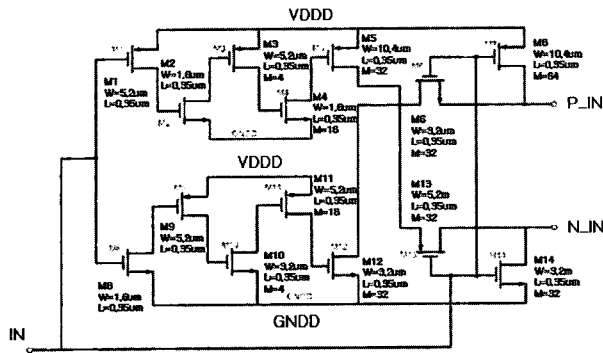


그림 6. 저 전력 버퍼 회로
Fig. 6. Low power buffer circuit.

표 1. 설계 성능 요약
Table 1. Design performance summary

	Inverter chain buffer	Proposed buffer
Total Power[W]	128 uW	66 uW

과 PMOS 파워 스위치는 오프 된다.

제안된 저 전력 버퍼 회로는 그림 6과 같다. M1부터 M5까지는 “1”발생회로이고, M8부터 M12까지는 “0”발생 회로이다. M1과 M8의 게이트가 “0”일 때, “0”발생 회로의 출력은 무한대의 임피던스를 가지게 되고, “1”의 발생 회로는 1을 가지게 된다. 그리고 나서 NMOS 파워 스위치는 턴온 되고 “0”의 출력 전압을 발생하게 된다. NMOS 파워 트랜지스터의 정확한 동작을 위해서 M14는 오프 되어 진다. M6과 M13의 기능은 드레인 에서 그라운드로 전류가 흐르는 것을 방지하는 일종의 전류 제한 기능을 한다. 이 기능으로 인해서 단락 회로 전류를 막을 수 있다. 또한 M6은 PMOS 파워스위치를 턴온 시키는 경로에 위치되어 있으므로 Strong ‘0’ 특성을 가져야한다. 그러므로 NMOS를 사용하였다. M7은 풀업 트랜지스터 이고 M14는 풀다운 트랜지스터이다. 이러한 트랜지스터 들은 파워 트랜지스터 중 한 개가 동작하지 않을 때 확실히 오프를 시켜주어서 파워 소모를 줄인다. 표 1에 제시 되어 있듯이, 제안된 저 전력 버퍼는 인버터 체인 형태를 기반으로 한 버퍼와 비교하면 50%까지 전력을 줄일 수 있다. 그러나, 커패시터 멀티플라이어 기법을 사용하면 증폭기를 사용해야 하므로, 그 점을 고려하면 전체 전력 효율 향상은 약 3% 향상 된다.^{[1], [2]}

IV. 측정결과

본 논문의 저 전력 버퍼 회로를 이용한 무선 모바일 용 스텝다운 DC-DC 변환기 회로는 0.35um CMOS 공

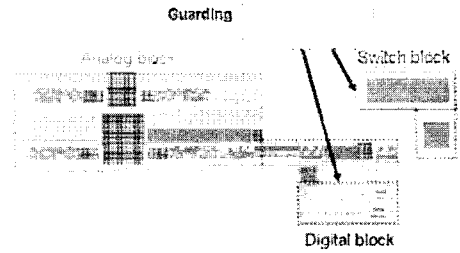


그림 7. 제안된 DC-DC 변환기 칩 사진
Fig. 7. Proposed DC-DC converter Micrograph.

정을 사용하여 제작되었다. 입력의 범위는 2.5[V]~3.3[V]이며 출력은 1.8[V]로 고정되었다. 그림 7은 설계된 DC-DC 변환기의 레이아웃 사진을 나타내었으며, 레이아웃의 코어 사이즈는 3.2*0.9mm²이다. NMOS 파워스위치와 PMOS 파워스witch는 각각 350mΩ 정도의 R_{on}저항을 가지도록 파워스위치의 크기를 결정 하였다. PMOS 파워스witch는 NMOS 파워 스위치의 2.5배 크기로 레이아웃을 하였다. 이러한 두 개의 트랜지스터들은 스텝다운 DC-DC 변환기 ON/OFF 구간에서 개별적으로 동작하므로, 트랜지스터의 크기를 결정할 때 트랜지스터 사이의 정확한 정합 특성보다는 각 트랜지스터의 on-저항이 전도 손실에 미치는 영향을 고려하였다. 파워 스위치를 통해 300mA 미만의 전류가 흐르므로 전송선을 Metal 2부터 Metal 4까지 삼층으로 충분히 두껍게 레이아웃 하였다. 또한 전도 손실(Conduction loss)을 최소화하기 위해 스위치에서 패드(Pad)까지를 최단거리로 레이아웃 하였다.

그림 8과 9는 각각 부하 전류가 200mA일 때, 파워 스위치의 출력 전압 펄스와 출력 전압을 나타내고 있다.

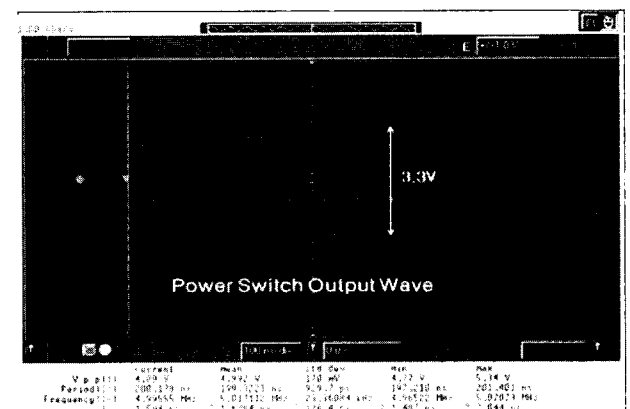


그림 8. 부하전류 200mA 일 때 파워 스위치 전압 출력 파형
Fig. 8. Power switch voltage output wave when load current is 200[mA].

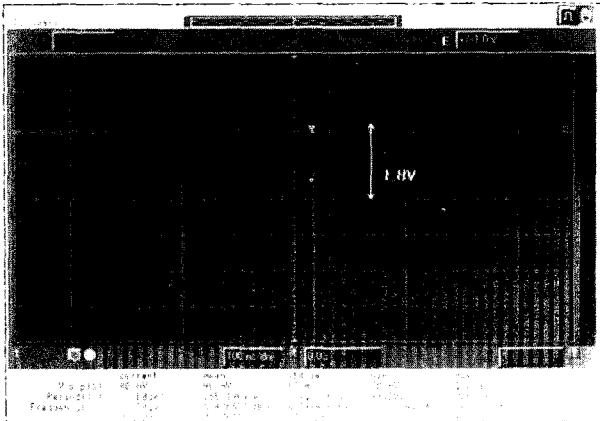


그림 9. 부하전류 200mA 일 때 출력 전압 파형
Fig. 9. Output voltage wave when load current is 200mA.

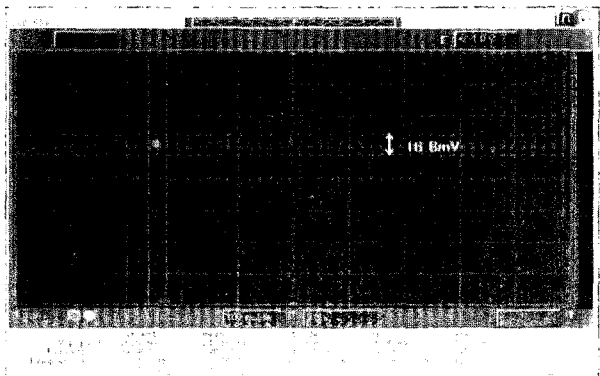


그림 10. 부하전류 200mA 일 때 전압 출력 리플 파형
Fig. 10. Output voltage ripple wave when load current is 200mA.

DC-DC 변환기에서 출력 전압의 성능을 나타내는 지표는 바로 출력 전압의 리플이다. 그림 10은 200mA의 부하 전류가 흐를 때 출력 전압의 리플을 나타낸 것이다. 위의 출력 리플은 오실로스코프의 전압 눈금을 20mV로 설정해 놓고 측정한 결과이다. 위의 측정결과를 토대로 출력 전압 리플을 계산해 보면 1.17%가 나오는 것을 확인할 수 있었다. 보통 리플은 1% 이내로 들어와야 하는데 약간 초과한 것을 확인할 수 있었다^[2].

그림 11은 부하 변동 시 효율 측정을 하는 환경을 나타내고 있다. 출력 부분의 전류와 전압을 측정하고, 그 값을 입력 부분의 전류와 전압 값으로 나누어 주면 스텝다운 DC-DC 변환기의 효율을 구할 수 있다. 그림 13에 나타나 있는 PCB는 아날로그와 디지털 부분을 나누어서 설계되었다. 그 결과, 디지털 부분의 스위칭 노이즈가 아날로그 부분에 영향을 끼치는 것을 미연에 방지하였다. 또한 아날로그와 디지털 파워 패드 가까이에 바이패스 커패시터를 위치시킴으로써 노이즈를 제거하였다.

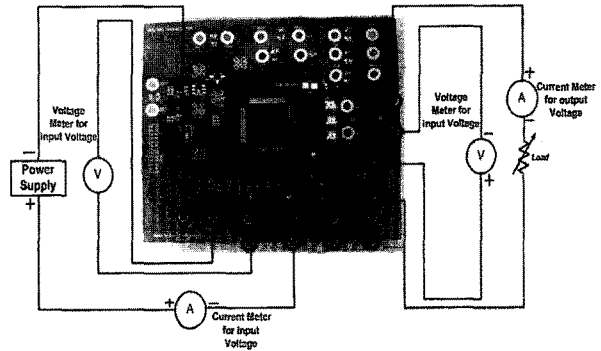


그림 11. 제작한 스텝다운 DC-DC 변환기 효율 측정 환경
Fig. 11. Measurement environment of step-down DC-DC converter.

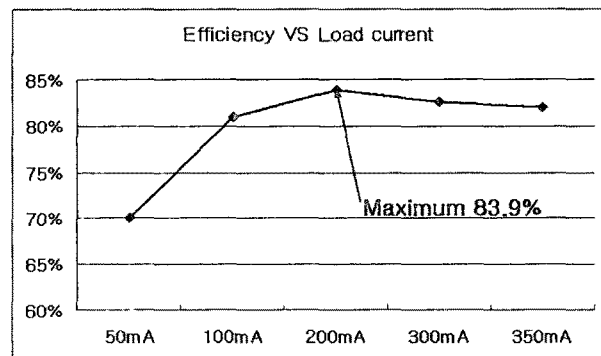


그림 11. 전력효율 그래프
Fig. 11. Power Efficiency Graph.

표 2. 제안한 DC-DC 변환기와 국제 학술논문과의 비교

Table 2. Comparison of performance between the proposed DC-DC converter, international, and domestic science paper DC-DC converter.

Ref. No.	Input Voltage	Output Voltage	Type	Switching Freq.	Efficiency
[2]	5	1	Buck	200kHz	91 %
[3]	1.2	2.5	Boost	667kHz	85 %
[4]	24	6	Buck	300kHz	89 %
[7]	4	1.5	Buck	500kHz	92 %
[8]	3.6	2	Buck	300kHz	89.5 %
[10]	3.3	1	Buck	1MHz	80%
This Work	3.3	1.8	Buck	5MHz	83.9 %

제안된 스텝다운 DC-DC 변환기의 전력효율은 그림 12와 같다. 부하전류 50mA에서 최저 효율을 가지고, 200mA 부하에서 최대 83.9%의 전력효율을 가진다. 부하전류 200mA이후부터는 효율이 다시 떨어짐을 확인할 수 있었다.

표 3. 측정 성능 결과 요약

Table 3. Measurement performance summary.

항 목	측정결과
입력전압	2.5V ~ 3.3 V
출력전압	1.8 V
스위칭 주파수	5MHz
전력효율	Maximum 83.9 %
전압리플	1.17%
부하전류	300mA
필터 인덕터	4.7 μ H
필터 커패시터	4.7 μ F
공 정	CMOS 0.35 μ m

제안한 DC-DC 벡 변환기와 국내 및 국제학술논문에서 제안된 DC-DC 변환기와의 비교 분석결과는 표 2와 같다. 수치적으로 발표된 논문들에 비해 전력효율이 비슷하거나 낮은 것을 볼 수 있으나 스위칭 주파수가 타 논문들에 비해 높은 것과 레이아웃 사이즈를 감소시킨 것을 감안하면 상대적으로 우수한 성능을 보인다고 할 수 있다. 또한 파워스위치를 드라이브 하는 버퍼 단을 최적화 설계 하면, 2~3% 정도의 효율상승을 얻을 수 있어 추가적인 성능향상이 예상된다. 제안한 스텝다운 DC-DC 변환기의 성능을 요약하면 표 3과 같다.

V. 결 론

본 논문은 무선 모바일 시스템의 전력구동과 효율 향상을 위한 5MHz 스위칭 주파수에서 동작하는 고성능 스텝다운 DC-DC 변환기의 설계를 제안하였다. 본회로는 일반적인 인버터 형태의 버퍼가 아닌 저 전력 버퍼를 이용함으로써 DC-DC변환기 전력 효율을 향상시켰다. 설계된 변환기는 저 전력 버퍼를 VDDD에서 GNDD로 흐르는 단락 회로 전류를 제거함으로써 전체 효율을 향상시켰다. 커패시터 멀티플라이어 기법을 사용하여 보상회로에 필요한 큰 크기의 커패시터를 작은 크기의 커패시터로 대체하였고, 보상회로를 칩 안에 집적화 시킬 수 있었다. 본 변환기는 CMOS 0.35 μ m 1-Poly 4-Metal 공정을 사용하여 설계하였으며 1.17% 미만의 출력전압리플과 최대 83.9%의 전력 효율을 나타낸다.

감사의 글

반도체설계교육센터(IDEC)의 CAD Tool 지원에 감사드립니다.

참 고 문 헌

- [1] Chia-Jung and Ke-Horng Chen, "Bidirectional Current-Mode Capacitor Multiplier in DC-DC Converter Compensation", IEEE Proceedings of the Fifth International Workshop on System-on-Chip for Real-Time Applications, Vol. 00, pp. 111-116, July 2005.
- [2] Vahid Yousefzadeh and Dragan Maksimovic, "Sensorless Optimization of Dead Times in DC-DC Converters With Synchronous Rectifiers", IEEE Transaction on power electronics, Vol. 21, No. 4, pp. 994 - 1002, July 2006.
- [3] Tsz Yin Man, Philip K. T. Mok and Mansun Chan, "A CMOS-Control Rectifier for Discontinuous-Conduction Mode Switching DC-DC Converters", 2006 IEEE International Solid-State Circuits Conference, Session 19, pp. 358 - 359, Analog techniques, Feb. 2006.
- [4] Kaiwei Yao, Mao Ye, Ming Xu, Fred C. Lee, "Tapped-Inductor Buck Converter for High-Step-Down DC-DC Conversion", IEEE Transaction on power electronics, Vol. 20, No. 4, pp. 775 - 780, July 2005.
- [5] Michael D. Mulligan, Bill Broach, and Thomas H. Lee, "A Constant-Frequency Method for Improving Light-Load Efficiency in Synchronous Buck Converters", IEEE Power Electronics Letters, Vol. 3, No. 1, pp. 24 - 29, March. 2005.
- [6] Hoi Lee and Philip K. T. Mok, "A SC DC-DC Converter with Pseudo Continuous Output Regulation using a Three-Stage Switchable Opamp", 2005 IEEE International Solid-State Circuits Conference, Session 15, ADCs, DC References, and Converters, pp. 288 - 289, Feb. 2005.
- [7] Jinwen Xiao, Angel V. Peterchev, Iianhui Zhang, Seth R. Sanders, "A 4- μ A Quiescent-Current Dual-Mode Digitally Controlled Buck Converter IC for Cellular Phone Applications", IEEE Journal of Solid-State Circuits, Vol. 39, No. 12, pp. 288 - 289, Dec. 2004.
- [8] Cheung Fai Lee and Philip K. T. Mok, "A Monolithic current-Mode CMOS DC-DC Converter With On-Chip Current-Sensing Technique", IEEE Journal of Solid-State Circuits, Vol. 39, No. 1, pp. 3 - 14, Jan. 2004.
- [9] 정경수, 양희관, 차상현, 임진업, 최중호, "전류감지 Feedback 기법을 사용한 고효율 CMOS DC-DC Boost 변환기의 설계", 2006년 9월 전자공학회 논문지 제 43권 SD편 제9호.
- [10] 박규진, 김훈, 김희준, 정원섭, CMOS OTA를 이용한 1MHz, 3.3-1V 동기식 Buck DC/DC

converter” 논문 2006-43SC-5-4.

[11] Abed. K. H, Wong. K. Y, Dazimierzuk. M. K,
 “Implementation of novel low-power drive for
 integrated buck converter”, IEEE circuits and
 Systems, Vol.2, pp.1757-1760, Aug. 2005.

[12] Robert W. Erickson, Dragan Maksimovic,
 “Fundamentals of power electronics” Second
 Edition, 16p.

저 자 소 개



조 대 응(학생회원)
 2006년 인하대학교 전자공학 학사
 졸업.
 2008년 인하대학교 전자공학 석사
 졸업.
 2008년 현재 페어차일드 power
 conversion product line
 <주관심분야 : 아날로그 VLSI설계, DC-DC
 converter 설계, System IC 설계>



김 석 진(정회원)
 2005년 인하대학교 전자공학 학사
 졸업.
 2007년 인하대학교 전자공학 석사
 졸업.
 2008년 현재 동부하이텍 Analog
 사업부
 <주관심분야 : 아날로그 VLSI설계, DC-DC
 converter 설계, System IC 설계>



박 승 찬(학생회원)
 2004년 인하대학교 전자공학 학사
 졸업.
 2004년~2006 LG디스플레이 근무
 2007년~현재 인하대학교
 전자공학 석사과정
 <주관심분야 : 아날로그 VLSI설
 계, DC-DC converter 설계,
 System IC 설계>



임 동 균(학생회원)
 2008년 인하대학교 전자공학 학사
 졸업.
 2008년~인하대학교 전자공학과
 석사 재학
 <주관심분야 : 아날로그 VLSI설
 계, DC-DC converter 설계,
 System IC 설계>



장 경 운(정회원)
 1991년 조선대학교 전자공학
 학사 졸업
 1991년~1999년 삼성전자
 반도체 사업부
 2007년 인하대학교 공학대학원
 석사 졸업
 1999년~현재 페어차일드 Principal Design
 engineer
 <주관심분야 : 아날로그 VLSI설계, DC-DC
 converter 설계, System IC 설계>



윤 광 섭(정회원)
 1982년 인하대학교 전자공학 졸업
 1983년 Georgia Institute Inc,
 Technology 전자공학
 석사 졸업
 1989년 Georgia Institute Inc,
 Technology 전자공학
 박사 졸업
 1984년 3월~1989년 2월 Georgia Institute of
 Technology Research Assistant
 1989년 3월~1992년 2월 Silicon Systems Inc,
 Tustin Calif. U.S.A Senior Design
 Engineer
 1992년 3월~현재 인하대학교 전자공학과 교수
 <주관심분야 : 음성신호처리 집적회로 설계, 설계
 자동화 및 소자/회로/시스템 모델링 등>