

# 고밀도 칩 신뢰성 개선을 위한 buffered deposition 소자구조에 관한 연구

김환석<sup>1</sup> · 이천희<sup>2\*</sup>

## A Study on Buffered Deposition Device Structure to Improvement for High Density Chip Reliability

Kim.Hwanseog · Yi.Cheonhee

### ABSTRACT

New Buffered deposition is proposed to decrease junction electric field in this paper. Buffered deposition process is fabricated after first gate etch, followed NM1 ion implantation and deposition & etch nitride layer. New Buffered deposition structure has buffer layer to decrease electric field. Also we compared the hot carrier characteristics of Buffered deposition and conventional. Also, we design a test pattern including NMOSFET, PMOSFET, LvtNMOS, High pressure N/PMOSFET, so that we can evaluate DC/AC hot carrier degradation on-chip. As a result, we obtained 10 years hot carrier life time satisfaction.

**Key words** : Hot carrier

### 요 약

본 연구에서는 드레인 부근의 채널 영역에서 접합 전계를 줄이는 Buffered deposition 구조의 소자를 제안하였다. Buffered deposition 구조의 소자 제작은 첫 번째 게이트를 식각한 후에 NM1(N-type Minor1) 이온주입을 하고 다시 HLD막과 질화막을 덮어 식각하여 제작하였다. 이러한 Buffered deposition 구조는 전계를 줄이기 위한 버퍼층으로 되어 있으며 Buffered deposition 소자의 여러 가지 구조의 Hot carrier 수명을 비교하였으며 열화 특성도 분석하여 10년간의 Hot carrier 수명을 만족함을 증명하였다.

주요어 : 핫 캐리어

## 1. 서 론

ULSI의 집적도가 높아짐에 따라 단위 MOSFET의 채널길이 역시 줄어들어 ULSI급 이상의 제품에서는 1 $\mu$ m 이하의 채널길이를 갖는 MOSFET를 사용하게 되었고, 0.15 $\mu$ m 이하의 채널길이를 갖는 512Mb DRAM의 실용화와 0.13 $\mu$ m급의 1~2Gb DRAM의 개발 및 양산으로 인하여 본격적인 ULSI micron 시대에 돌입하게 되었다.

하지만 소자 크기가 제품의 세대에 따라 같은 비율로

줄어드는 것과는 달리 그 동작전압은 여러 가지 이유로 인해 소자의 축소에 Chip의 동작문제로 인해 전원공급은 줄일 수가 없었다<sup>[1]</sup>.

이로 인해 Hot carrier 효과는 단위 소자의 축소를 제한하는 주된 요인이 되어왔으며 LDD(Lightly Doped Drain)<sup>[2]</sup>, DDD(Double Diffused Drain)<sup>[3]</sup>, GOLD(Gate Drain Overlapped LDD)<sup>[4]</sup>, 그리고 MDD(Moderately Doped Drain)<sup>[5]</sup>와 같은 Hot carrier에 내성을 갖는 MOSFET가 널리 사용되고 있다.

그러나 실제 ULSI 회로에 있어서, 한 단위 블록 회로의 열화는 Hot carrier stress를 받지 않은 회로의 특성에 영향을 미쳐 그 stress 효과가 증폭되거나 혹은 예상하지 못한 특성 저하를 유발시킨다<sup>[6]</sup>. 또한 Hot carrier stress는 MOSFET의 DC 특성뿐 아니라 AC 특성, 즉, 게이트 용량을 변화시키기 때문에 MOSFET의 AC 특성 저하에 의

2008년 3월 10일 접수, 2008년 6월 14일 채택

<sup>1)</sup> 강릉대학교 전기정보통신공학부

<sup>2)</sup> 청주대학교 전자공학과

주 저 자 : 김환석

교신저자 : 이천희

E-mail; yicheon@cju.ac.kr

한 영향 역시 고려되어야 할 사항이다<sup>[7-8]</sup>.

이러한 여러 가지 기존의 접근방식을 고려하여 본 논문에서는 Hot carrier 내성(Immunity) 특성을 지닌 새로운 Buffered deposition 소자를 제작하여 Hot carrier 소자의 수명을 측정하고자 하며 DAHC(drain avalanche hot carrier) stress 와 CHE(channel hot electron) stress 를 인가하여 얻은 DC stress에 의한 열화 특성<sup>[9]</sup>과 비교 분석하고자 한다.

## 2. Buffered deposition 소자 제조 공정

Buffered deposition 소자는 기존의 LDD 구조가 지닌 단점을 보완하기 위해 본 연구에서 개발한 Hot carrier 내성 특성을 지닌 소자이다. Buffered deposition 소자는 최근에 사용되고 있는 최신 반도체 공정을 사용하여 0.18um CMOS 설계 규칙으로 개발하였다.

### 2.1 Buffered deposition 소자의 TP, 마진 설계

그림 1은 Buffered deposition 소자를 만들기 위한 테스트 패턴의 스키매틱 다이어그램이다. 이러한 테스트 패턴은 회로설계 툴인 OPUS를 사용하여 소자 공정시 마스

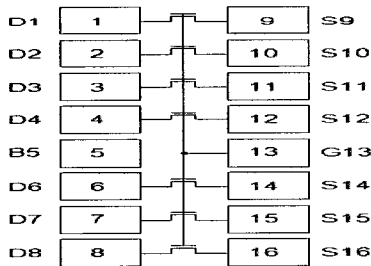


그림 1. Buffered deposition 소자 제작을 위한 테스트 패턴

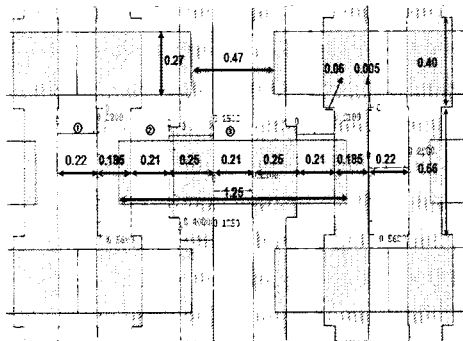


그림 2. 셀 소자영역 레이아웃

크의 open/close 여부에 따라 well, ion implantation, deposition, wire connection 등이 결정된다.

테스트 패턴은 실제 칩 제작과 같이 제작되며 소자의 특성뿐만 아니라 저항, 링오실레이터, 레지스터 등 회로도 만들어 넣을 수 있으며 공정의 히스토리<sup>[10]</sup>를 검증할 수 있는 아주 중요한 요소이다.

그림 2는 0.18um 설계 규칙으로 제작된 레이아웃이며 FG CELL WAVE화를 위한 고려사항은 WAVE 정도, SPACE CD(0.23um이상), Cell & core, peri CD balance 를 정확히 맞추어주어야 한다.

그림 3은 게이트 간의 공정마진을 검토하기 위하여 photo 시뮬레이션을 해본 결과이며 short나 open 특성없이 양호한 결과를 얻을 수 있었다.

### 2.2 Buffered deposition 소자의 전기적 시뮬레이션

Buffered deposition 소자의 구조를 시뮬레이션 하기 위해 여러 가지 최적 공정 및 구조 조건<sup>[11]</sup>을 얻고자 다음과 같은 시뮬레이션을 수행하였다. 시뮬레이션에 사용된 툴은 공정 parameter를 추출하기 위한 SUPREM4와 MEDICI 시뮬레이터를 이용하였다. 그림 4는 소자의 시



그림 3. 게이트 라인의 Photo 시뮬레이션 결과

Buffered Deposition 소자구조 단면도

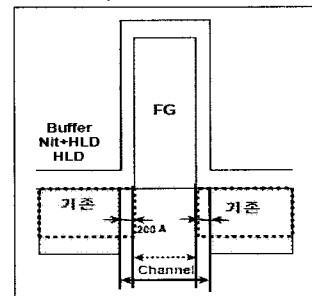
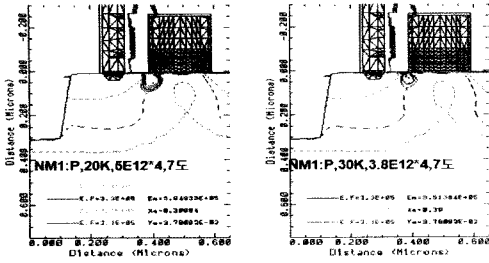
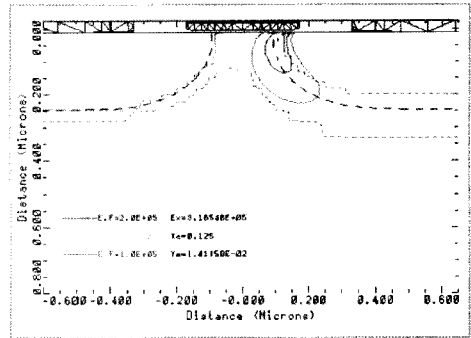


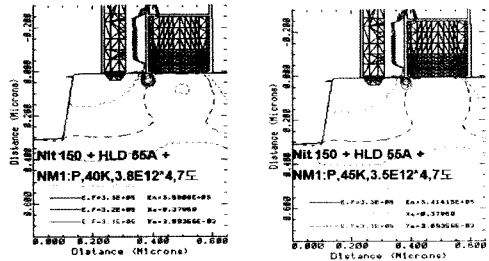
그림 4. Buffered deposition 소자의 시뮬레이션 구조



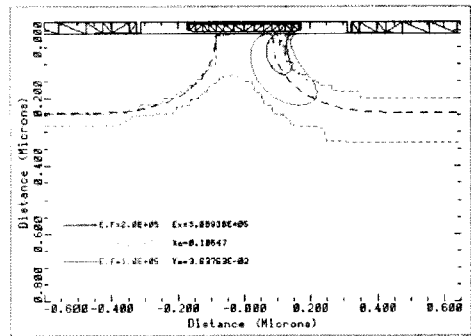
(a) Buffered deposition을 하지 않고 NM1 조건에 따른 Emax 시뮬레이션



(a) 기존소자의 전계 시뮬레이션



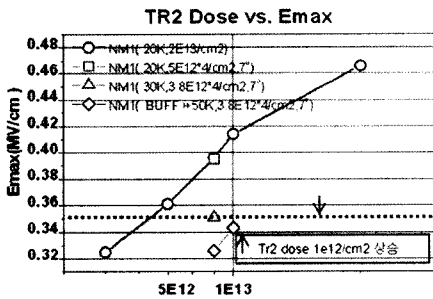
(b) Buffered deposition을 한 NM1 조건에 따른 Emax 시뮬레이션



(b) Buffered Deposition 소자의 전계시뮬레이션

그림 5. Buffered deposition 및 NM1 이온주입에 따른 시뮬레이션 결과

그림 7. 전계 시뮬레이션 비교



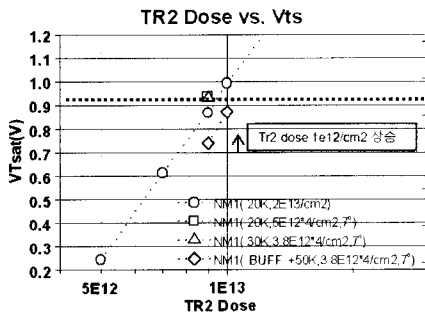
(a) Buffered deposition 및 NM1 조건에 따른 Emax 결과

물레이션을 위한 기본 구조이다.

NM1 이온주입과 Buffered deposition 물질인 HLD 조건 및 NM1 이온주입에 따른 시뮬레이션 결과를 그림 5, 그림 6에 나타내었다.

시뮬레이션 결과 Emax의 큰 폭 감소는 Energy 증가에 크게 의존하였으며, NM1조건을 30K,3.8E12\*4,7도 +Add imp시 큰폭으로 Vtsat 감소라는 trade-off 현상을 Tilt/Rot +Add imp로 보상효과가 있었고 Nit 150 + HLD55A buffer oxide를 증착하였을 경우 에너지 증가에 따라 Emax 감소 현상이 크며 Vts 또한 큰 폭으로 감소하는 것을 확인할 수 있었다. Tr2를 보상 할 경우, 1E12/cm을 증가시키면 Vts 0.13V가 상승하며, 반면 Emax는 0.017MV/cm 증가 되는 결과를 얻을 수 있었다.

시뮬레이션 결과 다음 그림 7과 같이 나타낼 수 있습니다. 그림 7은 열화 전계특성을 바이어스 조건은 Vd = 2.5V, Vgs = 1.0V, Vs = 0.0V, Vb = -1.0V. 게이트 길이는 0.30um 에서 시뮬레이션 한 것으로서 그 결과 기존 소자의 공정 조건에서는 Emax = 3.18MV/cm 인 반면에 and Buffered Deposition을 한 공정조건에서는 Emax = 3.07MV/cm로



(b) Buffered deposition 및 NM1 조건에 따른 Vts 결과

그림 6. Buffered deposition 및 NM1 조건에 따른 Emax, Vts 결과

서 기존 소자보다 전계가 약하게 걸리는 것을 볼 수 있다.

### 2.3 Buffered deposition 소자의 제조

본 논문에서 제안하고 있는 Buffered deposition 소자는 기존의 LDD 구조가 지닌 단점을 보완하여 Hot carrier 내성 특성을 지닌 소자이며 LPC CMP 공정후의 소자 구조는 그림 8과 같다.

이와 같은 구조는 LDD 소자가 core/주변부 식각시 2회 식각 단계로 인한 Si 손실이 발생하는데 비해 P+와 N+ Side 이온주입 후 잔여막을 제거하기 위해서 ILD1 (Inter Layer Dielectric), HLD1(High-temperature Low-pressure Dielectric1) 습식 식각 단계를 생략하였고 Side 형성후 ILD1 계면상태(Nit)로 Buffered deposition 소자를 최종 Capping 및 식각하여 공정한다.

이러한 공정은 Cell 및 주변 소자 특성 변화없이 Hump 오염경로를 차단하는 효과가 있으며 일부 공정 단계의 생략이 가능한 공정의 단순화가 가능하다.

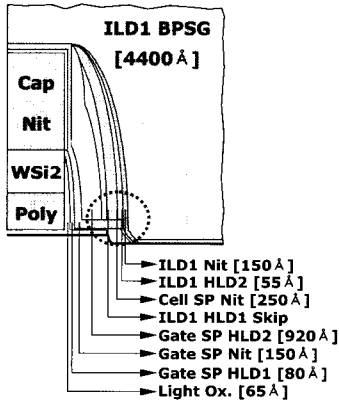


그림 8. Buffered Deposition 소자 구조

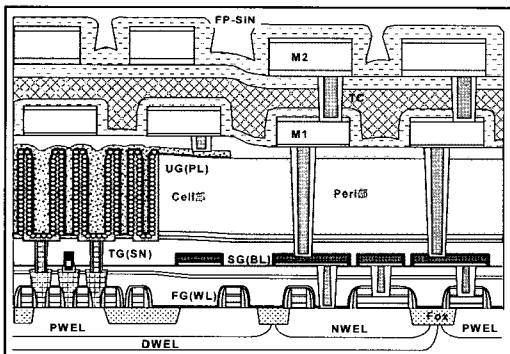


그림 9. Buffered deposition 소자공정의 최종단계

그림 9는 Buffered deposition 소자 공정의 최종 과정을 보여주고 있다.

최종 공정후 소자의 특성을 측정한 결과 그림 10과 같이 주변부의 MOSFET 소자보다 채널이 더 작은 Cell Tr. 부에서 측정한 결과 기존의 소자에서 발생하던 Kink Effect도 제거할 수 있었다.

### 3. Buffered deposition 소자 특성 측정

#### 3.1 고내압 NMOS소자 HC life time의 평가

Parameter( $I_{dsat}$ ,  $G_m$ ,  $V_{tsat}$ ,  $BV_{dss}$ ,  $BV_{min}$ )별 stress에 따른 열화 정도를 확인(Lg FI = 0.40um 기준)하기 위하여 그림 11에서는 4.6V~5.4V까지  $V_{ds}$  전압인가에 따른  $I_{ds}$  forward degradation rate point를 측정하였다.  $V_{ds}$ 에 대해서 stress중에 적당한 시간 간격 (Program내의 Stress Time Interval)으로 소자의 특성을 측정하여 Stress를 가하기 전의 특성과 비교한다<sup>[12]</sup>. X-축은 stress를 가하는 시간이고 Y축은 stress에 의해 변하는 소자의 특성 변화량을 의미한다.

Hot carrier 효과를 평가하는 소자특성은 NMOS의 경우는  $I_{dsat}$ , PMOS는  $V_{tsat}$ 이 사용되는데 각각의  $V_{ds}$ 에 대해서 NMOS: $I_{dsat}$  10%, PMOS: $V_{tsat}$  0.1%의 소자특

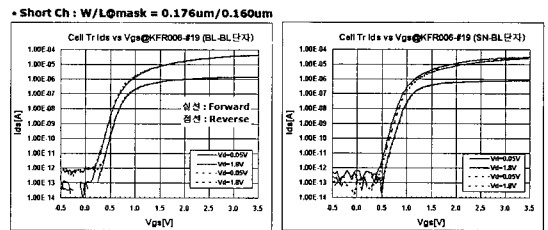


그림 10. Cell Tr.부의 측정결과

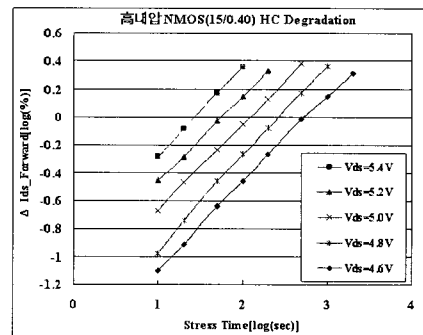


그림 11. F<sub>Idsat</sub> Degradation Rate

표 1. Buffered deposition을 적용한 소자의 Hot carrier 효과특성 측정결과

Tr 구분	측정 Lg[um]	판정 조건	평가 Para.	측정시간	판정기준	평가 Vdd[V]	Life-Time[년]	SPEC[년]
표준 NMOS	0.25	Vds=Vgs=2.5V, Vbs=0V	Idsat_R	10% 감소	10% 감소	2.63	0.2	> 0.2
고내압 NMOS	0.35	Vds=Vgs=1.75V, Vbs=-1V	Idsat_F	2%	10% 추정	3.7	0.33	
LVT NMOS	0.30	Vds=Vgs=1.8V, Vbs=-1V	Idsat_R	10% 감소	10% 감소	1.9	3000	
표준 PMOS	0.25	Vds=Vgs=-2.5V, Vbs=0V	Vtsat_R	0.1V 감소	0.1V 감소	-2.63	6.7E6	
고내압 PMOS	0.35	Vds=Vgs=-1.75V, Vbs=0V	Idsat_F	10% 감소	10% 감소	-3.7	667	

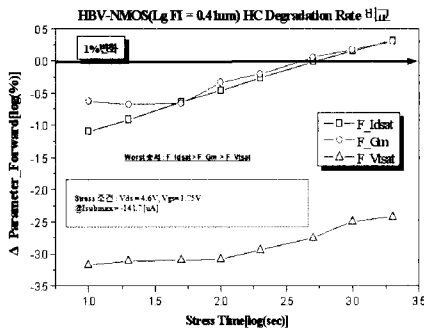


그림 12. Hot Carrier 열화를 비교

성 열화가 발생하는 Time를 얻는다.

이와 같은 방법으로 측정한 결과를 그림 12에 나타내었으며 Lg FI = 0.41um Tr의 HCE 평가 parameter(Idsat, Gm, Vtsat, BVdss, BVmin)별 stress에 따른 열화 정도는 현 평가 parameter인 Forward Idsat이 가장 Worst하며 (Gm : Idsat과 거의 동등한 열화 특성), 그리고 Vtsat의 열화 정도는 매우 둔감하고, BVdss와 BVmin은 거의 변화가 없음을 확인할 수 있었다.

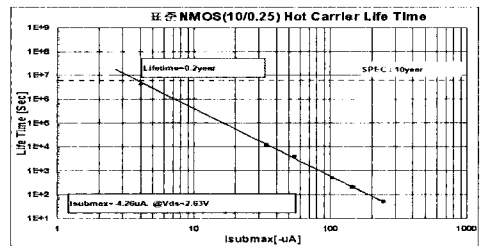
### 3.2 Buffered deposition 조건에 따른 Hot Carrier Life Time 평가

Buffered deposition에 따른 Hot carrier life time의 의존성을 확인하기 위하여 평가 조건은 각 Tr.(최소 Gate Length-0.05um)에 대하여 동작 Vdd에 5% margin을 고려한 동작 Vdd+(Vdd\*5%)에서 평가하였다.

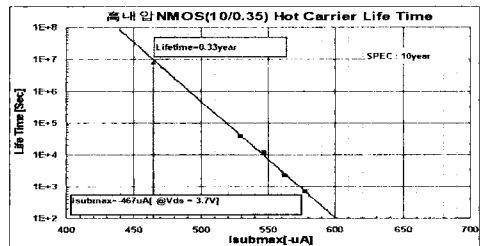
Fail Point 기준은 Source/Drain에 대하여 정방향과 역방향으로 측정하였으며 각 transistor별 worst parameter의 Failure Time으로 판정하였다.

Hu-Model에 의한 평가기준은 다음과 같다.

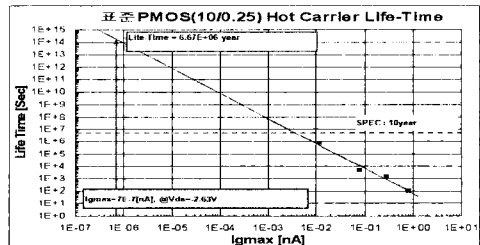
- ① AC Factor=50 고려. 0.2(=10/50)년 SPEC.
- ② NMOS 경우 Life-Time vs Isubmax 기준, PMOS 경우 Life-Time vs Igmmax 기준으로 Lifetime을 평가.



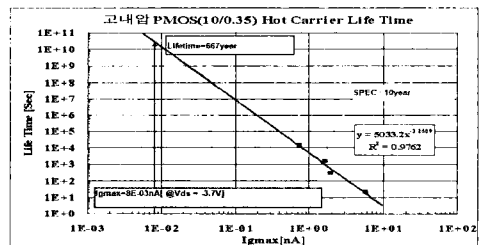
(a) 표준NMOS HC특성(Lifetime=0.20year, @Vds=2.63V)



(b) 고내압NMOS HC특성(Lifetime=0.33years, @Vds=3.7V)



(c) 표준PMOS HC특성(Lifetime=6.7E06years, @Vds=-2.63V)



(d) 고내압PMOS HC특성(Lifetime=667years, @Vds=-3.7V)

그림 13. 각 소자별 Hot carrier 특성 측정결과

- ③ 표준 N/P-MOS :  
Transfer Gate로 사용되는 경우가 최악 조건으로 Source/Drain의 역방향에 대하여 열화를 판정.
- ④ 고내압 N/P-MOS :  
Inverter로만 사용되므로 Source/Drain의 정방향에 대한 열화만 판정하고 Inverter의 Transient Region 인  $V_{ds}=V_{gs}=V_{op}/2$ 에서 판정.

평가결과인 표 1과 그림 13에서 보듯이 표준 NMOS, 고내압 NMOS, LVT NMOS, 표준 NMOS/PMOS 등 모든 종류의 Transistor가 각각의 동작전압에 대하여 Hot Carrier Life-Time을 만족함을 알 수 있었다.

#### 4. 결 론

본 논문에서는 기존의 LDD 구조로 문제가 되었던 핫-캐리어 열화 현상을 드레인 부근의 채널 영역에서 접합 전계를 줄이는 새로운 Buffered deposition(Wrap Side Wall) 구조의 소자를 사용하여 전계를 줄임으로서 Hot carrier 열화발생을 억제 할 수 있었다.

본 논문에서 개발한 Buffered deposition 소자는 완전한 capping을 이루기 위해 ILD1 HLD1 layer를 제거하여 기존의 Open capping 구조의 단점을 완벽히 보완함으로써 LPC CMP 공정 중에 발생할 수 있는 수분의 침투를 억제하고 소자 동작시 계면상태(Nit)막이 캐리어의 주입을 억제함으로써 Hot carrier에 의한 소자 열화도 감소시킬 수 있다.

실제 측정결과 표준 NMOS, 고내압 NMOS, LVT NMOS, 표준 NMOS/PMOS 등 모든 종류의 Transistor가 각각의 동작전압에 대하여 Hot Carrier Life-Time을 만족함을 증명하였다.

#### 참 고 문 헌

1. D. J. Frank, "Power-constrained CMOS scaling limits," IBM Journal of Research and Development, Vol. 46, No. 2-3, pp. 135-136, 2002.
2. K. Kobayashi, H. Murai, T. Sakamoto, and K. Baert, "Fabrication method for polycrystalline silicon thin-film transi-

- stors with self-aligned lightly doped drain structure," Jpn. J. Appl. Phys., Vol. 32, p. 469, 1993.
3. Z. Parpia and C.A. Salanna, "Optimization of RESURF LDMOS Transistor: An Analytical Approach," IEEE Trans. on Electron Devices, Vol. 37, No. 3, pp. 789-796, 1990.
4. Valletta, A. Mariucci, L. Pecora, A. Fortunato, G. Ayres, J. R. Brotherton, "A new self-consistent model for the analysis of hot-carrier induced degradation in lightly doped drain (LDD) and gate overlapped LDD polysilicon TFTs," Thin solid films, Vol. 427, No. 1-2, pp. 119-120, 2003.
5. G. Krieger, R. Sikora, P. Cuevas, and M. Misheloff, "Moderately doped NMOS(M-LDD) - Hot electron and current drive optimization," IEEE Trans. Electron Devices, Vol. 38, No. 6, p. 121, 1991.
6. C. Anghel, Y. S. Chauhan, N. Hefyene and A. M. Ionescu, "A Physical Analysis of HV MOSFET Capacitance Behaviour," IEEE ISIE 2005, pp. SS03-04, Durovnik, Croatia, June 20-23, 2005.
7. Kenshi Tada, Toshimasa Matsuoka, Kenji Taniguchi, Kazuhiro Maeda, Tamotsu Sakai, Yasushi Kubota and Shigeki Imai, "Novel Method of Intrinsic Characteristic Extraction in Lightly Doped Drain Metal Oxide Semiconductor Field Effect Transistors for Accurate Device Modeling," Japanese Journal of Applied Physics Vol. 43, No. 3, pp. 918-924, 2004.
8. J. Plummer et al., "Silicon VLSI Technology : Fundamentals, Practice, and Modeling," Prentice Hall, 2000.
9. Mongkol Ekpanyapong and Sung Kyu Lim, "Integrated retiming and simultaneous Vdd/Vth scaling for total power minimization," Proceedings of the 2006 international symposium on Physical design, pp. 142-148, 2006.
10. A. M. Ionescu, D. Munteanu, N. Hefyenc and C. anghel, "Compact Modeling of Weak Inversion Generation Transients in SOI MOSFETs," J. of The Electrochemical Society, Vol. 151, No. 6, pp. 396-401, 2004.
11. Pin Su, Goto K., Sugii T. and Chenming Hu, "Enhanced substrate current in SOI MOSFETs," IEEE Electron on Device Lett. Vol. 23, Issue 5, pp. 282-284, 2002.
12. Hongxia Ren, Xiaoju Zhang, Yue Hao and Donggang Xu, "Study on the relation between structure and hot carrier effect immunity for deep sub-micron grooved gate NMOSFETs," Journal of Electronics (China) Vol. 20, No. 3, 2003.



**김 환 석** (hskim@wonju.ac.kr)

1988 청주대학교 전자공학과 학사  
1990 청주대학교 전자공학과 석사  
1992~현재 강릉대학교 전기전자공학부 교수

관심분야 : VLSI & CAD



**이 천 희** (yicheon@cju.ac.kr)

1971 한양대학교 전자공학과(공학사)  
1975 성균관대학교 전자자료처리과(공학석사)  
1981 한양대학교 전자공학과(공학석사)  
1987 성균관대학교 전자공학과(공학박사)  
1979~현재 청주대학교 전자공학과 교수  
2004 대한전자공학회 회장  
2005~현재 전자포럼 회장

관심분야 : VLSI & CAD