Journal of the Korean Institute of Illuminating and Electrical Installation Engineers Vol. 22, No.8, pp. 52~58 August 2008

논문 22-8-8

2.4[GHz]/5.8[GHz] 이중대역 SPDT 스위치 설계

(Design of a Dual-Band Switch with 2.4[GHz]/5.8[GHz])

노희정*
(Hee-Jung Roh)

요 약

본 논문에서는 2.4[GHz]/5.8[GHz] 대역의 이중대역 스위치 설계에 대하여 논한다. 이 스위치는 TDD시스템에 적용 가능하며, 광대역 특성을 개선할 수 있는 새로운 구조를 제안하고 시뮬레이션을 통해 최적의 구조로 설계하였다. 2.4[GHz]/5.8[GHz] 이중대역 스위치는 현재 상용화되고 있는 802.11a/b/g 시스템에 응용할 수 있는 광대역, 고출력, 높은 격리도를 갖는 구조를 연구하였다. 스위치의 송신부는 2개의 FET를 스택 구조로 병렬 스위칭 소자로 동작하도록 설계하였다. 수신부는 기본적인 직/병렬 FET에 추가로 직렬 FET를 삽입한 비대칭 구조를 갖도록 수신부를 설계하였다. SPDT(Single Pole Double Throw) Tx/Rx FET 스위치는 하나의 입력에 2개의 출력으로 스위칭할 수 있는 장치이다. 이 제작된 스위치는 삽입손실 특성은 DC~6[GHz]까지 3[dB]보다 낮으며 수신경로의 격리도는 -30[dB]이하의 특성을 가지고 있다.

Abstract

This paper describes the Dual-band switch which was proposed new structure that could improved the specification of broadband and designed by the optimized structure through simulation.

The Dual-band switch with 2.4[GHz]/5.8[GHz] that can apply to 802.11a/b/g system that is commercialized present was studied to get a new structure with higher power, high isolation. The transmitter of switch was designed to operate a parallel switching element with stack structure of two FET. The receiver designed to have asymmetry structure that insert series FET in addition to basic serial/parallel FET. SPDT(Single Pole Double Throw) Tx/Rx FET switch is a device that can do switching from a port of input to two port of output.

The fabricated SPDT switch has the characteristic of insertion loss of a below -3[dB] form DC to 6[GHz] and the isolation of a below -30[dB](Rx mode)

Key Words : Dual-band Switch, SPDT(Single Pole Double Throw), FET, 802.11a/b/g System

* 주저자 : 김포대학 유비쿼터스IT과
Tel : 031-999-4208, Fax : 031-999-4775
E-mail : june@kimpo.ac.kr
접수일자 : 2008년 4월 17일
1차심사 : 2008년 4월 23일
심사완료 : 2008년 6월 3일

1. 서 론

고도 정보화 사회를 지원하는 정보통신 시스템 부문 중 고속, 대용량의 정보 전송기술에 대한 필요성이 크게 대두되고 있는 추세이다. 이에 따라 무선통신 시스템에서 사용되는 주파수 대역 또한 마이크로파의 활용이 가시화 되고 있다. IEEE 802.11x 무선랜은 매우 중요한 이동통신 산업의 한 분야로 각광받기 시작했다. 그렇지만 IEEE 80211X 무선랜 시스템이 널리 보급되기 위해서는 기존의 무선랜 표준과 호환성을 가져야만 한다. 이로 인해 2.4[GHz]와 5[GHz]의 주파수 대역에서 동작하기 위해 무선랜 시스템용의 RFIC 소자들의 연구가 활발히 이루어지고 있다[1~3]. 또한 최근에는 무선 통신시스템 송수신기의 집적화와 저전압, 저가격을 요구하고 있다. 이 문제들을 해결하기 위한 방법으로 여러 가지 RF 소자 기술들이 개발되고 있는데, 이 기술들을 크게 보면 GaAs 기술, 실리콘 바이폴라 기술, 실리콘 CMOS 기술 등이 있고, 최근 들어 SiGe HBT와 BiCMOS 기술 등이 나오고 있다[4~6]. 이들 중에서 실리콘 CMOS 기술은 계속적인 소자의 크기 축소에 의해 높은 차단주파수와 최대공진주파수를 가지게 되었다. 실리콘 CMOS는 낮은 구동전류, 높은 잡음저항, 그리고 높은 기판농도에 따른 초고주파의 누설전류 문제 등의 단점이 있지만, 다른 기술들에 비하여 DC 상태에서 전력소모가 극히 작다는 점과 높은 집적도, 그리고 낮은 생산원가 등의 장점 때문에 무선 송수신기 설계에 널리 사용되고 있다[7~9].

본 논문에서는 스위치 및 주파수 하향 변환 믹서를 이러한 실리콘 CMOS의 장점과 GaAs 화합물을 이용하여 제작하였으며, 송수신기를 집적화 하고, 가격을 낮추는 원칩(one-chip)화의 가능성을 제시하고자 한다[10~12].

본 논문에서는 화합물 반도체및 CMOS 공정을 이용한 2.4/5.8[GHz] 이중대역 스위치 및 주파수 하향 변환 믹서에 관한 연구를 중점적으로 진행하였다. 그림 1은 기본적인 TDD 시스템의 블록도를 나타낸다. 본 연구에서는 TX/RX를 스위칭 하는 송수신 스위치와 수신기에서 주파수를 하향 변환하는 수신믹서를 설계하였다.

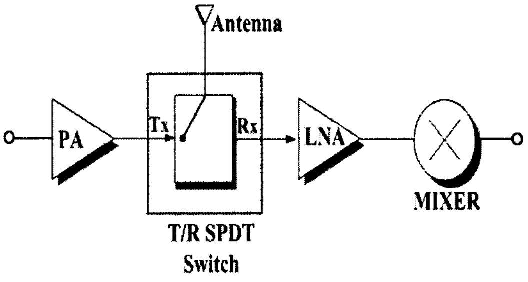

그림 1. TDD시스템 블록도
Fig. 1. TDD system block diagram

1.1 SPDT 스위치의 동작원리

SPDT(Single Pole Double Throw) Tx/Rx FET 스위치는 하나의 입력에 2개의 출력으로 스위칭 할 수 있는 스위치이다. 즉 송수신시에 안테나에서 저잡음 증폭기로의 수신신호와 전력증폭기에서 안테나로의 송신신호를 스위칭하는 역할을 한다. 게이트 전압을 제어하여 온(on)/오프(off) 상태로 동작하는 FET를 스위칭 소자로 사용할 수 있다. 그림 2는 본 연구에서 사용된 pHEMT 소자의 DC-IV 특성을 나타낸다. 게이트-소스 전압(Vgs)을 제어하여 FET를 온/오프로 동작시킬 수 있음을 알 수 있다.

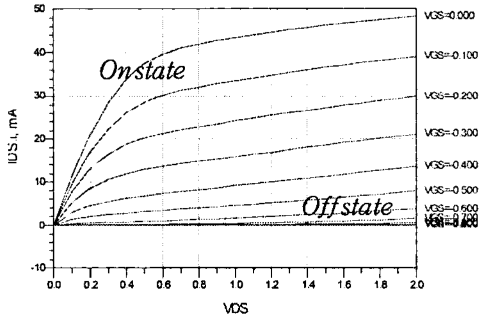

그림 2. pHEMT의 DC-IV 특성
Fig. 2. DC-IV characteristic of a typical pHEMT

1.2 기본적인 FET 스위치 구조 및 특성

그림 3은 전형적인 FET를 이용한 SPDT Tx/Rx 스위치 구조로 송수신단 각각에 직렬과 병렬로 FET를 쌍으로 삽입한 구조다. 송신단의 직렬 FET와 수

신단의 병렬 FET, 수신단의 직렬FET와 송신단의 직렬 FET의 제어전압을 동시에 제어하는 특징을 갖는다. 동작원리를 살펴보면, 송신모드일 경우 송신단의 직렬 FET를 온(본 연구에 사용된 제어전압 Vg2=0[V]), 병렬 FET를 오프(Vg1=-1.0[V])로 제어하여 신호가 수신단과 격리되어 안테나로 전송되고, 반대로 수신모드일 경우 수신단의 직렬 FET를 온(Vg1=0[V]), 병렬 FET를 오프(Vg2=-1.0[V])로 제어함으로서 신호를 송신단과 격리시켜 수신단으로 전송한다. FET 온/오프-상태인 경우 이상적인 단락/개방 회로가 아닌 온-저항(on-resistance)와 오프-커패시턴스(off-capacit ance)로 인해 손실이 생기고 격리도를 감소시키게 된다. 이를 보상하기 위해 FET의 게이트 폭(width)을 증가시켜 저항을 감소시켜 손실을 줄일 수 있으나 게이트폭이 증가하면 커패시턴스 또한 증가하여 격리도를 감소시킨다.

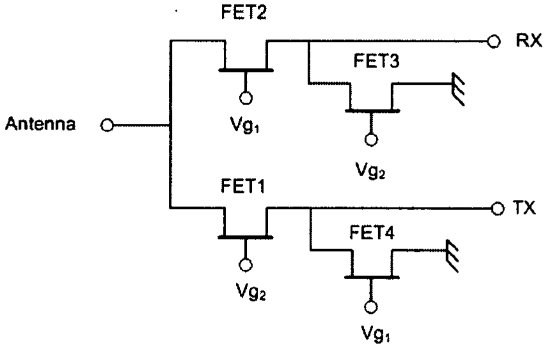

그림 3. SPDT스위치의 회로도
Fig. 3. Circuit diagram of a conventional SPDT switch

따라서 한쪽 경로의 삽입손실과 다른 경로와의 격리도 사이에 trade-off가 존재함을 알 수 있다. 직렬 FET만으로 송수신 시스템에서 기본적인 스위칭은 가능하지만 스위치의 중요한 특성인 다른 경로와의 격리도를 향상시키기 위해 병렬 FET를 삽입할 필요가 있다.

스위칭 소자로 FET를 사용할 때 가장 큰 단점은 전력구동능력에 있다. 그림 3에서 송신모드 경우, FET1과 3의 제어전압은 0[V], FET2 와 FET4는 -10[V]로 유지하게 된다. 만약 Tx단에서 큰 전압의 음의 신호가 입력되면 FET4의 게이트-드레인(gate-drain) 전압이 핀치오프 전압(Vp)보다 작아질 수 있다. 그로인해 입력신호를 클래핑(clapping) 시키게 되어 왜곡이 발생한다. 이 현상은 큰 RF신호가 안테나단으로 입력될시 FET2에서도 발생할 수가 있다.

1.3 높은 격리도를 갖는 이중대역 스위치

송신단의 전력 구동 능력을 개선하여 높은 선형성을 갖기 위해 그림 4에 나타나듯이 송신단에 적층-게이트를 이용한 비대칭구조를 사용하는 SPDT 스위치를 제안하였다. Multi-gate 구조를 이용한 GaAs SPDT 스위치와 두 가지의 핀치오프 전압을 이용하여 특성을 개선한 연구들이 발표되었지만[5~6], 3[GHz] 이상에서 삽입손실과 격리도가 악화되는 단점이 있다. 또한 DC~6[GHz]에서 동작하며 30[dBm] 이상의 P1[dB]를 나타내는 연구가 발표되었지만[7], 20[dB]이하의 격리도를 갖는 문제점을 안고 있다.

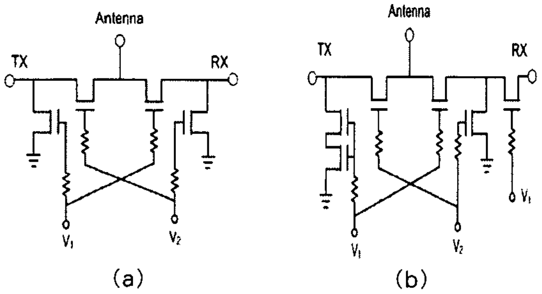

그림 4. (a) 직병렬 FET SPDT스위치 회로도
(b) 적층형 게이트 FET를 갖는 대칭형 SPDT
Fig. 4. Circuit diagram of the
(a) conventional series/shunt FET SPDT
(b) asymmetric SPDT with stacked gate FETs

1.4 스위치의 전력 구동 능력

그림 4 (a), (b)는 FET에 인가되는 입력전압과 Id-Vg 특성을 나타낸다. 송신단의 병렬 FET에 큰 전력이 인가되면 제어전압(Vc)을 기준으로 크게 변

화하는데 여기서 FET가 오프-상태, 즉 Vc+Vrf > Vp를 유지해야만 스위치가 왜곡 없이 송신모드로 동작하게 된다.

Vp는 FET의 펀치오프 전압, Vc는 오프상태 제어 전압, Zo는 시스템의 특성 임피던스를 나타낸다. 본 논문에서는 송신경로의 전력 전달 능력을 높이기 위해 2개의 staked 병렬 FET를 삽입하고, 격리도를 향상시키기 위해 수신경로의 직렬 FET를 추가로 삽입한 비대칭 구조의 SPDT 스위치를 제안하였다.

그림 5 (c)에서 N개의 FET를 적층(stack)에 사용함으로써 송신단에 큰 전압이 인가되어도 N개의 FET에 나타나는 소스-드레인 전압이 분배되어져 N 만큼 감소되어진다.

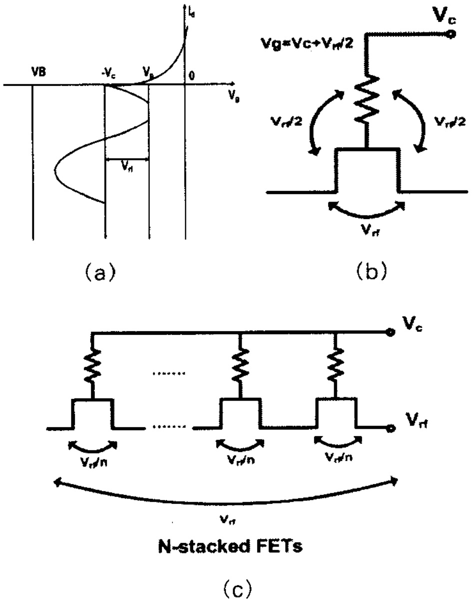

그림 5. (a), (b) 입력 RF신호의 변화레벨과 Id-Vg 곡선도
(c) 적층형 FET를 사용한 스위치블록도
Fig. 5. (a), (b) Id-Vg curve and the swing level of the input RF signal
(c) switch block using stacked FET

그림 5 (c)에서 N개의 FET를 적층(stack)에 사용함으로써 송신단에 큰 전압이 인가되어도 N개의 FET에 나타나는 소스-드레인 전압이 분배되어져 N 만큼 감소되어진다. 그림 6은 적층되어지는 FET의

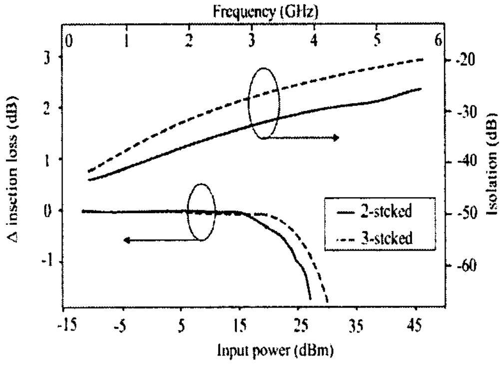

그림 6. 적층형 FET를 갖는 스위치의 격리도와 전력제어 능력(시뮬레이션)
Fig. 6. Simulated isolation and power handling capability with some numbers of stacked FETs

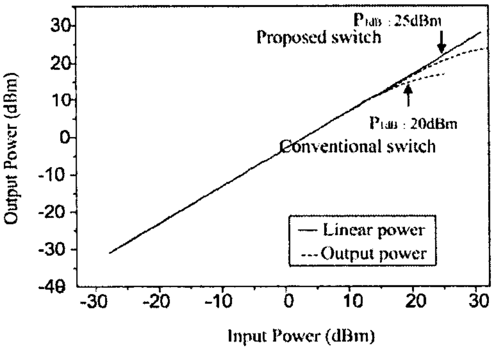

그림 7. 제안된 SPDT스위치 와 직병렬 스위치의 P1[dB](시뮬레이션)
Fig. 7. Simulated P1[dB] of conventional series/shunt and proposed SPDT switch

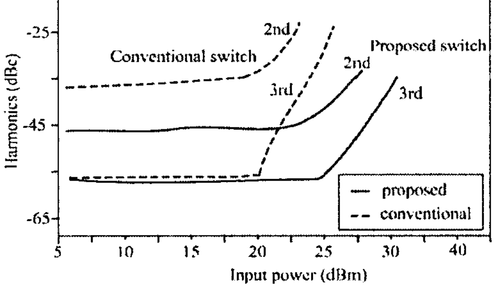

그림 8. 제안된 SPDT스위치와 직병렬 스위치의 하모닉 서프레션(시뮬레이션)
Fig. 8. Simulated harmonics suppression of conventional series/shunt and proposed SPDT switch

개수에 따른 특성을 나타낸다. 그림에서 보듯이 모의실험을 통하여 3개 이상 적층구조에서는 격리도 특성이 악화되는 경향을 보여 2개의 FET로 적층되는 구조로 설계하였다.

그림 7과 그림 8은 모의실험을 통하여 설계된 스위치와 기본적인 직/병렬 스위치를 비교한 P1[dB]와 고조파 억압 특성을 나타내며, 5[dB]의 P1[dB] 개선과 10[dB]이상의 억압특성 개선을 보인다.

1.5 스위치의 삽입손실과 격리도 특성

그림 10에 나타내듯이 FET의 온/오프 상태는 직렬 저항(Ron)과 커패시터(Coff)로 나타낼 수 있다. 직렬 FET의 게이트 폭을 증가시켜 낮은 온 저항으로 인해 삽입손실은 개선되어지나 격리도는 커패시턴스의 증가로 악화된다.

또한 삽입손실과 선형성의 trade-off를 살펴보면 채널폭이 증가할수록 핀치-오프 전압(Vp)은 더욱 낮아져 최대 전달 전력의 크기를 제한하게 되어 선형성의 악화를 가져오게 된다. 따라서 모의실험을 통하여 최적의 게이트-폭을 갖도록 설계하였고, 신호의 매칭을 위해 삽입되는 전송선로를 최적화하여 DC~6[GHz] 대역에서 20[dB] 이상의 입출력 반사 특성을 나타내도록 설계하였다.

모의실험을 통한 스위치의 제어전압에 따른 삽입손실과 격리도 특성을 그림 10에 나타내었다. 또한 전력 전달 특성은 그림 11에 나타나듯이 제어전압이 커질수록 개선되지만, 낮은 전압 동작을 위하여 본 설계에서는 25[dBm]의 P1[dB]와 6[GHz]대역에서 1[dB]이하의 삽입손실과 40[dB]이상의 격리도를 얻을 수 있도록 -3와 0[V]의 제어전압으로 설계하였다.

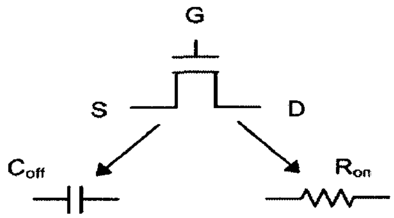

그림 9. FET의 ON-OFF상태의 등가회로
Fig. 9. Equivalent circuit for on/off-state of FET

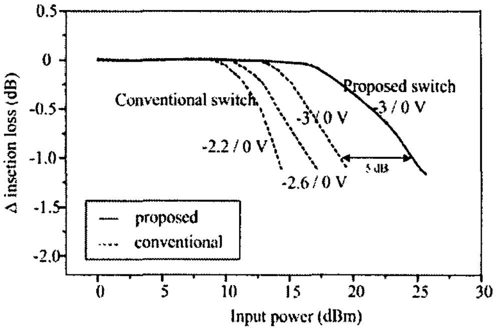

그림 10. 전압에 따른 삽입손실과 격리도(시뮬레이션)
Fig. 10. Simulated insertion loss and isolation for control voltage

2. 설계된 스위치의 측정 결과 및 분석

그림 12, 그림 13과 그림 14는 제작된 스위치의 수신모드와 송신모드의 삽입손실과 격리도 특성을 나타낸다. DC~6[GHz]에서 0.9[dB] 이하의 삽입손실을 나타내고 수신경로의 격리도 특성은 기본적인 직/병렬 SPDT 스위치와 유사한 격리도를 보이지만 송신경로의 격리도는 10[dB]이상 개선되었으며, 3[dB] 이상 전력 특성의 개선을 보였다.

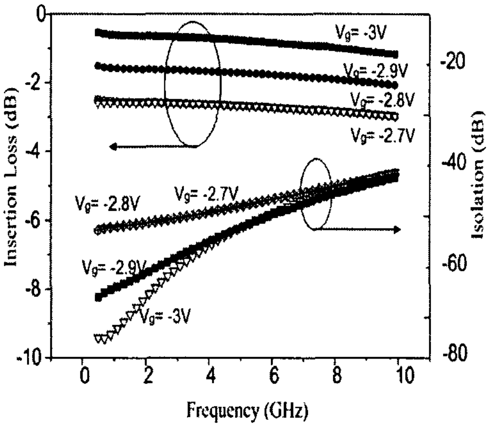

그림 11. 전압제어기능을 갖는 제안된 스위치와 일반스위치의 P1[dB](시뮬레이션)
Fig. 11. Simulated P1[dB] of conventional series/shunt and proposed SPDT switch with control voltage

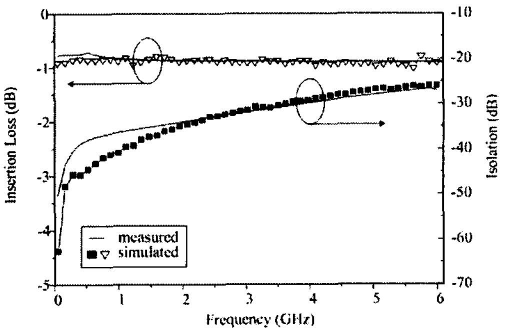

그림 12. 설계된 스위치(Rx mode)의 삽입손실과 격리도 (측정값)
Fig. 12. Measured insertion loss and isolation of the designed switch(Rx mode)

그림 14는 송신경로의 측정된 입출력 반사계수를 나타낸다. DC~6[GHz]에서 18[dB]이상의 반사특성을 확인할 수 있다.

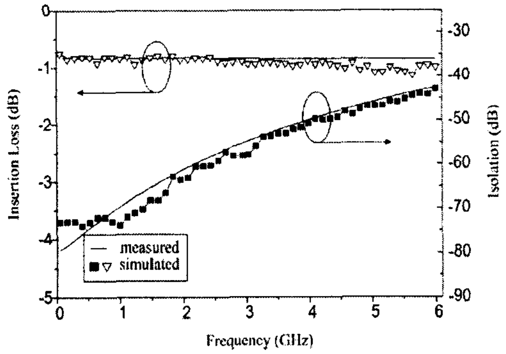

그림 13. 설계된 스위치(Tx mode)의 삽입손실과 격리도 (측정값)
Fig. 13. Measured insertion loss and isolation of the designed switch(Tx mode)

3. CMOS공정을 이용한 SPDT 스위치

무선랜과 같은 시분할듀플렉싱(TDD) 시스템에서는 송신부와 수신부를 분리하기 위하여 스위치를 이용하게 된다. 최근에는 시스템 집적화가 가능한 CMOS 기술을 이용한 2.5-5[GHz] 대역의 스위치들은 기본적인 직/병렬 스위치 구조를 사용하고 있다.

하지만 GaAs 화합물 스위치에 비해 기판과의 저항성이 매우 낮아 삽입손실과 격리도의 악화가 현저하게 나타나게 된다. 이때 삽입손실을 줄이기 위해 트랜지스터의 게이트 폭을 증가시켜 채널저항을 줄여 손실을 감소시키지만, 폭의 증가로 인해 기판과의 커패시티브 커플링으로 인해 신호의 손실을 가져오게 된다. 따라서 CMOS 스위치 설계시 삽입손실을 최소화 하는 최적화된 게이트 폭을 시뮬레이션을 통해 설계해야만 한다.

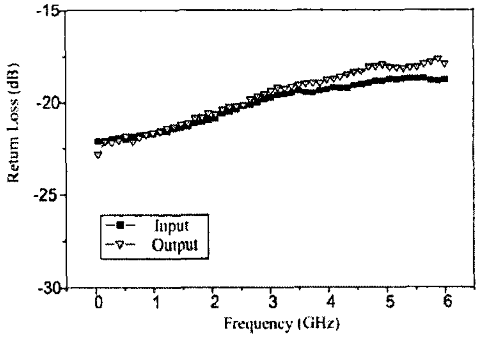

그림 14. 설계된 스위치의 반사손실(측정값)
Fig. 14. Measured return loss of the designed switch

본 연구에서는 Hynix에서 제공하는 0.25[μm] CMOS 라이브러리를 사용하여 시뮬레이션을 통해 삽입손실을 최소화하는 최적의 게이트 폭인 10[μm]로 기본적인 직·병렬 구조로 2.4~5.8[GHz]를 지원하는 SPDT 광대역 스위치를 설계하였다. 그림 15는 설계된 CMOS 스위치의 삽입손실과 격리도 특성을 나타내고 있다. 측정된 삽입손실 특성은 DC~6[GHz]까지 3[dB]보다 낮으며 수신경로의 격리도는 -30[dB]이하의 특성을 보이고 있다

4. 결 론

본 논문에서는 이동통신, 무선통신등 다양한 통신분야에서 송수신시 주파수를 공유하는 TDD시스템에 적용 가능한 2.4[GHz]/5.8[GHz] 대역의 이중대역 스위치와 수신기 시스템에서 주파수를 하향 변환하는 하향변환 믹서를 개발하고자 기존의 문제점을 보완하고 광대역 특성을 개선시킬 수 있는 새로운 구조를 제안하고 시뮬레이션 검증을 통해 최적의 구조로 설계하였다.

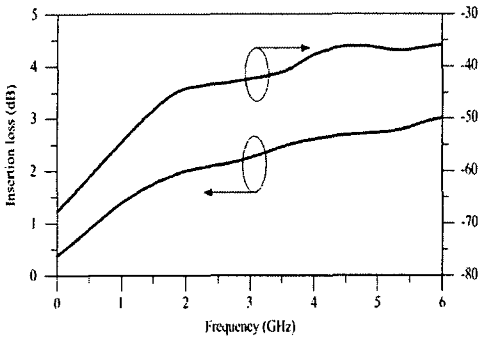

그림 15. 측정된 삽입손실과 격리도
Fig. 15. Measured insertion loss and isolation

제작을 위해 ETRI에서 지원하는 0.25[㎛] GaAs pHEMT 공정과 Hynix 0.25[㎛] CMOS를 이용하여 설계를 진행하였다.

2.4[GHz]/5.8[GHz] 이중대역 스위치는 현재 상용화되고 있는 802.11a/b/g 시스템에 응용할 수 있는 광대역, 고출력, 고격리도를 갖는 구조를 연구하여 송신경로의 병렬 스위칭 소자를 2개의 FET를 스택 구조로 연결하고 수신경로는 기본적인 직/병렬 FET에 추가로 직렬 FET를 삽입한 비대칭 구조를 갖게 되었다. 수신경로의 특성은 2[GHz]~6[GHz] 대역에서 1.5[dB] 이하의 삽입손실과 25[dB]이상의 격리도를 얻었고, 송신경로에서는 1[dB] 이하의 삽입손실과 35[dB] 이상의 격리도, 25[dBm] 이상의 P1[dB] 특성을 보여 기존회로 구조와 비교해 특성이 개선된 결과를 얻었다. 또한 CMOS를 이용한 광대역 SPDT 스위치는 기본적인 직/병렬 구조로 게이트-폭, 바이어스를 최적화 하여 설계되었으며, 측정된 삽입손실 특성은 DC~6[GHz]까지 3[dB]보다 낮으며 수신경로의 격리도는 -30[dB]이하의 특성을 보이고 있다.

설계된 스위치는 현재 상용화 되고 있는 WLAN 802.11 a/b/g 뿐만 아니라 ISM 대역의 응용 시스템에 광범위하게 사용될 수 있을 것으로 보인다.

References

[1] H. Tosaka, T. Fujii, K. Miyakoshi, K. Ikenaka, and M. Takahashi, "An Antenna Switch MMIC Using E/D Mode P-HEMT for GSM/DCS/PCS/WCDMA Bands Applications," IEEE RFIC Symp. Dig., pp. 519-522, June 2003.

[2] K. L. Fong, "A 2.4[GHz] Monolithic Mixer for Wireless LAN Application," IEEE Custom IC Conf., pp. 9.4.1-9.4.4, 1997.

[3] A. Abidi et. al., "The Future of CMOS Wireless Transceivers," in Int. Solicl-State Circuits Conf, pp. 1 18- 1 19, Feb. 1996.

[4] M. Masuda, N. Ohbata, H. Ishiuchi, K. Onda, and R. Yamamoto, "High Power Heterojunction GaAs Switch IC with P-1[dB] of More Than 38[dBm] for GSM Application," IEEE GaAs IC Symposium Digest, pp. 229-232, 1998.

[5] H. Uda, T. Yamada, T. Sawai, K. Nogawa, and Y. Harada, "High Performance GaAs Switch IC's Fabricated Using MESFETs with Two Kinds of Pinch-off Voltage and A Symmetrical Pattern Configuration," IEEE Journal of Solid-state Circuits,Vol. 29, No.10, pp. 1262-1269, Oct 1994.

[6] K. Miyatsuji, and D. Ueda, "A GaAs High Power RF Single Pole Dual Throw Switch IC for Digital Mobile Communication System," IEEE Journal of Solid-state Circuits, Vol. 30, No. 9, pp. 979-983, Sep 1995.

[7] Takahiro Ohnakado, Satoshi Yamakawa, etc, "A 0.8[dB] Insertion Loss, 23[dB] Isolation, 17.5[dBm] Power Handling, 5[GHz] Transmit/receiver CMOS Switch," IEEE RFIC Digest, pp. 229-232, 2003.

[8] A. Abidi et. al., "The Future of CMOS Wireless Transceivers," in Int. Solicl-State Circuits Conf, pp. 1 18- 1 19, Feb. 1996.

[9] C. Tinella, J. M. Fournier, D. Belot, and V. Knopik, "A High Performance CMOS-SOI Antenna Switch for the 2.5/5[GHz] Band," IEEE Journal of Solid-State Circuits, vol. 38, no. 7, pp. 1279-1283, July 2003.

[10] J. Rudell et. al., " A 1.9-[GHz] Wide-Band IF Double Conversion CMOS Receiver for Cordless Telephone Applications," IEEE J. Solid State Circuits, vo1.32, pp. 2071-2086, Dec. 1997.

[11] A. Rofougaran et. al., "A 1[GHz] CMOS RF front-end IC for A Direct Conversion Wireless Receiver," IEEE J. Solid-State Circuits, vo1.3 I, pp.880-889, July 1996.

[12] J. Crols and M. Steyeart, "A Single Chip 900[MHz] CMOS Receiver with A High Performance Low-IF Topology," IEEE J. Solid State Circuits, vo1.30, pp. 1483-1492, Dec. 1995.

◇ 저자소개 ◇

노희정 (盧熙正)

1961년 7월 7일생. 1985년 2월 아주대학교 전자 공학사. 1995년 7월 서울시립대학교 대학원 졸업(석사). 2003년 7월 인천시립대학교 대학원 졸업(박사). 1989~1998년 (주)한국통신기술 근무. 1998년 3월~현재 김포대학 유비쿼터스IT과 조교수.