

논문 2008-45SD-8-7

넓은 출력 전압 범위를 갖는 위상동기루프를 위한 저전압 Charge Pump 회로 설계

(The Design of a Low Power and Wide Swing Charge Pump Circuit
for Phase Locked Loop)

부 영 건*, 고 동 현*, 김 상 우*, 박 준 성*, 이 강 윤**

(Young Gun Pu, Dong Hyun Ko, Sang Woo Kim, Joon Sung Park, and Kang-Yoon Lee)

요 약

본 논문에서는 UWB PLL charge pump 의 충/방전 전류오차를 최소화하기 위한 회로를 제안하였다. Common-gate 와 Common-source 증폭기를 추가한 피드백 전압 조정기를 구성하여 높은 응답성을 가지는 charge pump를 설계하였다. 제안한 회로는 넓은 동작 영역을 갖으며, 낮은 전원 전압으로도 뛰어난 성능을 보인다. 본 회로는 1.2V 공급 전압과 IBM 0.13um CMOS 공정으로 집적되었다. 설계의 효율성을 평가하기 위해 참고 논문의 다른 회로와 성능을 대조하였다.

Abstract

In this paper, a new circuit is proposed to minimize the charging and discharging current mismatch in charge pump for UWB PLL application. By adding a common-gate and a common-source amplifier and building the feedback voltage regulator, the high driving charge pump currents are accomplished. The proposed circuit has a wide operation voltage range, which ensures its good performance under the low power supply. The circuit has been implemented in an IBM 0.13um CMOS technology with 1.2V power supply. To evaluate the design effectiveness, some comparisons have been conducted against other circuits in the literature.

Keywords: Charge pump, PLL, CMOS, Wide Swing, UWB

I. 서 론

PLL(Phase Locked Loop)에서 중요한 부분 중 하나인 charge pump는 PFD (Phase / Frequency Detector)에 의해 감지된 위상 차이 신호를 아날로그 신호로 변환하여 VCO (Voltage Controlled Oscillator)로 보내준다. 이때, charge pump는 충/방전 전류를 동일하게 맞

추어야 PLL 전체의 좋은 성능을 기대할 수 있다.

본 논문에서는 충/방전 전류의 매칭을 최대화 할 수 있는 새로운 charge pump를 제안하였으며, 동시에 낮은 전원 전압에서도 넓은 동작 영역을 갖도록 설계 되었으며, 이러한 특성은 PLL의 칩 크기와 전력을 줄이는데 기여한다.

II. 본 론

1. Charge Pump 의 전류 오차

그림 1.의 charge pump는 Loop filter에 전류를 충전하는 부분 (I_{source})과 전류를 방전하는 부분 (I_{sink})으로 구성되어 있다. charge pump의 출력은 저대역 통과

* 학생회원 ** 평생회원, 건국대학교 전자정보통신
공학부

(Department of Electronic Engineering, Konkuk
University)

※ 이 논문(저서)은 2008년도 정부재원(교육인적자원부
학술연구조성사업비)으로 한국학술진흥재단의 지원
을 받아 연구되었음(KRF-2006-331-D00409)

접수일자: 2008년3월19일, 수정완료일: 2008년7월23일

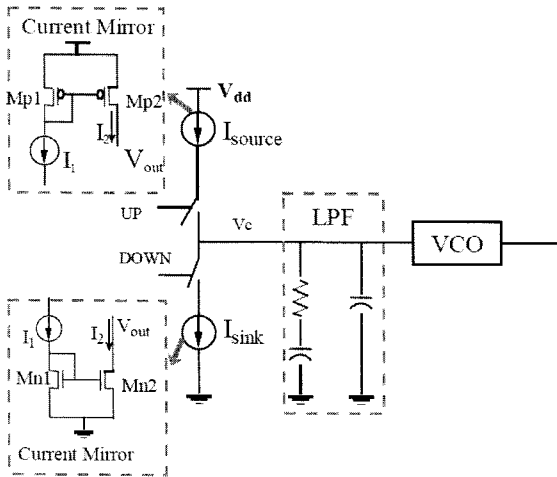


그림 1. PLL Charge pump 의 다이어그램
Fig. 1. Conceptual diagram of a PLL charge pump.

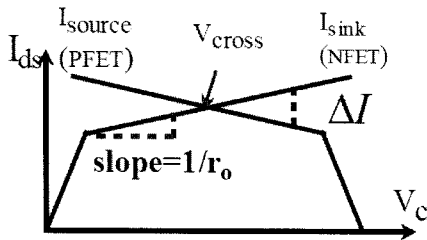


그림 2. Charge pump 전류 특성
Fig. 2. Charge pump current.

필터(LPF)를 거쳐 전압 제어 발진기(VCO)에 공급된다. PLL의 출력 주파수가 입력 주파수에 동기된 상태일 때, PFD(Phase Frequency Detector)로부터 나오는 Up / Down 신호는 동일한 폭을 가지며, 이는 충전 전류인 Isource와 방전 전류인 Isink가 정확히 일치하게 해서 LPF로 들어가거나 나오는 잔류 전류가 0이 되고, 결국 제어 전압이 안정되어 흔들리지 않는 VCO 주파수를 만들게 된다.

그림 2는 Charge pump의 충전/방전 전류를 발생하는 current mirror의 특성을 보여준다. current mirror의 트랜지스터가 포화 영역에 있을 때 Channel Length modulation 효과로 인해, 전류가 일정하지 않게 된다. 그림 2는 충전 전류 Isource와 방전 전류 Isink는 교차점에서만 같고, 다른 전압에서는 옅색 전류인 ΔI 가 존재한다. 만약 charge pump가 적절히 설계되지 않았다면, current sink와 current source 사이에서 큰 전류 오차가 발생하게 되고 결국 PLL의 phase offset과 reference spur 성능이 떨어지게 된다.

2. Wide Swing Charge Pump

그림 3은 제안하고자 하는 current sink 회로를 보여준다. M7, M8은 PFD로부터 생성된 Down_N 신호를 통해 조정되는 디지털 스위치이다. M7이 켜지면 M6의 gate는 전압이 올라가 포화영역으로 들어간다. M2의 drain과 gate 노드들은 M1의 gate와 서로 연결되어 M1이 낮은 overdrive 전압으로도 포화영역에서 동작할 수 있게 하여, M3의 drain 전압을 낮추어준다. 결국 current sink 회로는 낮은 전원 전압에서도 동작할 수 있게 된다.

트랜지스터 M1과 M3은 current mirror를 구성한다. M3의 면적비가 M1보다 두 배 크기 때문에, M1 전류를 I_1 이라고 할 때 M3의 전류는 $2 \cdot I_1$ 이 된다. M3의 drain은 M4, M6와 연결되어 있는데 M4 전류가 I_1 일 때 M6의 전류 역시 I_1 이 되고, 이 전류가 PLL-LPF의 방전 전류가 된다.

M4와 M5는 M3의 drain-source 전압을 조정하기 위한 두 피드백 증폭기로서 연결하여 current sink 회로가 켜졌을 때 최대한 안정화 시키는 역할을 한다.

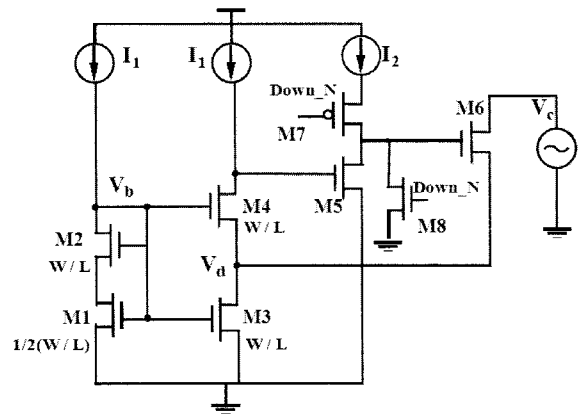


그림 3. 제안하는 current sink 회로
Fig. 3. Diagram of the proposed current sink.

III. 실험

그림 4에서는 current source 회로와 current sink 회로, 바이어스 회로까지 포함한 전체 charge pump 회로를 도시하였다. current sink 회로에서 트랜지스터 Mp1~Mp3와 바이어스 회로는 I_1 과 I_2 를 생성하는데 사용된다. current source 회로는 current sink 회로와 유사한 구조이지만 트랜지스터의 종류를 바꾸어 구성하였다.

그림 5의 a)는 출력 전압이 0V~1.2V 일 때의

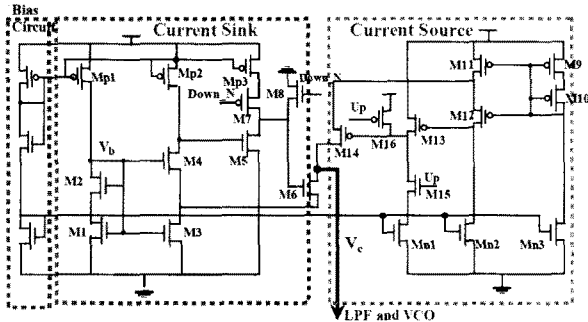


그림 4. 전체 charge pump 회로
Fig. 4. The complete charge pump schematic.

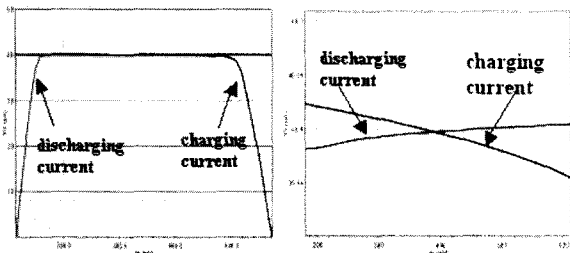


그림 5. Charge pump 전류 매칭 특성
a) 일반 그래프; b) 확대한 그래프
Fig. 5. Charge pump current matching characteristics
a) normal view; b) magnified view.

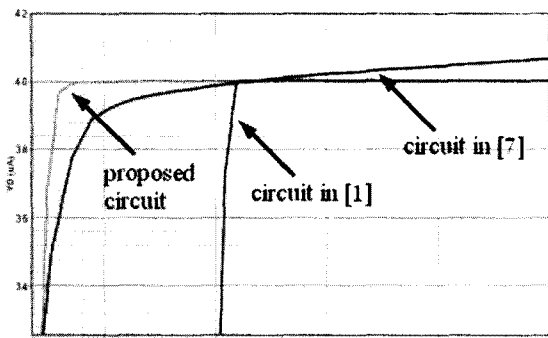


그림 6. 타 회로와의 비교
Fig. 6. Comparisons of different circuits.

표 1. 타 논문과의 성능 비교
Table 1. Comparison with Other Designs in the Literature.

| Charge Pump | CMOS Processes | Power Supply | Voltage Swing (V) | Current Variation |
|-------------|----------------|--------------|-------------------|-------------------|
| Ref. 1 [1] | 0.35um | 3.3V | 0.2~2.2 | 0.1% |
| | 0.18um | 1.8V | 0.5~1.2 | |
| Ref. 2 [2] | 0.25um | 2.5V | 0.25V~2.2 | 1% |
| Ref. 3 [5] | 65nm | 1.0V | 0.22~0.75 | 10% |
| This Work | 0.13um | 1.2V | 0.11~1.0 | 0.1% |

charge pump 전류 매칭 특성을 나타내고, 그림 5의 b)에서는 좀 더 확대한 전류 특성 곡선을 보여준다. 출력 전압이 0.11V~1.0V 범위에서 current source와 current sink 가 서로 크게 매칭하고 있음을 확인할 수 있다. 그리고 최대 변화량은 설계 목표치인 40uA에서 0.1% 미만이었다. 그림 6.에서는 current sink 그래프를 통해 각각의 성능을 서로 비교하였다.

그림 6.과 표 1.을 통해 본 논문에서 제안한 회로가 높은 전류 매칭 특성과 적은 전류 변화, 넓은 출력 스윙 측면에서 다른 논문들과 비교한 결과 뛰어난 성능임을 확인할 수 있다.

IV. 결 론

본 논문에서는 UWB용 저전압 PLL 설계를 위해 최적화된 새로운 charge pump 회로를 제안하였다. 두 개의 증폭기를 연결한 피드백 전압 조정기를 구성하여 출력 저항을 크게 증가시켜 전류 매칭 특성을 강화하였다. 또한 common-gate 증폭기 구조를 응용하여 낮은 전원 전압에서도 넓은 동작 영역을 갖게 설계하였다.

제안한 charge pump 는 IBM 0.13um CMOS 공정을 사용하여 구현하였고, 1.2V의 전원 전압을 사용 하였다. 다른 논문들과의 비교를 통해 제안한 charge pump 가 전류 변화는 0.1% 미만이고 동작 영역은 0.1V~1.0V 로 뛰어난 성능을 보이는 것을 검증 하였다.

참 고 문 헌

- [1] Y. S. Choi and D. H. Han, "Gain-Boosting Charge Pump for Current Matching in Phase-Locked Loop", IEEE Trans. on Circuits and Systems-II Express Briefs, Vol.53, No. 10, October 2006. pp. 1022-1025.
- [2] J. S. Lee and M. S. Keel, S. Lim and S. Kim, "Charge Pump with Perfect Current Matching Characteristics in Phase-Locked Loop", Electronics Letters, Vol. 36, No.23, November 2000, pp. 1907-1908.
- [3] B. Bahreyni and I. M. Filanovsky, "A 2.5-10-GHz Clock Multiplier Unit with 0.22ps RMS Jitter in Standard 0.18um CMOS", IEEE J. Solid State Circuits, Vol.39, No.11, pp. 1862-1872, November 2004.
- [4] S. F. Cheng, H. T. Tong, J. S. Martinez, A. I. Karsilayan, "Design and Analysis of an Ultrahigh-Speed Glitch-Free Fully Differential Charge Pump

With Minimum Output Current, Variation and Accurate Matching”, IEEE Trans. on Circuits and Systems-II Express Briefs, Vol.53, No. 9, September 2006, pp. 843-847.

- [5] B. Terlemez and J.P.Uyemura, “The Design of a Differential CMOS Charge Pump for High Performance Phase-Locked Loops”, Proc. IEEE International Symposium on Circuit and Systems (ISCAS), 2004.
- [6] K. S. Ha and L. S. Kim, “Charge-Pump Reducing Current Mismatch in DLLs and PLLs”, Proc. IEEE International Symposium on Circuit and Systems (ISCAS), 2006.
- [7] P. E. Allen and D. R. Holberg, “CMOS Analog Circuit Design-second edition”, Oxford University Press, 2002.

저 자 소 개



부 영 건(학생회원)
2008년 건국대학교 전자정보통신
공학과 석사 졸업.
2008년~현재 건국대학교 전자
정보통신공학과 박사과정.
<주관심분야 : RF / 아날로그 집
적회로 설계>



고 동 현(학생회원)
2007년 건국대학교 전자공학과
학사 졸업.
2007년~현재 건국대학교 전자
정보통신공학과 석사과정.
<주관심분야 : RF / 아날로그 집
적회로 설계>



김 상 우(학생회원)
2008년 건국대학교 전자공학과
학사 졸업.
2008년~현재 건국대학교 전자
정보통신공학과 석사과정.
<주관심분야 : RF / 아날로그 집
적회로 설계>



박 준 성(학생회원)
2008년 건국대학교 전자공학과
학사 졸업.
2008년~현재 건국대학교 전자
정보통신공학과 석사과정.
<주관심분야 : RF / 아날로그 집
적회로 설계>



이 강 윤(정회원)
2003년 서울대학교 전기공학부
박사 졸업.
2000년~2005년 (주)지씨티리씨치
책임 연구원
2005년~현재 건국대학교 전자
공학과 교수

<주관심분야 : RF · 아날로그 집적회로설계, 아날
로그/디지털 Mixed Mode 설계>