

논문 2008-45SD-8-6

# 저 전력 SoC를 위한 저 누설전류 특성을 갖는 Self-Timed Current-Mode Logic Family

( Self-timed Current-mode Logic Family having Low-leakage Current for Low-power SoCs )

송진석\*, 공정택\*\*, 공배선\*\*\*

( Jin-Seok Song, Jeong-Taek Kong, and Bai-Sun Kong )

## 요약

본 논문에서는 고속 동작에서 동적 전력 소비와 정적 전력 소비를 동시에 줄일 수 있는 self-timed current-mode Logic(STCML)을 제안한다. 제안된 로직 스타일은 펄스 신호로 가상 접지를 방전하여 로직 게이트의 누설 전류(subthreshold leakage current)를 획기적으로 감소시켰다. 또한, 본 로직은 개선된 self-timing buffer를 사용하여 동적모드 동작 시 발생하는 단락 회로 전류(short-circuit current)를 최소화하였다. 80-nm CMOS 공정을 이용하여 실시한 비교 실험 결과, 제안된 로직 스타일은 기존의 대표적인 current-mode logic인 DyCML에 비하여 동일한 시간 지연에서 26 배의 누설 전력 소비를 줄이고 27%의 동적 전력 소비를 줄일 수 있었다. 또한, 대표적인 디지털 로직 스타일인 DCVS와의 비교 결과, 59%의 누설 전력 소비 감소 효과가 있었다.

## Abstract

This paper introduces a high-speed low-power self-timed current-mode logic (STCML) that reduces both dynamic and leakage power dissipation. STCML significantly reduces the leakage portion of the power consumption using a pulse-mode control for shorting the virtual ground node. The proposed logic style also minimizes the dynamic portion of the power consumption due to short-circuit current by employing an enhanced self-timing buffer. Comparison results using a 80-nm CMOS technology show that STCML achieves 26 times reduction on leakage power consumption and 27% reduction on dynamic power consumption as compared to the conventional current-mode logic. They also indicate that up to 59% reduction on leakage power consumption compared to differential cascode voltage switch logic (DCVS).

**Keywords:** Mos current-mode logic, differential cascode voltage switch, DyCML

## I. 서론

포터블 디바이스의 수요가 폭발적으로 증가함에 따라, 일반적으로 사용되는 CMOS 로직 게이트를 대체할 수 있는 새로운 로직 패밀리로 Current-mode logic (CML)이 등장하였다. 이러한 로직 형태는 초기에는 bipolar 트랜지스터에 적용되었으나,<sup>[1]</sup> 최근에는 고속

동작을 필요로 하는 MOS 회로에도 사용이 확장되었다. MOS 트랜지스터를 이용하여 current-mode logic을 구현한 최초의 형태인 MOS current-mode logic(MCML)은 부하 저항에 발생하는 전압으로 로직 레벨을 나타내고, 모든 트랜지스터를 선형영역에서 동작시키므로 속도가 빠른 장점을 갖는다.<sup>[2-3]</sup> 본 로직 패밀리는 고주파 영역에서 전력 소모가 적고 고속으로 동작하므로 optical communication transceiver 등에서 사용이 될 수 있지만<sup>[4]</sup>, 고정 전류 원 이용에 따른 정적 전력 소모가 크고 설계가 복잡하다는 단점 때문에 디지털 설계에서는 적용에 어려운 것으로 알려져 있다. Current-mode logic 기술을 디지털 로직 게이트 설계에 적용하

\* 학생회원, \*\* 정회원, 삼성전자 반도체총괄 (Semiconductor Division, Samsung Electronics)

\*\*\* 평생회원, 성균관대학교 정보통신공학부 (School of Information and Communication Engineering, Sungkyunkwan University)

접수일자: 2008년3월10일, 수정완료일: 2008년7월21일

기 위하여 MCML의 문제점을 해결한 로직 스타일이 Dynamic current-mode logic (DyCML) 이다.<sup>[5]</sup> DyCML에서는 동적 동작 방법을 이용하기 때문에 고정 전류 원으로 인하여 발생하는 과도한 전력 소모 문제를 해결 하였다. 이러한 DyCML 로직을 여러 단 상호 연결(cascading)하여 사용하기 위해서는 각 단의 동작 구간(operating phase)을 결정하여 주는 적당한 제어 신호들이 필요한데, 이는 delayed clock을 이용하거나 혹은 self-timing 신호를 이용하여 만들어 낼 수 있다.<sup>[5]</sup> 이들 방법 중에서 delayed clock을 이용하는 경우(clock-delayed DyCML)는 delayed clock 신호의 timing과 로직 게이트의 지연 시간 사이의 상호 관계가 매우 중요하기 때문에, 공급 전압이나 온도 등의 동작 조건에 영향으로 delayed clock의 지연시간이 로직 게이트의 지연시간 보다 작게 되면 원활한 회로 동작을 할 수 없는 단점을 가진다. 한편, self-timing 신호를 이용하는 경우(self-timed DyCML)는, 위와 같은 문제점은 존재하지 않으나, 과도한 단락 회로 전류(short-circuit current) 및 누설 전류(sub-threshold current)의 발생으로 인하여 전력 소모가 증가하는 단점을 가지고 있다.

본 논문에서는 위에서 언급한 DyCML의 단점을 극복할 수 있는 새로운 current-mode 로직 스타일을 제안하고자 한다. 본 논문의 구성은 다음과 같다. II 장에서는 기존의 고성능 로직 패밀리의 구조와 특성에 대해 설명하고, III 장에서는 본 논문에서 제안된 고속 저 전력 self-timed 로직 스타일에 대해 설명한다. IV 장에서는 제안된 로직 스타일을 이용하여 구현된 여러 가지 형태의 회로에 대한 성능 비교 결과를 분석하고, 마지막으로 V 장에서 결론을 맺는다.

## II. 기존의 current-mode 로직 패밀리의 특성

### 1. MOS Current-mode Logic

그림 1은 MCML로 구현된 inverter/buffer 회로구조를 보여주고 있다.<sup>[2-3]</sup> 트랜지스터 Q1은 DC 전류 원이고 저항 R1, R2는 pull-up 저항이다. 로직 함수는 저항과 전류 원 사이에 위치한 differential logic tree에 의하여 구현되고, inverter/buffer의 경우는 트랜지스터 Q2, Q3로 구성된다. 입력 신호는 두 branch에 흐르는 전류를 통제하며, output voltage swing  $V_{swing}$  은 N1과 N2 단자의 전압차로 결정된다. MCML은 일반적으로

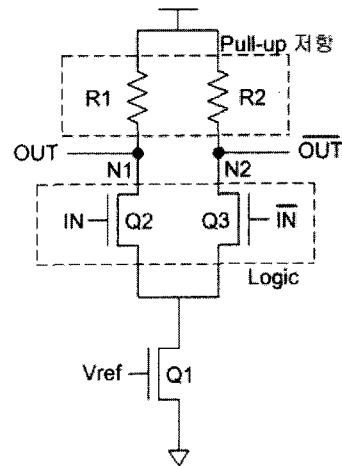


그림 1. MOS current-mode logic(MCML)의 구조  
Fig. 1. The structure of MOS current-mode logic (MCML).

로  $V_{swing}$  이 작기 때문에 인접 신호에 대한 cross-talk이 줄어들고 동적 전력 소모가 작아져, 버스 등의 I/O interface의 transceiver로 사용할 수 있다.

하지만, MCML은 고정 전류 원을 사용하여 정적 전력 소모가 크고, 출력단에 사용된 저항으로 인하여 chip 면적과 비용을 키우는 요인이 되므로 디지털 로직 함수를 구현하기에는 적합하지 않은 것으로 알려져 있다.

### 2. Dynamic Current-mode Logic

디지털 로직 게이트로의 사용을 위하여 MCML을 개선한 DyCML의 한 형태인 self-timed DyCML의 기본 구조가 그림 2에 나타나 있다.<sup>[5]</sup> Self-timed DyCML 회로는 differential logic tree, precharge 회로 (Q2, Q3,

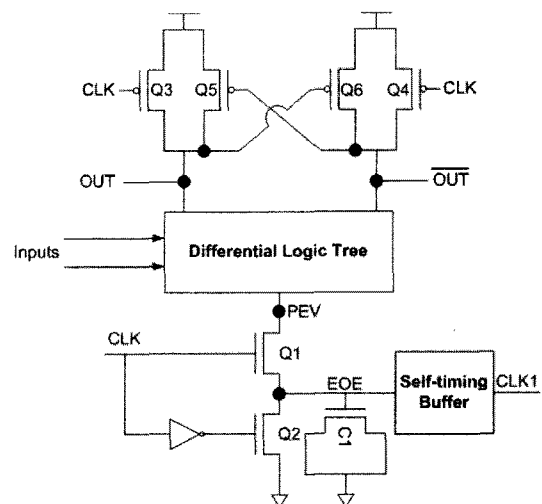


그림 2. Self-timed dynamic current-mode logic(self-timed DyCML)의 구조  
Fig. 2. The structure of self-timed dynamic current-mode logic (self-timed DyCML).

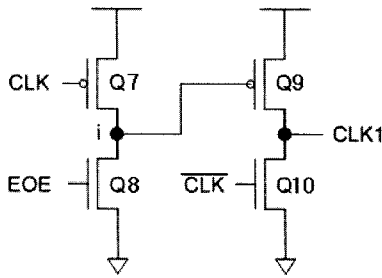


그림 3. DyCML을 위한 self-timing buffer의 구조  
Fig. 3. The structure of self-timing buffer for DyCML.

Q4), 가상 접지 회로 (Q1, C1), 그리고 로직 값을 보관하기 위한 p-type latch(Q5, Q6)와 self-timing buffer로 구성되어 있다. 그림 3에 자세한 회로 구조가 나타나 있는 self-timing buffer는 본 로직 스타일이 self-timing 동작을 원활히 수행할 수 있도록 다음 단계에서 필요한 클럭 신호를 생성하는 부분으로, 출력 신호 CLK1은 다음 단계의 CLK 신호로 사용된다. Self-timed DyCML은 precharge 구간(CLK=0)에서 출력 단자를  $V_{dd}$ 까지 충전하고 커패시터 C1을 방전시킨다. 이 구간 동안, Q1은 differential logic tree와 가상 접지를 분리시킨다. Evaluation이 시작되면 (CLK=1) precharge 트랜지스터는 off되고 Q1은 on되어 differential logic tree의 evaluation이 진행된다. 트랜지스터 Q5, Q6은 evaluation후 로직 레벨을 유지하는 latch로 동작한다.

Self-timed DyCML 로직은 MCML 로직에 사용된 전류 원과 전통적인 로드 저항을 제거하고 가상 접지와 능동 소자 저항을 사용하여 전력 소모와 chip 면적을 줄여 디지털 시스템에의 적용이 용이하다는 장점을 갖는다. 하지만, 가상 접지의 스위치로 동작하는 그림 2의 트랜지스터 Q1의 크기가 크고, precharge와 evaluation 구간에서 Q1과 Q2가 개별적으로 off 됨에 따라, 신호 CLK가 LOW인 구간에서 많은 누설 전류가 발생하는 단점을 가진다. 또한, 사용된 self-timed buffer 내의 pMOS 및 nMOS 트랜지스터들의 gate를 제어하는 신호들 사이에 존재하는 signal race로 인하여, Q7과 Q8, 그리고 Q9와 Q10이 동시에 on되는 구간이 존재하여 많은 양의 단락 회로 전류가 발생하는 점 또한 중요한 단점으로 지적되고 있다.

### III. 제안된 고속 저 전력 Self-timed Current-mode Logic

그림 4는 앞에서 언급한 DyCML의 단점을 극복하기 위하여 본 논문에서 제안된 self-timed current-mode

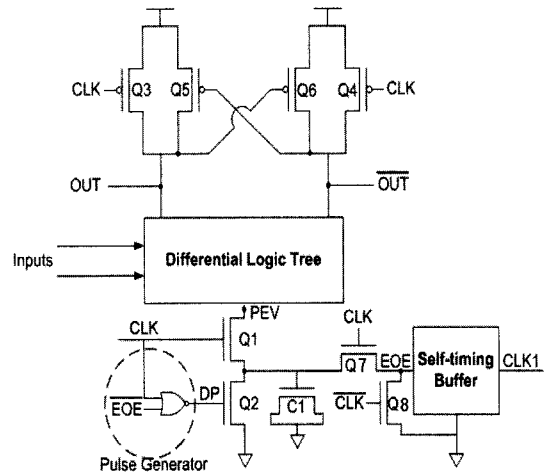


그림 4. 제안된 self-timed current-mode logic (STCML)  
Fig. 4. Proposed self-timed current-mode logic (STCML).

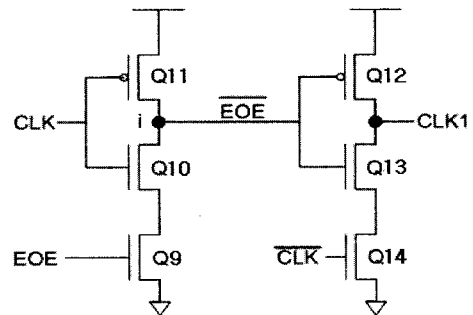


그림 5. 제안된 고속의 저 전력 self-timing buffer  
Fig. 5. Proposed high-speed, low power self-timing buffer.

logic(STCML)의 기본 구조를 보여주고 있다. STCML은 로직 evaluation을 위한 differential logic tree, precharge 회로(Q3, Q4), 가상 접지 회로(Q1, C1), 성능 개선을 위하여 제안된 self-timing buffer(Q9~Q14)와 스위치 회로(Q7, Q8)로 구성되어 있다. 제안된 self-timing buffer의 구조는 그림 5에 나타나 있으며, 이는 두 개의 직렬 inverter에 누설 전류와 단락 회로 전류 차단을 위한 트랜지스터 Q10, Q13을 삽입한 구조로 되어 있다. 또한, 제안된 self-timing buffer는 로직의 evaluation 완료 신호를 다음 단계의 클럭으로 사용할 수 있도록 빠르게 전달하는 것이 주요한 기능이므로 출력 신호의 rising time을 빠르게 만드는 것이 중요하다

그림 6에는 제안된 STCML 회로의 주요 신호와 DP 신호 생성 타이밍이 나타나 있다. STCML 회로는 precharge 구간에서 출력 신호 OUT을 로직 HIGH로 충전하고, 가상 접지로 사용되는 커패시터 C1을 접지로 방전한다. 커패시터 C1의 방전은 펄스 신호 DP에 의하여 precharge 구간 중 초기의 짧은 시간 동안 이루어

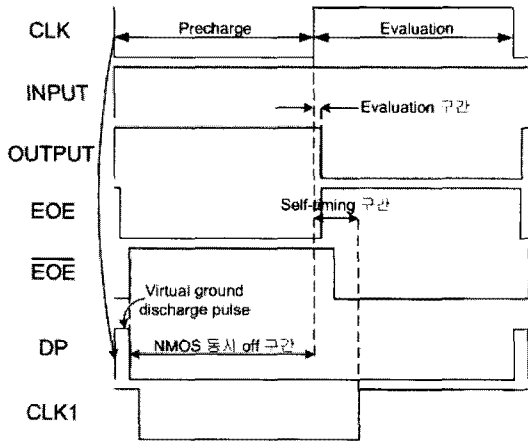


그림 6. 제안된 STCML의 동작 타이밍 도  
Fig. 6. Timing diagram of STCML.

지며, 방전 이후 가상 접지 트랜지스터 Q1 및 Q2는 모두 OFF 상태로 존재한다. 이처럼, 가상 접지 트랜지스터 Q1, Q2가 동시에 off 되면, 커다란 트랜지스터 폭을 갖는 Q1을 통하여 유입된 많은 누설 전류는 크기가 상대적으로 작은 폭을 가진 Q2로 방전되지 못하고 커패시터 C1에 쌓이게 되어, 시간이 경과되면서 Q1의 소스 전압이 상승하게 된다. 이러한 현상은 Q1의  $V_{GS}$  전압차를 마이너스 상태로 만들게 되어, Q1의 누설 전류를 현저하게 감소시키게 된다. 이후, 클록 HIGH 구간에서 differential logic tree의 evaluation이 진행된다. 이때, INPUT 신호가 HIGH 일 때 OUT 신호는 LOW로 천이하고 동시에 EOE 신호가 상승하면서 evaluation 완료 신호를 self-timing buffer를 통하여 다음 단으로 전달하게 된다. 방전에 필요한 DP 신호는 클록의 falling 신호와 self-timing buffer의 내부 신호  $\overline{EOE}$ 을 입력으로 NOR 게이트를 사용하여 생성할 수 있다. 그림 4와 그림 5에 제시된 회로 구조에 의하면 클록 하강 이후  $\overline{EOE}$  신호가 상승하기까지는 3개의 트랜지스터를 거치는 시간과 동일하므로, 가상 접지 C1단자가 방전 할 수 있는 충분한 시간을 가질 수 있다. 그림 7은 제안된 STCML 회로에 대한 시뮬레이션을 통하여 얻어진 내부 단자들의 동작 전압 레벨을 보여주고 있다.

가상 접지로 동작하는 커패시터 C1의 크기는 로딩 커패시턴스(fan-out) 값과 출력 전압 swing에 의하여 결정된다. 커패시터 C1에 저장된 전하는 출력 단자에서 유입된 전하와 동일하므로 다음 식을 이용하여 트랜지스터 C1의 크기를 계산할 수 있다.

$$V_{swing} * C_L = W_{C1} * L_{C1} * C_{OX} * (V_{dd} - V_{swing}) \quad (1)$$

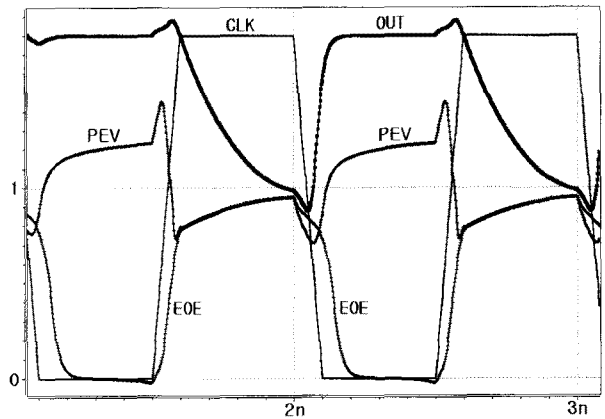


그림 7. Self-timing current-mode logic의 내부 신호 전압 레벨  
Fig. 7. Voltages at different nodes in the self-timing current-mode logic.

그림 7. Self-timing current-mode logic의 내부 신호 전압 레벨  
Fig. 7. Voltages at different nodes in the self-timing current-mode logic.

$$W_{C1} * L_{C1} = \frac{V_{swing} * C_L}{C_{OX} * (V_{dd} - V_{swing})} \quad (2)$$

여기서  $V_{swing}$ 은 출력 전압 swing,  $W_{C1}$ 과  $L_{C1}$ 은 트랜지스터  $C_L$ 의 너비와 길이,  $C_{OX}$ 는 단위 면적당 gate oxide capacitance,  $C_L$ 은 출력 단자 당 부하 커패시턴스이다.

STCML 로직의 장점은 기존 회로에 비하여 누설 전류로 인한 전력 소모를 획기적으로 제거하고 동적 전력 소모를 효과적으로 감소시켜 전체 전력 소모를 크게 줄일 수 있도록 기능이 개선된 점이다. 즉, 가상 접지의 스위치로 사용되는 두 개의 NMOS 트랜지스터를 precharge 구간에서 동시에 off 시킴으로서 NMOS 트랜지스터 적층효과(stackng effect)로  $-V_{GS}$ 와 body effect 그리고  $V_{DS}$  감소 효과 등이 동시에 나타나도록 하여, CLK가 LOW인 구간에서 누설 전류를 획기적으로 감소시켰다.<sup>[6]</sup> 또한, 새롭게 제안된 self-timing buffer를 적용하여 동적 모드 동작 시 기존의 self-timing buffer에서 발생되는 단락 회로 전류를 효과적으로 제거하여, 동적 전력 소모가 개선되도록 하였다.

#### IV. 실험 및 고찰

본 논문에서 제안된 회로 기술의 효능을 확인하고자 80nm의 CMOS 공정을 이용하여 STCML NAND 게이트를 설계 하였으며, 이에 대한 layout photograph가 그림 8에 나타나 있다. 설계된 회로의 총 면적은 32X21  $um^2$ 로 기존 회로에 비해 면적 증가는 5% 정도인

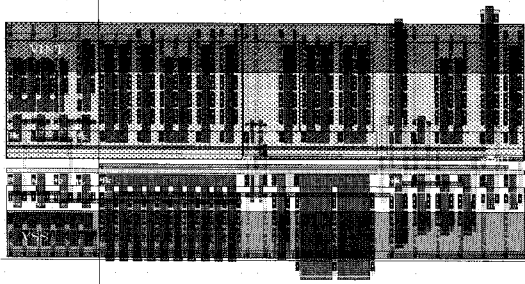


그림 8. STCML NAND 회로의 레이아웃  
Fig. 8. The layout of STCML NAND gate.

표 1. NAND 게이트의 전력 및 시간지연 측정결과  
Table 1. Measurement result of power and delay of NAND gates.

	Device Count	Area (mm <sup>2</sup> )	Delay (ns)	Power (fA)	EDP
DCVS	13	0.40	0.13	140	2.36
DyCML	16	0.50	0.11	184	2.22
STCML	22	0.67	0.12	133	1.90

것으로 나타났고, 면적 증가는 방전용 펄스 생성 회로와 제안된 self-timing buffer 회로에 개선용 트랜지스터가 추가되었기 때문이다. 커패시터 C1과 self-timing buffer의 출력 신호 EOE의 중간에 isolation 목적으로 사용된 트랜지스터 Q10의 기생 커패시턴스와 저항 성분이 커지게 되면 전체적인 회로 성능과 전력 소비에 큰 영향을 미칠 수 있으므로, 기생 커패시턴스가 최소화되도록 트랜지스터들을 배치하였으며 metal 선폭도 적당히 조절하여 저항이 커지지 않도록 설계하였다.

설계된 회로의 성능을 확인하기 위하여 HSPICE를 이용하여 시뮬레이션을 진행하였으며, 이는 공급전압 1.8V, loading capacitance 50-fF, 25C의 온도 조건에서 이루어 졌다. 표 1은 NAND 게이트의 전력과 시간 지연, 그리고 energy-delay product(EDP)에 대한 결과를 보여주고 있다. 동적 전력 소모를 비교한 결과를 보면, 제안된 STCML은 로직 게이트 설계를 위한 기존의 current-mode logic인 DyCML과 비교하여 27%의 개선 효과가 있었으며, 로직 게이트 구현을 위하여 가장 널리 사용되는 DCVS와 비교하여 5%의 동적 전력 소모 개선이 이루어졌음을 확인하였다. Energy-delay product 측면에서 비교하면, 제안된 로직 패밀리는 DCVS 보다는 19%가 개선되었고 DyCML 보다는 14%가 개선되었다. 설계된 회로들에 대한 동적 모드 및 전력 절전 모드에서의 누설 전류에 대한 비교는 그림 9에 나타나 있다. 그림에서 보는 바와 같이, 제안된 STCML은 동적 모드 및 전력 절전 모드에서 비교 대

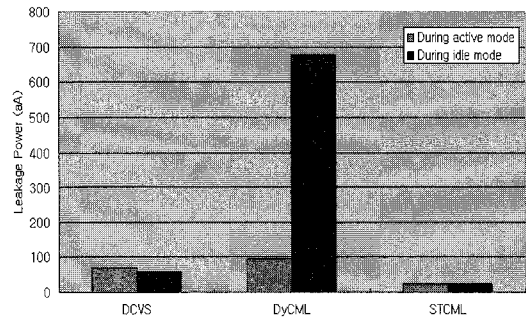


그림 9. NAND 게이트의 누설 전력 소모에 대한 시뮬레이션 비교  
Fig. 9. Comparison of sub-threshold current of NAND gate.

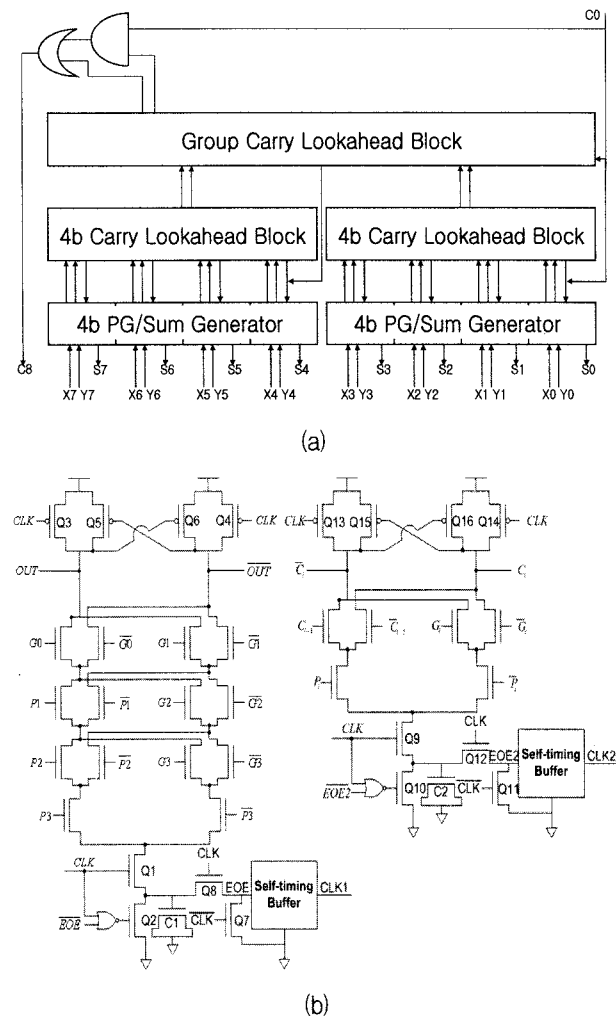


그림 10. (a) CLA의 전체 block diagram 및 (b) 4-bit Carry Look-ahead Block의 내부 구조.  
Fig. 10. (a) CLA overall block diagram and (b) the internal structure of Carry Look-ahead Block.

상이 된 로직 스타일 중 최소의 누설 전류를 가짐을 알 수 있으며, 특히 주목할 점은, 제안된 로직 스타일이 전

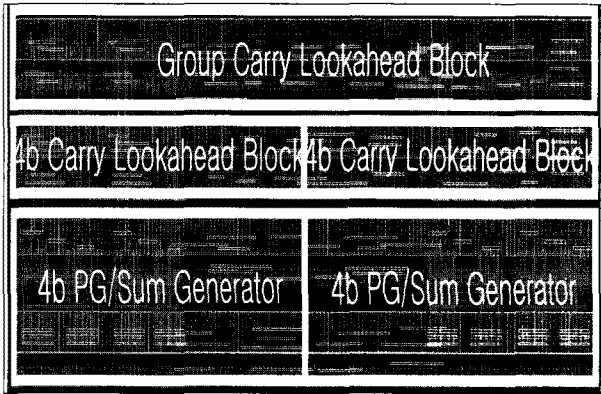


그림 11. 8bit CLA 회로의 레이아웃.

Fig. 11. The layout of 8bit CLA circuit.

표 2. CLA의 전력 및 시간지연 측정결과

Table 2. Measurement result of power and delay of CLA.

	Device Count	Area (mm <sup>2</sup> )	Delay (ns)	Power (fA)	EDP
DCVS	329	12.01	1.52	1795	4147
DyCML	440	16.02	1.45	2023	4253
STCML	560	20.34	1.46	1614	3440

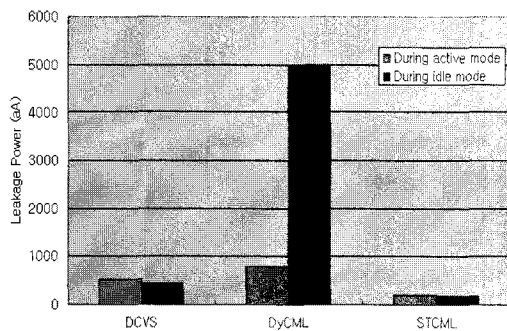


그림 12. CLA의 누설 전력 소모에 대한 시뮬레이션 비교

Fig. 12. Comparison of sub-threshold current of CLA.

력 절전 모드에서 DyCML보다 월등히 개선된 누설 전류 특성을 보인다는 사실이다. 이는, DyCML의 경우, 전력 절전 모드에서 가상 접지로 사용되는 두 개의 NMOS 트랜지스터 중에서 크기가 상대적으로 큰 트랜지스터 하나만 OFF 되는 반면에, 제안된 STCML의 경우는 가상 접지로 사용된 두 개의 트랜지스터가 모두 OFF 상태로 존재하여 적층 효과 및 몸체 효과 등에 의하여 누설 전류를 현저히 때문이다. 이데 따라, 제안된 STCML은 DyCML에 비하여  $\frac{1}{26}$  정도의 작은 누설 전류를 소모하고 있으며, DCVS와 비교해서도 2배 이상의 개선 효과를 보이고 있다.

보다 복잡하고 실용적인 회로에 대하여 제안된 로직 스타일의 특성을 확인하고자 STCML을 사용하여 8-bit carry look-ahead adder(CLA)을 설계 하였다. 설계된 CLA에 대한 block diagram과 layout photograph가 그림 10과 그림 11에 나타나 있다. CLA의 총 면적은  $242 \times 84 \mu\text{m}^2$ 이며, 전체적인 구조는 1개의 group carry look-ahead block과 2 개의 4-bit carry look-ahead block 그리고 2개의 4-bit PG/Sum generator로 구성되어 있다. 설계된 CLA에 대한 시뮬레이션 비교 결과는 표 2에 나타나 있으며, delay, power 그리고 EDP에 대한 비교 결과를 수록하였다.

그림에서 보는 바와 같이, STCML을 이용하여 설계된 CLA는 DyCML과 DCVS를 이용하여 설계된 CLA들과 비교하여 각각 20%와 10%의 동적 전력 소모 감소를 가져옴을 알 수 있다. 그림 12는 설계된 CLA의 전력 절전 모드에서의 누설 전류에 대한 비교 결과를 나타내고 있는데, 여전히 DyCML의 누설 전류가 다른 로직 스타일과 비교하여 월등히 높은 값을 나타내고 있는 반면 STCML의 누설 전류는 기존의 DCVS와 DyCML과 비교하여 현저히 감소된 결과를 나타내고 있음을 알 수 있다.

## V. 결 론

본 논문에서는 동적 모드 및 전력 절전 모드에서 전력 손실을 감소시킬 수 있는 self-timed current-mode logic을 제안하였다. 제안된 회로는 동적 모드 동작 시 self-timed buffer에서 발생하는 단락 회로 전류를 제거하였으며, 전력 절전 모드 동작 시 내부 신호를 이용하여 만들어진 방전용 펄스를 이용하여 누설 전류를 획기적으로 감소시켰다. 80-nm CMOS 공정을 이용한 시뮬레이션 결과, 제안된 회로는 DyCML과 비교하여 27%의 동적 전력 감소와 26배의 누설 전류 감소를 가져왔으며, DCVS와 비교하여 59%의 누설 전류 감소를 이루었음을 확인하였다.

## 참 고 문 헌

- [1] P. Gray, P. Hurst, S. Lewis and R. Meyer, Analysis and design of analog integrated circuits, John Wiley & Sons, 2000.
- [2] M. Yamashina and H. Yamada, "MOS current-mode logic MCML circuit for low-power

GHz processors,” NEC Res. Develop., vol.36, no.1, pp.54-63, Jan. 1995.

[3] H. Hassan, M. Anis and M. Elmasry, “MOS current-mode circuits: analysis, design, and Variability,” VLSI System IEEE Transactions on, vol.13, no.8, pp.885-898, Aug. 2005.

[4] J. Cao, M. Green, A. Momtaz, K. Vakilian, D. Chung, K. C. Jen, M. Caresosa, X. Wang, W. G. Tan, Y. Cai, L. Fujimori, and A. Hairapetian, “OC-192 transmitter and receiver in standard 0.18-um CMOS,” *IEEE J. Solid-State Circuit*, Vol. 37, No. 12, pp. 1768-1780, Dec 2002.

[5] M. Allam. M. Elmasry, “Dynamic current-mode Logic (DyCML): A New Low-Power High-Performance Logic Style,” *IEEE J. Solid-State Circuit*, Vol. 36, No. 3, pp. 550-558, Mar. 2001.

[6] Y. Ye, S. Borkar, and V. De, “A New Technique for Standby Leakage Reduction in High-Performance Circuits,” *Sym. on VLSI Circuits*, pp. 40-41, 1998.

저 자 소 개



송진석(학생회원)  
 1994년 성균관대학교 전자공학과  
 학사 졸업  
 1994년~현재 삼성전자 반도체  
 총괄 책임연구원 재직  
 2007년~현재 성균관대학교  
 반도체 디스플레이공학과  
 석사과정

<주관심분야 : 메모리 설계 자동화 및 DFM >



공배선(평생회원)  
 1990년 연세대학교 전자공학과  
 공학사  
 1992년 한국과학기술원(KAIST)  
 전기 및 전자공학과  
 공학석사  
 1996년 한국과학기술원(KAIST)  
 전기 및 전자공학과  
 공학박사

1996년~1999년 LG 반도체 중앙연구소  
 선임연구원

2000년~2005년 한국항공대학교 항공전자공학과  
 부교수

2005년~현재 성균관대학교 정보통신공학부  
 부교수

<주관심분야 : 디지털 및 혼성모드 집적회로설계,  
 저전력 메모리 설계>



공정택(정회원)  
 1981년 한양대학교 전자공학과  
 공학사  
 1983년 연세대학교 전자공학과  
 공학석사  
 1994년 Duke University  
 전자공학과 공학박사

2000년~2007년 삼성전자 반도체총괄 CAE팀 상무

2007년~현재 삼성전자 반도체총괄 IP팀 전무

<주관심분야 : 반도체 설계 자동화>