

논문 2008-45SD-8-4

휴대용 멀티미디어 기기를 위한 400mA급 전류 방식 DC-DC 컨버터

(400mA Current-Mode DC-DC Converter for Mobile Multimedia Application)

허동훈*, 남현석*, 이민우*, 안영국*, 노정진**

(Donghun Heo, Hyunseok Nam, Minwoo Lee, Youngkook Ahn, and Jeongjin Roh)

요약

최근 휴대용 멀티미디어 기기에 있어서 파워 컨버터 블록이 매우 중요한 블록으로 부각되고 있다. 본 논문에서는 휴대 기기를 위한 고성능 DC-DC buck 컨버터를 설계하였다. DC-DC buck 컨버터의 컨트롤러에는 전류를 이용한 컨트롤 방법을 사용하였다. 설계된 전류 방식 DC-DC buck 컨버터는 standard 0.18 μ m 공정을 통하여 칩으로 제작되었고, 전체 칩의 크기는 1.2mm²이다. 제작된 칩은 1~1.5MHz의 주파수에서 동작하였고, 최대 400mA의 부하 전류를 구동할 수 있다. 또한 컨버터의 최대 변환 효율은 86%이다.

Abstract

Power converters are becoming an essential block in modern mobile multimedia application. This paper presents a high performance DC-DC buck converter for mobile applications. Controller of DC-DC buck converter is designed by current-mode control method. An current-mode DC-DC converter is implemented in a standard 0.18 μ m CMOS process, and the overall die size was 1.2mm². The peak efficiency was 86 % with a switching frequency of 1~1.5MHz and a maximum load current of 400mA.

Keywords: DC-DC 변환기, buck 변환기, power management, 배터리 전원, 전력효율

I. 서론

최근 휴대전화, TV, 캠코더 등과 같이 전자제품의 휴대용 제품화와 함께 PDA 등과 같은 새로운 개념의 휴대용멀티미디어 기기 시장의 발달로 인해 파워 매니지먼트 시스템의 중요성이 증가하고 있다. 이러한 휴대용멀티미디어 기기들은 배터리 전원으로부터 다양한 내부

시스템의 전원 전압을 공급 받아야 한다. 그러므로 배터리 전압을 내부 시스템 전원 전압으로 전력 변환을 하는 회로에 있어서 전력 변환 효율은 멀티미디어 기기의 사용시간을 보장을 위하여 매우 중요한 성능으로 부각되었고 이를 구현하기 위한 다양한 파워 매니지먼트 회로의 개발이 급속하게 증가하고 있다.

파워 매니지먼트 회로는 일반적으로 전하 펌프 회로, linear regulator 회로, 인덕터 타입의 DC-DC 컨버터 등으로 구현할 수 있다. 외부 커패시터를 이용하는 전하 펌프 회로는 입력 전압 보다 높은 전압을 얻을 수 있고, 비교적 작은 면적으로 큰 효율을 가지는 장점이 있지만 대용량 부하 전류를 구동할 수 없으며, 다른 구조의 회로보다 출력 전압 리플이 크기 때문에 잡음에

* 학생회원, ** 정회원, 한양대학교 전자컴퓨터공학
(Dep. of Electronic, Electrical, Control and Instrumentation Engineering, Hanyang Univ.)

※ 이 논문은 2008년도 정부(교육과학기술부)의 재원으로 한국과학재단의 지원을 받아 수행된 연구임(No. R01-2008-000-11056-0)

접수일자: 2008년2월15일, 수정완료일: 2008년7월29일

민감한 회로의 전원 전압으로는 부적합하다.^[1] Linear regulator 회로는 입력 전압 보다 낮은 출력 전압을 생성하는데 많이 쓰이게 된다. 회로에서 생성되는 출력 전압이 스위치의 동작에 의해 생성되지 않으므로 리플이 매우 낮은 출력 전압을 생성할 수 있는 장점이 있다. 그러나 전력 변환 효율이 떨어지는 단점이 있다.

인덕터 타입의 DC-DC 컨버터는 스위치의 동작과 인덕터의 특성에 의해 출력 전압을 생성하게 되므로 제어 방법과 구성에 따라 입력 전압보다 높은 전압과 낮은 전압을 모두 생성 가능 하다. 스위치의 동작에 의해 출력 전압을 생성하기 때문에 스위치 동작에 따른 출력 전압 리플이 존재 하고 비교적 많은 외부 소자를 사용하므로 파워 모듈 전체의 복잡성이 증가하는 단점이 있지만 다양한 입력 전압과 출력 전압을 생성할 수 있다.^[2~5] 또한 매우 높은 전력 변환 효율을 가지는 장점으로 인해 배터리 수명이 중요시 되는 휴대용 멀티미디어 기기에 적합하다.^[6]

일반적으로 인덕터 타입의 DC-DC 컨버터의 컨트롤러를 설계하는 방법은 크게 두 가지로 나눌 수 있다. 첫 번째 방식은 주파수가 변하는 방식으로 일반적으로 이러한 방식을 PFM (pulse frequency modulation) 방식이라 한다.^[7] PFM 방식의 컨트롤러는 비교기만으로 구성할 수 있다. 그래서 비교적 구조가 간단하다. 또한 PFM 방식의 컨트롤러는 적은 대기 전류를 가지고 적은 부하 전류에서 높은 효율을 보이는 장점이 있다. 그러나 주파수가 바뀌는 특성 때문에 스위칭 노이즈를 필터링 하는 것이 매우 어렵다. 두 번째 방식은 일정한 스위칭 주파수를 가지는 PWM (pulse width modulation) 컨트롤 방식 이다. 이러한 컨트롤 방식은 스위칭 주파수가 고정되어 있으므로 비교적 스위칭 노이즈를 제거

하기 쉽다. 이러한 노이즈 제거의 용이성 때문에 PWM 컨트롤 방식의 컨트롤러는 노이즈에 민감한 시스템에 많이 쓰인다. 그러므로 일반적으로 큰 부하 전류를 사용하는 시스템에서는 PWM 컨트롤 방식을 많이 사용한다.^[8]

본 논문에서는 휴대용 멀티미디어 기기에 적용 가능한 인덕터 타입의 전류 방식(current-mode) DC-DC buck 컨버터를 설계하였다. 컨버터의 컨트롤러는 PWM 제어 방식을 사용하였다.

본 논문의 구성은 II장에서는 설계된 전류 방식 DC-DC buck 컨버터의 동작 및 내부 회로에 대해 설명하였고, III장에는 제작된 칩의 측정 결과와 IV장에서는 결론을 맺는다.

II. 전류방식 DC-DC buck 컨버터

1. 전류 방식 DC-DC 컨버터

인덕터 타입의 DC-DC 컨버터는 스위칭작용에 의해 동작하는 비선형 회로이다. 이러한 회로의 피드백 루프의 안정성을 분석하기 위해선 선형화된 소 신호 모델이 필요하다. 일반적인 전압 방식 DC-DC buck 컨버터는 두 개의 극점을 가지며 일반적으로 다음과 같이 2차식으로 모델링 할 수 있다.^[9~10]

$$G_{od}(s) = \frac{V}{D} \cdot \frac{1}{\left(1 + \left(\frac{L}{R}\right) \cdot s + LC \cdot s^2\right)} \quad (1)$$

식 (1)은 control-to-output transfer function G_{vd} 를 보여준다. 여기서 D는 PWM 파형의 high 구간의 비율을 의미한다. 이러한 전압 방식의 DC-DC buck 컨버터는 극점이 두 개 존재하기 때문에 gain과 phase 이득 확보가 어렵다. 전압 방식 DC-DC buck 컨버터는 gain과 phase를 같이 보상 할 수 있는 비교적 구조가 복잡한 PID (proportional integral derivative) 보상기를 사용한다.^[10]

전류 방식 DC-DC buck 컨버터도 전압 방식 buck 컨버터와 같이 두 개의 극점을 갖는다. 그러나 전류 방식 buck 컨버터의 두 번째 극점은 전압 방식 buck 컨버터와 다르게 첫 번째 극점에서 멀리 떨어진 스위칭 주파수 근처에 위치하여 전체 컨버터의 안정성에 거의 영향을 주지 않는다.^[7, 11] 그러므로 하나의 극점을 갖는 1차 모델로 정확한 모델을 근사하여 사용할 수 있다. 컨버터의 안정성을 위해 보상 계수 값을 결정할 경우

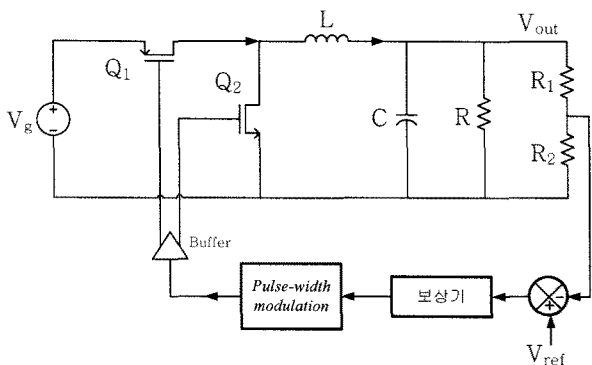


그림 1. 일반적인 DC-DC buck 컨버터의 블록 다이어그램

Fig. 1. Block diagram of conventional DC-DC buck converter.

컴퓨터를 이용하여 정확한 모델을 분석하게 된다. 그러나 이론적인 분석을 위해서는 복잡한 모델보다는 단순화된 1차 모델을 사용하는 것이 훨씬 용이하므로 아래의 수식적인 분석에서는 단순화된 모델을 사용하였다. 식 (2)는 1차 모델의 control-to-output 전달함수 G_{vc} 를 보여준다.

$$G_{vc}(s) = \frac{V_{out}(s)}{i_c(s)} = \frac{1}{(1 + s \cdot RC)} \quad (2)$$

식 (2)에서와 같이 전류 방식 컨버터의 경우 small-signal control-to-output transfer function인 $G_{vc}(s)$ 에서의 극점의 수가 전압 방식 컨버터에 비하여 하나 적기 때문에 phase lead network 없이도 적절한 phase margin 확보가 가능하다. 그러므로 전류 방식의 컨버터는 phase 보상 없이 gain만 보상해 주면 된다. 일반적으로 전류 방식 컨버터는 비교적 구조가 단순한 PI (proportional plus integral) 보상기가 사용된다.^[10]

Disturbance에 의한 oscillation은 잘 알려진 전류를 이용한 제어 방식의 단점이다. 인덕터 전류를 이용하여 컨버터를 제어하는 전류 방식 DC-DC 컨버터의 제어 신호는 disturbance에 민감한 특성이 있다.^[9~11] 예를 들

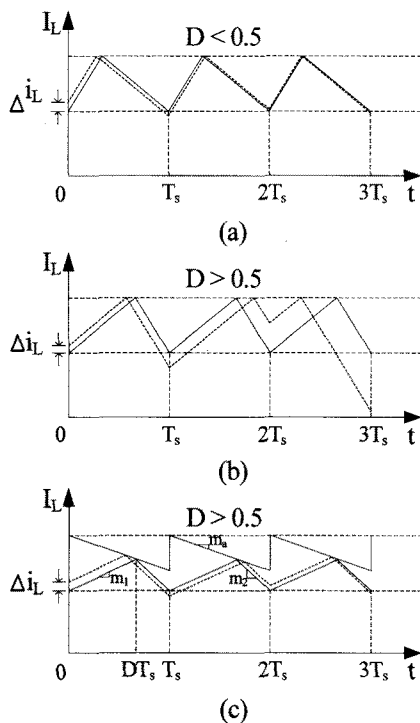


그림 2. (a),(b) Duty에 따른 외압 Δi_L 의 영향 (c) artificial ramp 추가 하였을 경우
Fig. 2. (a),(b) Effect of perturbation Δi_L on inductor current about duty (c) with artificial ramp.

어 Δi_L 의 disturbance가 발생하였을 경우 그림 2의 (a)와 같이 전류 방식 DC-DC 컨버터가 0.5이하의 duty를 가진다면 disturbance Δi_L 의 영향이 스위칭 주기가 반복됨에 따라 감소하여 사라지게 된다. 그러나 그림 2의 (b)와 같이 컨버터가 0.5이상의 duty를 가질 경우 disturbance Δi_L 의 영향은 스위칭 주기가 반복됨에 따라 증폭되어 결국 제어 신호가 oscillation 하게 되고 이로 인해 전체 컨버터가 불안정하게 된다. 이러한 disturbance에 의한 oscillation을 방지하는 방법은 artificial ramp를 감지된 전류 신호에 더해 주는 것이다. 그림 2의 (c)에서 보듯이 artificial ramp를 감지된 전류 신호에 더해 주었을 경우 0.5 이상의 duty에서도 disturbance Δi_L 의 영향이 스위칭 주기가 반복 될수록 감소하여 사라진다. 이때 더해 주는 artificial ramp의 기울기 m_a 는 인덕터 전류의 감소구간의 기울기인 m_2 의 1/2 이상이 되어야 disturbance에 의한 oscillation을 방지할 수 있다.^[9, 12]

그림 3은 본 논문에서 설계한 전류 방식 DC-DC buck 컨버터의 구조를 간략화한 블록들로 나타낸 것이다. buck 컨버터의 주요 기능은 전압을 입력 전압보다 낮은 출력 전압으로 변환하는 것이다. 이 컨버터는 전원부와 피드백 컨트롤 회로로 구성되어 있다. V_g 는 입력 DC 전압을 공급하는 배터리 전원이고, V_{out} 은 입력 DC 전압을 감소시킨 출력 DC 전압이다. 인덕터 L, 출력 커패시터 C는 모두 큰 값을 가지기 때문에 외부 소자로 구성된다. 저항 R_1 과 R_2 는 출력 전압을 감지하고 에러 앰프의 출력 전압의 크기를 결정한다. R은 DC-DC 컨버터의 부하, 즉 컨버터가 구동하게 되는 임의의 디지털 또는 아날로그 시스템을 저항으로 나타낸

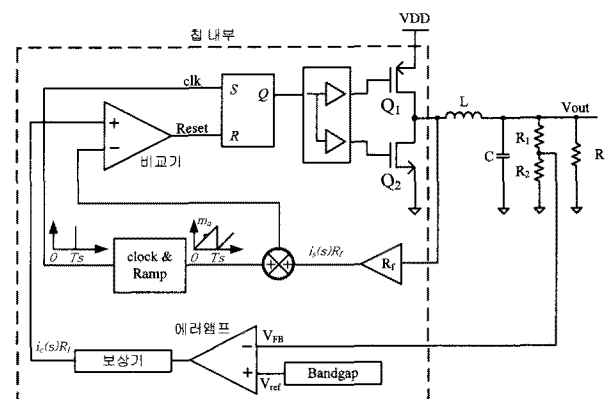


그림 3. 전류 방식 DC-DC buck 컨버터의 블록 다이어그램
Fig. 3. Block diagram of current-mode DC-DC buck converter.

것이다.

그 외의 다른 블록들은 하나의 컨트롤러 회로로 집적된다. 그림 3에서 클럭은 미리 결정된 주기를 갖는 짧은 펄스를 생성하고, SR 래치의 출력은 그 펄스에 의해 set 된다. 래치의 reset 타이밍은 에러 앰프의 출력을 통한 컨트롤 신호 $i_s R_f$ 와 Q_1 에 흐르는 전류를 감지한 신호 $i_s R_f$ 와 비교기를 이용한 비교로 컨트롤 하게 된다. Q_1 에 흐르는 전류는 Q_1 이 켜졌을 때 인덕터에 흐르는 전류와 같은 값을 가진다. 그러므로 Q_1 에 흐르는 전류를 감지한 신호 $i_s R_f$ 는 인덕터 전류를 감지한 신호가 된다. Q_1 이 켜지면 출력 전압이 상승하게 되고 저항 R_1 과 R_2 를 사용하여 감지된 출력 전압이 V_{ref} 와 같지 않으면 에러 앰프에 의하여 컨트롤 신호가 변하게 되고 이로 인해 래치의 reset 시간이 변하게 되어 출력전압을 조절하게 된다. 즉, 래치에서 발생하는 PWM 신호에 의해 트랜지스터 Q_1 , Q_2 의 동작이 제어 되고, 트랜지스터의 켜짐과 꺼짐을 통해 원하는 출력 전압을 생성하게 된다.^[9-10]

2. 보상기의 설계

보상기의 설계에 있어서 가장 먼저 해야 하는 일은 unit-gain 주파수를 정하는 일이다. Unit-gain 주파수가 정해져야 그에 따른 gain이나 phase의 보상 정도를 정할 수 있다. Unit-gain 주파수는 일반적으로 컨버터의 스위칭 주파수의 1/10 이하로 정한다. Unit-gain 주파수가 컨버터 스위칭 주파수의 1/10 이상이 되면 스위칭 주파수 근처에서의 보상기의 gain이 너무 큰 값을 가지게 되고, 이에 따라 스위칭 주파수 근처에서 발생하는 스위칭 노이즈가 보상기에 의해 증폭되어 컨버터

내부에 영향을 주게 된다. Unit-gain 주파수를 결정하게 되면 보상기의 극점과 영점의 주파수와 unit-gain 주파수에서의 gain값을 정하게 된다. 이때 극점과 영점의 주파수는 두 개의 주파수의 중간 값과 unit-gain 주파수가 일치하도록 결정 하여야 phase margin이 낮아지는 것을 방지 할 수 있다.

그림 4는 보상되지 않은 전류 방식 DC-DC 컨버터의 주파수 특성이다. 식 (2)에서 간략화한 것과 같이 거의 극점이 한 개인 것과 같은 특성을 보이고 있다. 보상되지 않아도 컨버터의 phase margin은 충분한 값을 가진다. 그러나 컨버터의 DC gain은 20dB이하로 매우 낮은 값을 가진다. 그러므로 보상기를 통한 gain의 보상을 해주어야 한다.

그림 5는 본 논문에서 사용한 일반적인 PI 보상기와 에러앰프로 사용된 OTA (operational transconductance amplifier)의 구조이다. 이와 같은 보상기는 phase margin이 충분히 확보된 상태에서 system의 DC gain이 낮을 경우 gain을 보상해 주기 위해서 많이 이용된다. 그림 5와 같이 구성된 두 개의 커패시터와 하나의 저항에 의해 각각 극점과 영점이 다음과 같이 생성된다.

$$f_z = \frac{1}{2\pi R_1 C_1} \tag{3}$$

$$f_p = \frac{C_1 + C_2}{2\pi R_1 C_1 C_2} \approx \frac{1}{2\pi R_1 C_2} \text{ where } C_2 \ll C_1 \tag{4}$$

이와 같은 극점과 영점을 포함하는 보상기의 gain은 컨버터의 unit-gain 주파수에서

$$A_v = g_m R_1 \tag{5}$$

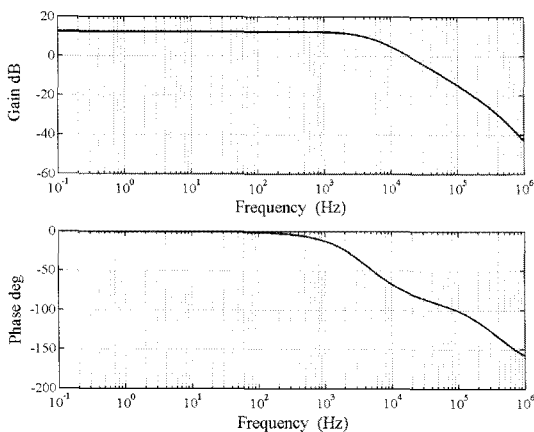


그림 4. 보상되지 않은 buck 컨버터의 주파수 특성
Fig. 4. Frequency characteristics of uncompensated buck converter.

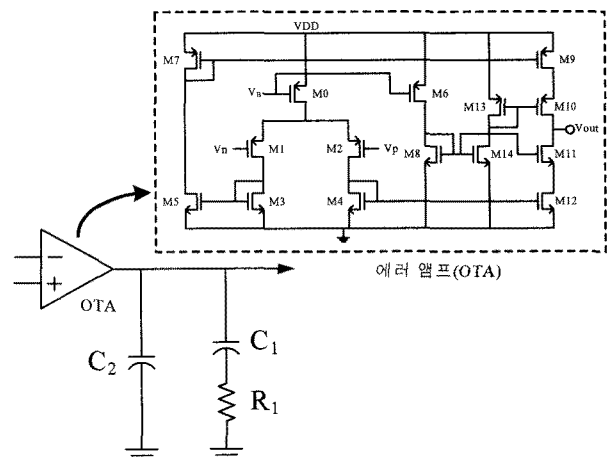


그림 5. OTA를 이용한 일반적인 PI 보상기
Fig. 5. Conventional PI compensator using OTA.

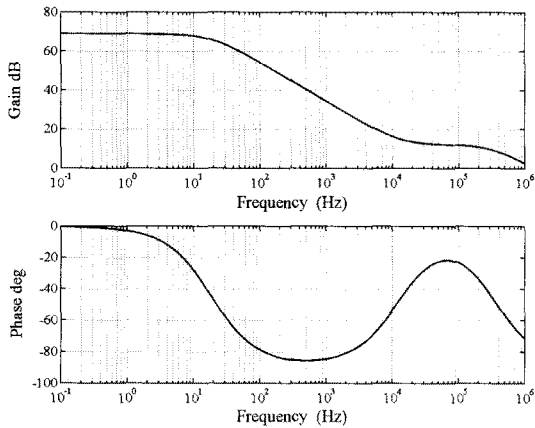


그림 6. PI 보상기의 주파수 특성
Fig. 6. Frequency characteristics of PI compensator.

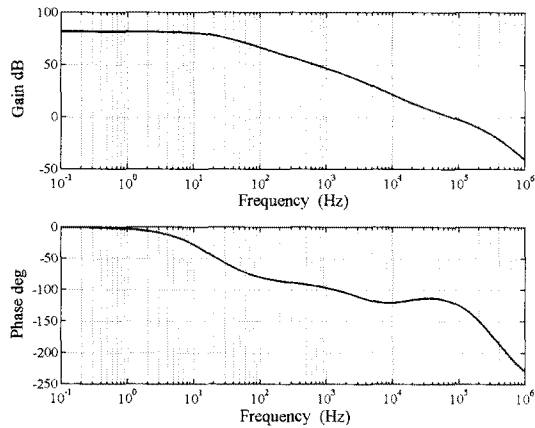


그림 7. 보상된 buck 컨버터의 주파수 특성
Fig. 7. Frequency characteristics of compensated buck converter.

과 같이 되고 이와 같이 생성된 극점과 영점에 의한 전체 PI 보상기의 transfer function G_c 의 주파수 특성은 그림 6과 같이 나타난다. 이때 g_m 은 OTA의 transconductance 이다. 보상기에 사용된 저항 R_1 과 커패시터 C_1, C_2 는 모두 칩 내부에 집적화 하였다. 설계된 컨버터와 보상기를 가지는 전체 전류 방식 DC-DC buck 컨버터의 전체 루프의 주파수 특성은 그림 7과 같다. G_{vc} 의 gain과 phase 특성을 보상기를 통하여 보상하여 충분한 DC gain과 phase margin을 확보하였다.

3. 클럭과 Ramp 신호 생성기

그림 8의 클럭과 Ramp 신호 생성기는 컨버터의 PWM 신호 제어와 전류 방식 컨버터의 안정성을 위해 중요한 신호인 클럭과 ramp 신호를 생성해주는 회로이다. 이때의 hysteresis 비교기는 그림 9의 구조를 사용하였다.^[13] 그림 8에서 나타났듯 전류원인 I_{REF} 전류가

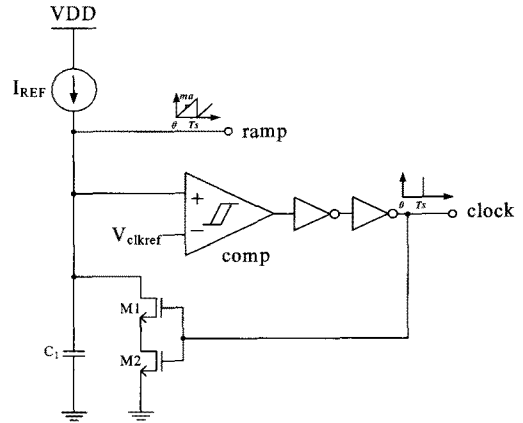


그림 8. 클럭과 Ramp 신호 생성기
Fig. 8. Click and Ramp signal generator.

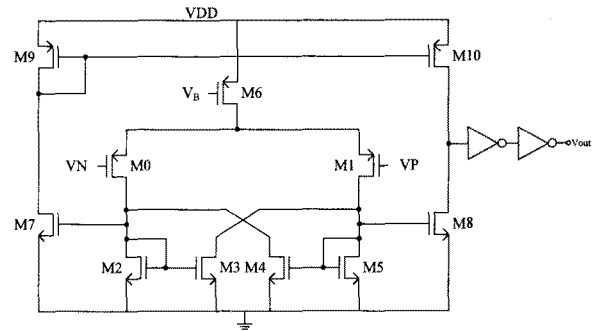


그림 9. Hysteresis 비교기
Fig. 9. Hysteresis comparator.

캐패시터 C_1 에 충전 되면 ramp 노드에서 전압은 I_{REF}/C_1 의 기울기로 증가 하게 된다. 이때의 전압은 다음 식과 같이 나타난다.

$$ramp = \frac{I_{REF}}{C_1} \cdot t \quad (6)$$

증가한 ramp 신호의 크기가 V_{clkref} 값과 같아지면 hysteresis 비교기의 출력 노드는 low에서 high로 바뀌게 되고 클럭도 high가 된다. High 상태의 클럭은 꺼져 있던 트랜지스터 M1과 M2를 켜준다. M1과 M2가 켜지게 되면 C_1 이 방전되게 되고 이때 ramp 노드의 전압은 떨어지게 된다. 방전 동작이 일어나면 순간적으로 커패시터에서 많은 전류가 흐르게 된다. 커패시터 방전 시에 순간적인 전류의 흐름에 의한 트랜지스터의 파괴를 막기 위해서 M1과 M2의 트랜지스터를 직렬로 구성 하였다. Ramp 노드의 전압이 비교기의 low boundary까지 떨어지게 되면 비교기의 출력은 high 에서 low로 바뀌게 되고 클럭도 low가 되어 M1과 M2가 꺼지게 된다. M1과 M2가 꺼지면 다시 C_1 에 충전 동작을 반복하게 된다. 이와 같은 동작의 반복을 통하여 클럭이 발생

되게 되고 이에 동기화 되어 ramp 신호도 생성된다. 이때 클럭의 주파수가 컨버터의 스위칭 주파수가 된다.

III. 측정 결과

설계된 휴대용 멀티미디어 기기용 전류 방식 DC-DC buck 컨버터는 0.18 μ m standard CMOS공정으로 제작되었다. 그림 10은 제작 완료된 칩의 사진이다. 전체 칩의 크기는 1.2mm²(1.0*1.2 mm²)이다. 제작된 컨버터는 그림 11과 같이 회로를 구성하여 테스트를 수행 하였고 각각의 외부 소자들의 값은 표 1을 통하여 정리 하였다. 이때의 인덕터와 커패시터의 DCR과 ESR은 각각 240m Ω 과 100m Ω 의 값을 가진다.

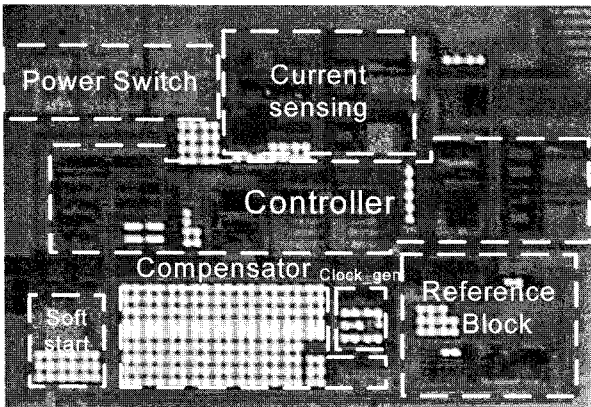


그림 10. 전류 방식 DC-DC buck 컨버터의 칩 사진
Fig. 10. Chip photograph of the current-mode DC-DC buck converter.

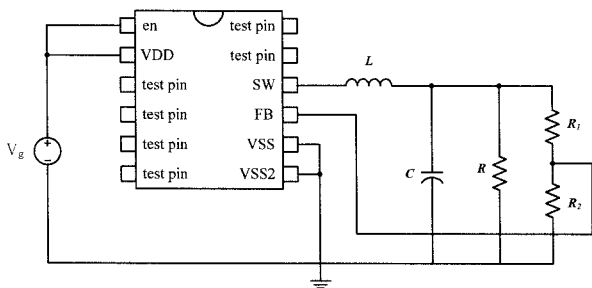


그림 11. 전류 모드 DC-DC buck 컨버터의 테스트 환경
Fig. 11. Experimental setup of the current-mode DC-DC buck converter.

표 1. 외부 소자의 크기
Table 1. Value of external components.

소자	크기
인덕터(L)	10 μ H
커패시터(C)	4.7 μ F
저항(R1)	<500k Ω
저항(R2)	<200k Ω

1. Steady-state 측정

그림 12는 출력 전압과 SW 노드에서의 신호를 측정한 파형이다. 컨버터의 입력 전압은 3.3V인가 하였고 출력 전압은 1.2V가 생성 되도록 저항 R₁과 R₂ 값을 맞추었다. 스위칭 주파수는 1.5MHz로 동작하도록 하였다. 그림에서 확인 할 수 있듯 일정한 스위칭 주기로 스위치가 동작을 하며 안정적으로 출력 전압이 생성되고 있다.

그림 13은 부하 전류의 순간적인 변화에 따른 출력 전압을 측정한 파형이다. 순간적인 부하 전류의 변화는 400mA->100mA->400mA로 변화를 주었다. 측정 파형에서 보듯 출력 전압은 순간적인 부하 전류의 변화에도 불구하고 피드백 루프에 의한 안정적인 제어에 의해 안정적으로 출력 전압을 유지하는 것을 확인 할 수 있다.

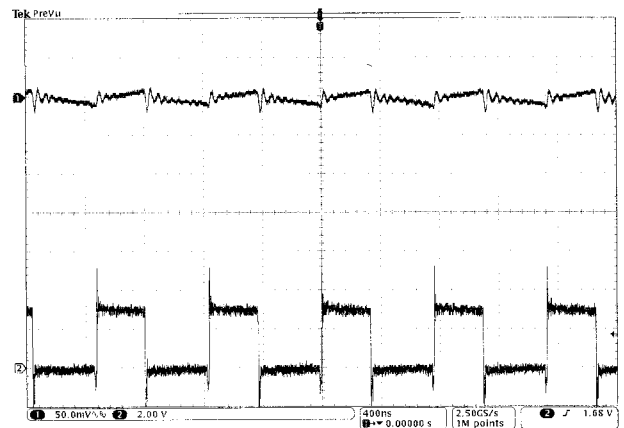


그림 12. 출력 전압과 SW 노드의 파형
Fig. 12. Output voltage and SW signal.

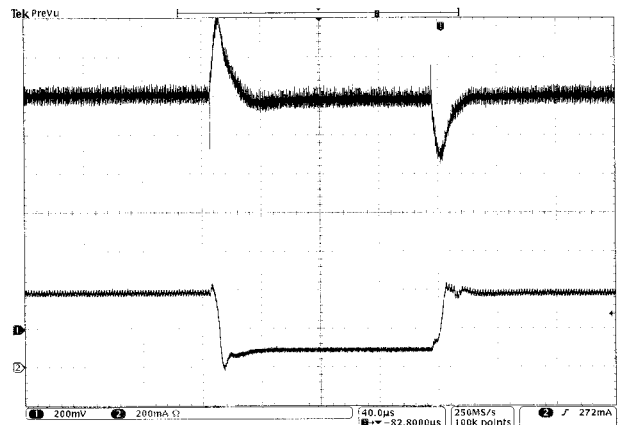


그림 13. 부하 전류의 변화(400mA->100mA->400mA)에 따른 출력 변화
Fig. 13. Output voltage variation by Load variation(400mA->100mA->400mA).

2. 효율

그림 14는 전체 동작 구간의 효율을 측정하여 그래프로 정리한 것이다. 제작된 전류 방식 DC-DC buck 컨버터는 DCM (discontinuous conduction mode)에서의 역 전류를 방지해 주는 회로를 포함하지 않고 있다. 그러므로 DCM 구간에서의 효율은 CCM (continuous conduction mode) 구간에서의 효율보다 낮은 측정 결과가 보인다. 전체 최대 효율은 약 86% 정도 나타나는 것을 확인 할 수 있다.

제작된 전류 방식 DC-DC buck 컨버터의 전체성능은 표 2를 통하여 정리하였다.

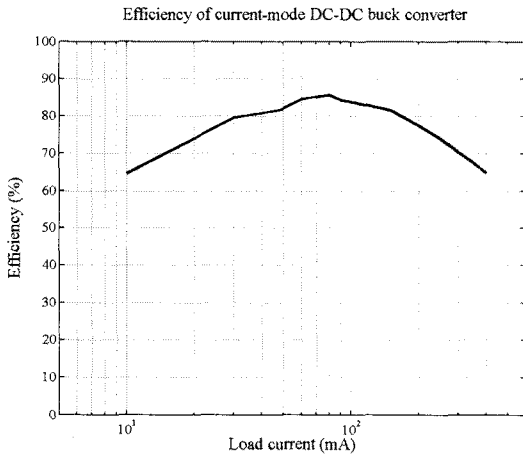


그림 14. 전류 방식 DC-DC buck 컨버터의 효율
Fig. 14. Efficiency of current-mode DC-DC buck converter.

표 2. 제작된 DC-DC buck 컨버터의 성능
Table 2. Performance of the fabricated DC-DC buck converter.

면적	1.2mm ²
공정	0.18μm
스위칭 주파수	1~1.5MHz
효율	Max 86%
입력 전압 범위	2.5~3.3V
출력 전압 범위	0.5~입력 전압
부하 전류 범위	<400mA
Quiescent 전류	440μA
Line regulation	1.91mV/V
load regulation	0.094mV/mA

IV. 결 론

본 논문에서는 휴대용 멀티미디어 기기에 적용 가능한 400mA급 전류 방식 DC-DC buck 컨버터를 설계하였고 칩으로 제작하여 동작 결과를 확인 하였다. 제작

된 전류 방식 DC-DC buck 컨버터는 standard 0.18μm CMOS 공정으로 제작되었고 전체 칩의 면적은 1.2mm²이다. 제작된 칩은 최대 효율이 약 86%이고, 1~1.5MHz의 동작 주파수를 가지며 400mA 최대 부하 전류의 성능을 가졌다.

참 고 문 헌

- [1] Nathan Andrews, "The global market for power supply and power management integrated circuits", *Power Electronics Conference and Exposition*, March 2002 Page(s):126 - 131 vol.1.
- [2] C. Y. Leung, P. K. T. Mok, K. N. Leung, and M. Chan, "An integrated CMOS current-sensing circuit for low-voltage current-mode buck regulator", *IEEE Trans. Circuits Syst. II*, vol. 52, no. 7, pp. 394394, Jul. 2005.
- [3] H. P. Forghani-zadeh, and G. A. Rincon-Mora, "An accurate, continuous, and lossless self-learning CMOS current-sensing scheme for inductor based DC-DC converters", *IEEE J. of Solid-State Circuits*, vol. 42, pp.665- 679, Mar. 2007.
- [4] J. Chen, J. Su, H. Lin, C. Chang, Y. Lee, T. Chen, H.Wang, K. Chang, and P. Lin, "Integrated current sensing circuits suitable for step-down DC-DC converters", *Electron. Lett.*, pp. 200201, Feb. 2004.
- [5] H. Deng, X. Duan, N. Sun, Y. Ma, A. Q. Huan, and D. Chen, "Monolithically integrated boost converter based on 0.5-μm CMOS process", *IEEE Trans. on Power Electronics*, vol. 20, pp.628-638, May 2005.
- [6] A. Sitratakos, S. Sanders, and R. Broderson, "A low-voltage CMOS DC-DC converter for a portable battery-operated system", in *IEEE Power Electronics Specialists Conference*,1994, pp. 619-626.
- [7] P. T. Krein, *Elements of Power Electronics*, McGraw-Hill, 1998.
- [8] Jeongjin Roh, Donghun Heo, Kitae Kim, Hyunseok Nam, Youngkil Choi, Hyungdong Rho, "A 900nA quiescent current Buck converter with on-chip compensator", *ITC-CSCC 2006*, PP.413-416, July 2006.
- [9] R. W. Erickson and D. Maksimovic, *Fundamentals of Power Electronics*, 2nd ed. Boston, MA: Kluwer, 2000.
- [10] I. Pressman, *Switching Power Supply Design*, 2nd ed. New York: Mc- Graw-Hill, 1998.
- [11] M. Brown, *Practical Switching Power Supply*

Design. San Diego, CA: Academic, 1990.

- [12] C. F. Lee and P. K. T. Mok, "A Monolithic current-mode CMOS DC-DC converter with on-chip current-sensing technique", *IEEE J. Solid-State Circuits*, vol. 39, no. 1, pp. 314, Jan. 2004.
- [13] P. E. Allen and D. R. Holberg, *CMOS Analog Circuit Design*. New York: Holt Rinehart and Winston, 1987.

저 자 소 개



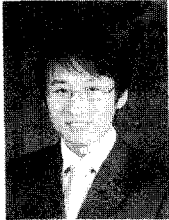
허 동 훈(학생회원)
 2006년 한양대학교 전자컴퓨터 공학과 학사 졸업
 2008년 한양대학교 전자전기 제어 계측공학과 졸업
 2008년~현재 삼성전자 반도체 사업부 MS core팀

<주관심분야 : System IC design, DC-DC converters 설계>



남 현 석(학생회원)
 2005년 한림대학교 전자공학과 학사 졸업
 2006년~현재 한양대학교 전자 전기 제어 계측공학과 석·박사 통합 과정

<주관심분야 : System IC design, DC-DC converters 설계>



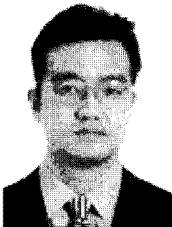
이 민 우(학생회원)
 2007년 한양대학교 전자컴퓨터 공학과 학사 졸업
 2007년~현재 한양대학교 전자 전자 제어 계측공학과 석사 과정

<주관심분야 : System IC design, DC-DC converters 설계>



안 영 국(학생회원)
 2006년 경상대학교 전자공학과 학사 졸업
 2007년~현재 한양대학교 전자 전기 제어 계측공학과 석·박사 통합 과정

<주관심분야 : System IC design, DC-DC converters 설계>



노 정 진(정회원)
 1990년 한양대학교 전기공학과 학사 졸업
 1996년 삼성전자 선임 연구원
 1998년 미국 Pennsylvania State University 전기공학 석사 졸업

2001년 Intel. USA, senior design engineer
 2001년 University of Texas at Austin. 컴퓨터공학 박사.
 2001년~현재 한양대학교 안산캠퍼스 전자컴퓨터 공학부 교수
 <주관심분야 : CMOS DC-DC converters 설계, Over-sampling delta-sigma data converters 설계>