논문 2008-45SD-8-1

Local Field Switching 방식의 MRAM 설계

(Design of Local Field Switching MRAM)

이 감 영*, 이 승 연*, 이 현 주*, 이 승 준**, 신 형 순**

(Gamyoung Lee, Seungyeon Lee, Hyunjoo Lee, Seungjun Lee, and Hyungsoon Shin)

요 약

본 논문에서는 새로운 스위칭 방식인 LFS (Local Field Switching)을 이용하여 설계한 128비트 MRAM (Magnetoresistive Random Access Memory)에 대해 기술하였다. LFS 방식은 MTJ (Magnetic Tunnel Junction)를 직접 통과해 흐르는 전류에 의해 형성되는 국소 자기장을 이용하여 MTJ의 극성을 변환시킨다. 이 방식은 MTJ와 전류의 거리가 가깝기 때문에 작은 전류로도 충분히 큰 자기장을 형성하므로 writing current가 적어도 된다. 또한 Digit Line이 없어도 되므로 half select disturbance가 발생하지 않아 기존 MTJ를 이용한 방식에 비해 셀 선택도가 우수하다. 설계한 MRAM은 1T(트랜지스터)-1MTJ의 메모리 셀 구조를 가지며 양방향 write driver와 mid-point reference cell block, current mode sense amplifier를 사용한다. 그리고 MTJ 공정 없이 회로 동작을 확인하기 위해 LFS-MTJ cell을 CMOS emulation cell로 대체하였다. 설계한 회로를 6 metal을 사용하는 0.18㎛ CMOS 공정으로 구현하였고 제작된 chip을 custom board 상에서 테스트하여 동작을 확인하였다.

Abstract

In this paper, we describe a design of a 128bit MRAM based on a new switching architecture which is Local Field Switching(LFS). LFS uses a local magnetic field generated by the current flowing through an MTJ. This mode reduces the writing current since small current can induce large magnetic field because of close distance between MTJ and the current. It also improves the cell selectivity over using conventional MTJ architecture because it doesn't need a digit line for writing. The MRAM has 1-Transistor 1-Magnetic Tunnel Junction (1T-1MTJ) memory cell structure and uses a bidirectional write driver, a mid-point reference cell block and a current mode sense amplifier. CMOS emulation cell is adopted as an LFS-MTJ cell to verify the operation of the circuit without the MTJ process. The memory circuit is fabricated using a 0.18 ㎛ CMOS technology with six layers of metal and tested on custom board.

Keywords: MTJ, MRAM, nonvolatile memory, MRAM integration

I. 서 론

MRAM 은 자성체를 storage element로 이용하는 메모리로 비휘발성이며 데이터 처리속도가 빠르고 읽고 쓰는 횟수의 제한이 없다는 장점이 있다. 또한 동작전압이 낮아 전력소모가 적은 강점이 있어 차세대 메모리로 부각되고 있다.[1] 그러나 MRAM 개발에 있어 해결되어야 할 설계와 공정기술에서의 근본적인 문제가 현존한다.[2]

MRAM은 MTJ의 MR (Magnetoresistance)값을 이용하여 data 0과 1을 구분한다. MTJ는 기본적으로 절연층으로 분리된 두 개의 강자성층인 free layer와 fixed layer로 이뤄지는 데 두 층의 자화방향 관계에 의해 MR 값이 결정된다. 그림 1(a)와 같이 free magnetic layer와 fixed magnetic layer의 자화방향이 parallel 인 경우, tunneling current가 잘 흐르게 되므로 작은 저항값(R_L)을 갖게 된다. 반대로 그림 1(b)와 같이 anti-

* 학생회원, ** 정회원, 이화여자대학교 전자공학과
(Department of Electronic Engineering, Ewha Womans University)

※ 본 연구는 정보통신부 및 정보통신연구진흥원의 대학 IT연구센터 지원사업 (IITA-2008-C1090080010030)과 과학기술부에서 추진하는 21세기 프론티어 사업 중 테라급나노소자 개발사업단 지원으로 수행되었음.
접수일자: 2007년12월27일, 수정완료일: 2008년7월17일

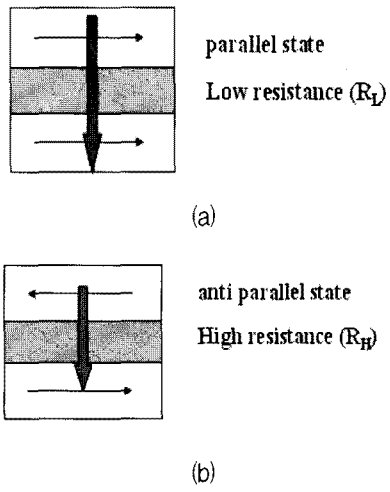


그림 1. MTJ의 (a) 평행상태와 (b) 반 평행상태
Fig. 1. (a) Parallel state (b) anti-parallel state of MTJ.

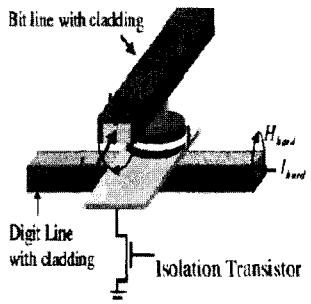


그림 2. 1T-1MTJ의 셀 구조
Fig. 2. Cell structure of 1T-1MTJ.

parallel 인 경우에는 tunneling current가 잘 흐르지 못하게 되므로 큰 저항값(R_H)을 갖게 된다.

MRAM cell은 이러한 MTJ 소자와 cell을 선택하기 위한 스위치 역할을 하는 pass transistor로 이뤄진다. 데이터 저장은 MTJ의 free layer의 자화방향을 바꿔서 이뤄지므로 이를 위해 선택한 cell에 magnetic field를 걸어주어야 한다.

현재 주로 사용되는 MRAM 구조는 그림 2와 같이 MTJ 위쪽에는 Bit Line (BL)을 아래쪽에는 Digit Line (DL)을 연결하여 이 두 라인에 흐르는 전류에 의해 형성되는 magnetic field를 이용한다. 이러한 구조에서는 BL 혹은 DL에 흐르는 전류만으로 자화방향이 바뀌는 half select disturbance 문제가 발생할 수 있어 cell selectivity가 좋지 않다.[3]

MTJ는 소자 크기가 작아지면 writing current 커지기 때문에 이러한 문제는 deep submicron 단위의 고집적 MRAM 개발에 있어 해결되어 할 중요한 사항이다.[4] 따라서 half select disturbance를 해결하기 위해 새로운 cell 구조들이 제안되고 있는데 본 논문에서는 Local Field Switching(LFS)-MTJ 구조를 이용하여 설계한 MRAM을 소개한다.

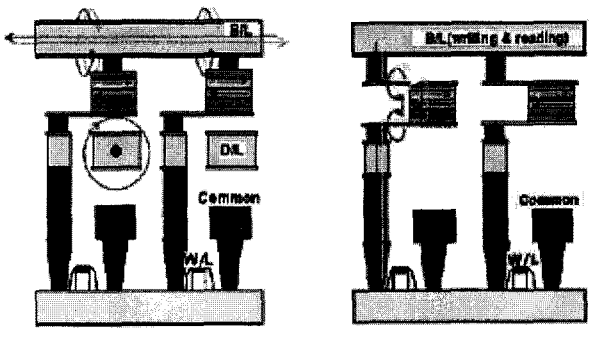
본 논문의 구성은 다음과 같다. 서론에 이어 본론의 I 장에서는 LFS 방식을 이용한 MRAM cell의 구조와 read/write 동작에 대해 살펴본다. II장에서는 제안된 방식을 이용한 128비트 MRAM 의 core block 주요 회로들에 대해 설명하고 III장에서는 설계한 회로의 full chip 시뮬레이션 결과와 레이아웃을 다룬다. IV장에서 제작한 chip의 테스트 결과에 대해 살펴본 후 결론을 맺는다.

II. 본 론

1. Memory cell 구조와 동작

가. LFS-MTJ 구조

BL과 DL에 전류를 흘려 magnetic field를 형성하는 그림 3(a)의 기존 MTJ 구조와 달리 LFS 방식은 그림 3(b)와 같이 BL을 흐르는 전류가 위, 아래의 electrode를 통해 MTJ를 직접 통과하며 국소 자기장을 형성한다. 따라서 magnetic field를 두 번 만들 뿐 아니라 MTJ와의 거리가 가까워 작은 전류로도 충분히 큰 자기장을 형성할 수 있어 writing current 가 적어도 된다. 또한 쓰고자 하는 cell만 BL, Word Line (WL)으로 선택한 후 전류를 흘려주면 되므로 DL이 필요 없고 cell에 직접 전류를 흘려 선택하므로 half select disturbance 가 발생하지 않아 cell selectivity가 향상된다. 그러나 read 동작 시에 MTJ를 통과하는 전류가 free layer의 스핀방향을 바꾸는 일이 없도록 sensing current 의 크기를 제한하여야 하는 단점이 있다.



(a) (b)

그림 3. (a) 기존 MTJ 구조 (b) LFS-MTJ 구조
Fig. 3. Structures of (a) conventional MTJ (b) LFS-MTJ.

나. Read/Write 동작

Read 동작은 기존 MTJ를 이용한 방식과 같이 WL 전압을 high level로 하여 pass transistor를 turn on 시켜서 sensing current가 BL으로부터 MTJ를 터널링하여 GND로 흐르도록 current path를 연결해서 이뤄진다. MTJ의 저항차이에 의한 tunneling current 차이로 cell에 저장된 data를 읽는다.

Write 동작은 쓰고자 하는 cell의 WL을 turn on 시킨 상태에서 BL에 전류를 흘려 이 전류가 위, 아래의 electrode를 통해 MTJ를 직접 통과하도록 하여, 이 때 형성되는 magnetic field에 의해 MTJ의 free layer 자화방향을 바꿔줌으로써 이뤄진다. 이때 bidirectional write driver를 사용하여 data에 따라 MTJ를 통과하는 전류 방향을 바꿔준다.

2. Core block

메모리 core block은 그림 4와 같이 Cell array와 read/write 동작을 하기 위한 주변회로들로 구성된다. Cell array는 8개의 WL과 18개의 BL으로 이뤄지며 16개의 reference cell을 중심으로 전체 128개의 memory cell이 양 옆에 위치한다. 각 row마다 WL 및 DL driver가 달려있고 각 column에는 current source가 연결되어 있어 BL에 sensing current를 흘려준다. 4개의 BL이 하나의 current source를 공유한다. CDi를 이용해 BL을 선택하고 WRCDi를 이용해 write driver와 연결할 BL을 선택한다. Sense amplifier는 memory cell과 reference cell로부터 current mirror를 통해 들어온 전류를 비교한 뒤 data를 전압 레벨로 바꿔 외부로 전달한다.

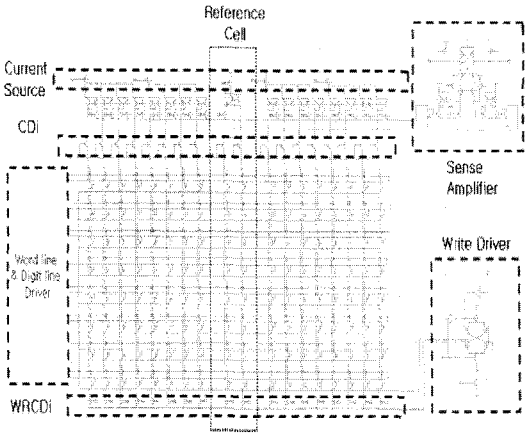


그림 4. 메모리 core block 구성
Fig. 4. Configuration of memory core block.

가. Bidirectional Write Driver

LFS 방식에서는 read와 write 동작에서 모두 WL에 전압이 걸려 있어서 pass transistor가 turn on 상태를 유지한다. Read 시에는 그림 5의 RD가 high level이 되어 pass transistor가 turn on 되어 MTJ의 bottom electrode와 GND가 연결되고 Write 시에는 WE가 high level이 되어 pass transistor가 turn on 되고 MTJ가 write driver와 연결된다.

그림 5는 data input 에 따라 MTJ에 흐르는 전류방향을 바꿔주는 bidirectional write driver를 보여준다. 그림에서 가변저항으로 표현된 것은 MTJ를 의미한다. WE가 high level이 되면 GND와 VDD에 연결되어 write driver가 동작을 하게 되고 D의 값에 따라 turn on 되는 transistor가 결정되어 wrdrv_H와 wrdrv_L의 전압 level이 달라진다. 즉, D가 1이면 wrdrv_H가 VDD와 연결되고 wrdrv_L가 GND로 연결되어 cell에 흐르는 전류의 방향이 위에서 아래가 된다. 반대로 D가 0이면 wrdrv_H가 GND와 연결되고 wrdrv_L가 VDD로 연결되어 cell에 흐르는 전류의 방향이 아래에서 위가 된다.

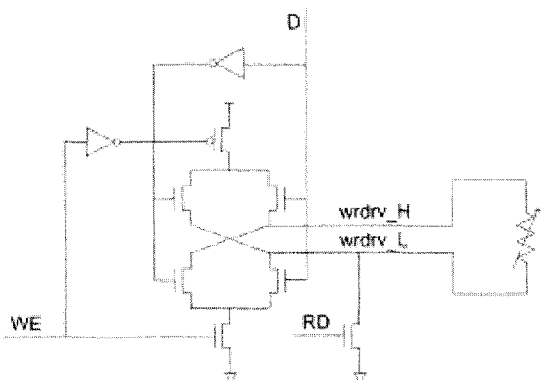


그림 5. 양방향 write driver
Fig. 5. Bidirectional write driver.

나. Reference Cell

설계한 MRAM은 1T-1MTJ의 cell구조를 가지므로 sensing을 위해 별도의 reference cell이 필요하다. 기존 reference cell은 R_H, R_L값을 가진 MTJ 두개가 직렬로 연결되어 한 쌍을 이루고 두 쌍의 MTJ가 병렬로 연결되어 $(R_H+R_L)/2$의 저항값을 갖는다. 그러나 이런 구조에서는 reference cell에 공급되는 전류가 양분되어 reference cell의 R_H와 R_L에 걸리는 전압은 memory cell의 R_H와 R_L에 걸리는 전압의 절반 밖에 안 된다.

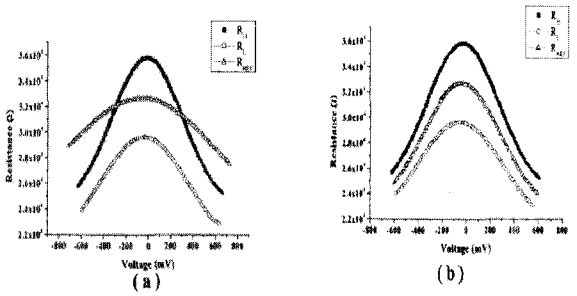


그림 6. Midpoint-reference 발생회로의 R-V 시뮬레이션 결과[5]
(a) 기존 reference cell (b) 개선된 reference cell
Fig. 6. Simulation results of the midpoint-reference generation circuits[5]
(a) conventional reference cell
(b) improved reference cell.

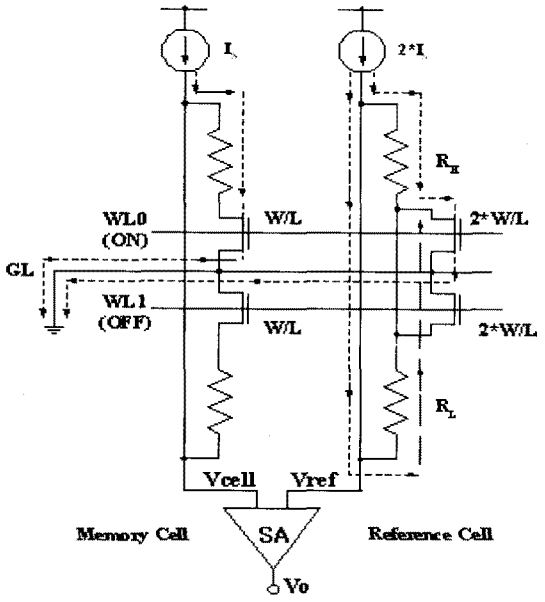


그림 7. 개선된 Reference cell 회로
Fig. 7. Schematic of the improved reference cell.

MTJ의 특성상 인가되는 전압에 따라 MR값이 달라지므로 reference cell의 저항값이 그림 6(a)와 같이 $(R_H+R_L)/2$를 유지하지 못하게 된다. 또한 0.3V 이상이 가해지면 Rref가 R_H보다 큰 값을 가지게 되므로 sensing시 오류가 발생할 수 있다.

그림 7은 이러한 점을 보완한 개선된 reference cell을 보여준다. 개선된 reference cell은 R_H와 R_L의 병렬 연결로 구성되고 memory cell에 흐르는 전류의 2배를 흘려주며 memory cell에 연결된 pass transistor의 aspect ratio(W/L)의 2배인 pass transistor를 연결해 전류 구동력을 2배로 유지한다. 이 경우 reference cell에 인가되는 전압은 memory cell에 인가되는 전압과 매우 비슷하게 되므로 그림 6(b)와 같이 reference cell의 저항값이 인가전압이 변화하여도 항상 R_H와 R_L의 중간 정도의 값을 유지하게 된다.[5]

다. Current Mode Sense Amplifier

Sense amplifier로는 그림 8과 같은 current mode sense amplifier를 사용했다. IO_data (memory cell)과 IO_ref (reference cell)의 전류는 width를 증가시킨 3쌍의 current mirror를 거치며 그 전류 차가 증폭된다. SAE이 low level 일 때 VDD로 precharge 되어 있던 SA, SAb는 SAE가 high level이 되면 differential amplifier에 의해 증폭되고 전압레벨로 바뀌어 SA, SAb에 전달된다.

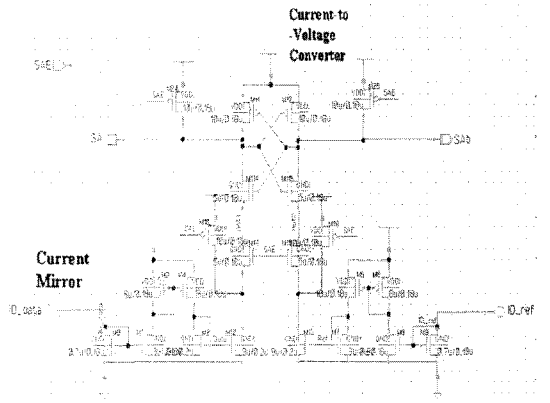
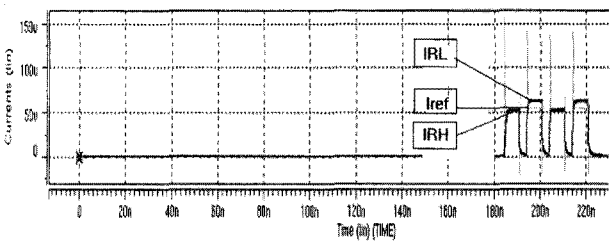
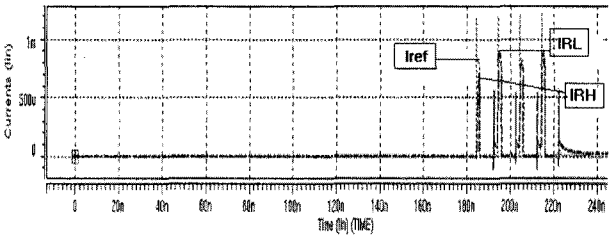


그림 8. Current mode sense amplifier 회로
Fig. 8. Schematic of the current mode sense amplifier.



(a)



(b)

그림 9. (a) Sense amplifier 입력 전에 흐르는 전류
(b) Sense amplifier 에 흐르는 전류
Fig. 9. Currents of (a) before sense amplifier
(b) sense amplifier.

그림 9는 read시에 sense amplifier 입력 전과 후에 흐르는 전류를 나타낸 것이다. 그림 9(a)는 sense amplifier에 입력되기 전으로 R_H에 흐르는 전류는 52 μA, R_L에 흐르는 전류는 62μA, reference cell에 흐르는 전류는 54.8μA이다. 그림 9(b)는 current mirror를 통과한 전류를 보여준다. R_H에 흐르는 전류는 725μA, R_L에 흐르는 전류는 882μA, reference cell에 흐르는 전류는 811μA가 되어 IO_data (memory cell)와 IO_ref (reference cell)의 차이가 R_H인 경우, 2.8μA에서 86μA로 증폭되었다.

라. Emulation cell

MRAM 공정은 크게 CMOS 공정과 MTJ 공정으로 나뉜다. Memory의 storage element 인 MTJ를 제외한 core block 대부분과 peripheral block은 CMOS 공정으로 이뤄진다. 본 논문에서는 MTJ 공정의 어려움으로 인해 CMOS 공정만으로 전체 회로의 올바른 동작을 확인하기 위해 MTJ cell을 CMOS emulation cell로 대체하여 검증하였다.

설계한 emulation cell은 그림 10과 같이 크게 두 부분으로 나뉜다. 아랫부분의 래치는 write 된 data를 저장하기 위한 것이다. Write 동작 시에는 DL이 enable 되고 위에서 살펴본 write driver에서 결정된 wrdrv_H, wrdrv_L의 전압 레벨이 래치로 전달된다. 윗부분은 read 동작을 위한 것으로 래치에 저장된 data에 따라 BL이 R_H 또는 R_L에 연결되게 된다. 따라서 어느 트랜지스터에 연결되느냐에 따라 BL에 흐르는 전류량이 달라지므로 data를 구분할 수 있다.

R_H, R_L 로 표시된 트랜지스터의 gate에 Vbias(=1.3V)를 가하여 saturation 상태로 만들고 size를 조정하여 실제 소자에 가까운 저항 값을 만들 수 있다. R_H의 경우 W/L는 0.42μm/0.29μm이고 R_L의 경우 1.5μm/0.18μm 이며 그 때의 저항 값은 각각 4.0814kΩ과 2.0375kΩ로 나타났다. 위에서 설명한 cell 특성을 표 1에 정리하였다.

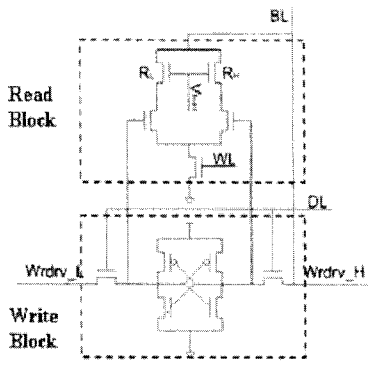


그림 10. LFS-MTJ용 CMOS emulation cell
Fig. 10. CMOS emulation cell for LFS-MTJ.

표 1. 사용한 MRAM cell의 특성
Table 1. Features of the used MRAM cell.

size	0.3 x 0.4 μm^2
RA	240 Ω · μm^2
MR	100% at 0.2V
R_H / R_L	4KΩ / 2KΩ
Iwrite(Bit Line)	200 μA
Write pulse width	10ns at 100Mhz

3. 128bit MRAM 구현

가. 설계한 chip의 Spec.

설계한 chip은 100Mhz로 동작하는 128bit synchronous MRAM이며 그 spec은 표2와 같다. Word Line 이 8개, Bit Line 이 16개이며 별도로 16개의 reference cell을 포함하고 있다. Burst Length는 4로 address를 하나 선택하면 내부에서 카운터가 동작해 column address 를 증가시켜 차례로 4개의 data를 read/write 할 수 있다. CAS Latency는 1로 read 신호가 들어간 후 1 cycle만에 data가 나온다.

표 3은 설계한 chip의 Pin을 보여준다. Chip을 동작시키기 위한 Power_up과 synchronous mode로 동작하기 위해 clock이 들어간다. Command pin은 /CS, /RAS, /CAS, /WE의 4개를 사용하였고 그림 11과 같이 이 들의 조합을 통해 precharge, row active, read, write 로chip의 상태가 결정된다. 설계한 회로는 6개의 address pin을 사용하며 address multiplexing방법으로 두 번의 시기에 나누어 row address와 column address를 입력한다. 즉, row active 상태에서 들어오는 address는 8개의 row 중 하나를 선택하고 read나 write 상태에서 들어오는 address는 18개의 column 중 하나를 선택한다. 여기에서 data cell을 선택할 때 필요한 address 비트는 row 선택을 위해 3비트, column 선택을 위해 4비트이고reference cell 의 초기화를 위하여 2비트를 추가하였다. Power pin은 VSS와 VDD 외에 고속 동작을 위한 VPP와 read 동작을 할 때 MTJ에 임계전압(0.4V)이상 걸리지 않도록 하기 위한 Vref

표 2. 128bit synchronous MRAM chip의 특성
Table 2. Features of the 128bit synchronous MRAM chip.

organization	8 word * (16+2) bit
supply voltage	1.8V
동작속도	100 Mhz
technology	0.18㎛
Burst Length	4
CAS Latency	1

표 3. Pin 할당
Table 3. Pin assignments.

Power-Up	
clock	
Command Pin	/CS, /RAS, /CAS, /WE
Address Pin	A<0:5>
Power Pin	Vref(=0.9V), Vbias(=1.3V), V_{DD}(=1.8V), V_{PP}(=3.3V)
Data Pin	DQ, DIN

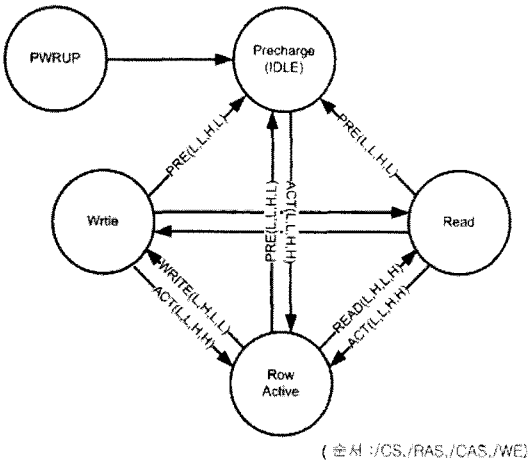


그림 11. 설계한 MRAM의 상태도
Fig. 11. State diagram of the designed MRAM.

를 사용하였다. Data pin은 input용(DIN)과 output용(DQ)을 구분하여 사용하였다.

나. Full chip simulation

그림 12는 write 동작을 simulation한 것이다. Row active인 상태에서 먼저 reference cell을 초기화 시킨다. 이때 ADDPIN<4>와 ADDPIN<5>는 각각 reference cell을 선택하기 위해 사용된다. 설계한 chip은 burst mode로 동작하므로 4cycle 후에 reference cell에 쓰는 동작이 끝나게 된다. 다음으로 write state인 상태에서

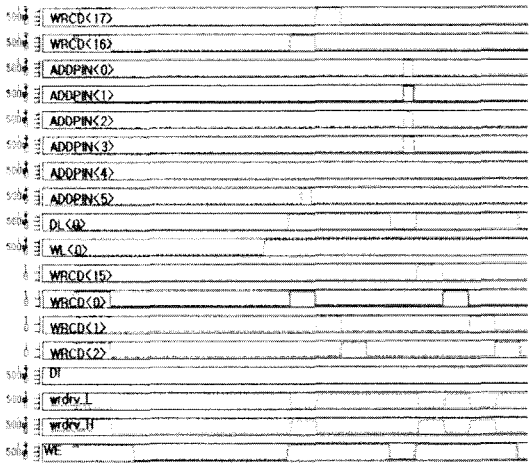


그림 12. Write 동작 simulation
Fig. 12. Simulation of write operation.

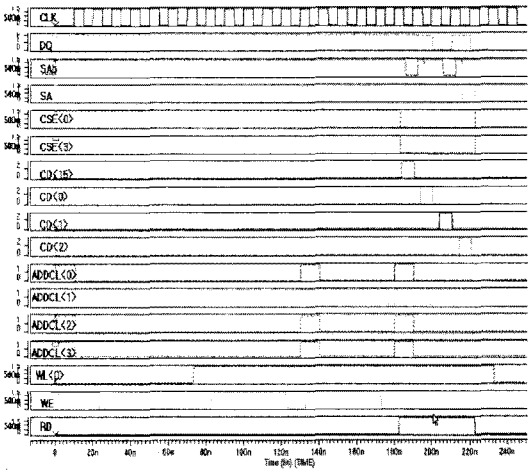


그림 13. Read 동작 simulation
Fig. 13. Simulation of read operation.

ADDPIN<5:0>을 통해 001111이 들어온다. 이 중 하위 비트에 해당하는 1111이 column address로 decoding되어 WRCD<15>가 선택되고 burst mode가 시작된다. BL이 16개이므로 WRCD<15> 다음으로 WRCD<0>, WRCD<1>, WRCD<2>가 선택되어 write driver와 연결된다. 또한 이 때 DI가 1->0->1->0이므로 이에 따라 wrdrv_H와 wrdrv_L의 값이 바뀐다.

그림 13은 read 동작을 simulation한 것으로 WL<0>이 선택된 상태에서 read 신호와 ADDPIN<5:0>을 통해 001111이 들어온다. 이 중 하위비트에 해당하는 1111이 column address로 decoding되어 CD<15>와 CSE<0>, CSE<3>을 enable 시킨다. 여기에서 CSE는 read동작에 필요한 current source를 인가하는 신호다. 여기서는 burst length를 고려해서 현재 주소인 CD<15>와 관련 있는 CSE<3>뿐만 아니라 앞으로 갖게 될 주소까지 계산하여 CSE<0>까지 enable 시킨다.

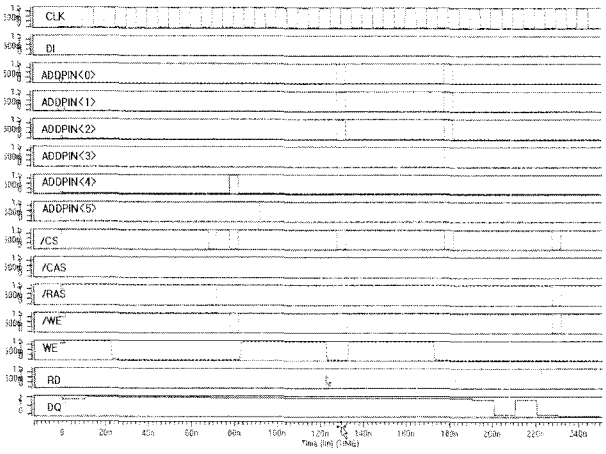


그림 14. Full chip simulation 파형
Fig. 14. Full chip simulation waveform.

이 후 burst mode로 동작하여 차례로 CD<0>, CD<1>, CD<2>가 선택된다. Cell에 저장된 data가 sense amplifier를 통과하여 SA, SAb가 되고 output buffer를 거쳐 DQ로 나오게 된다. Read 신호가 들어간 후 1 cycle 만에 data가 나오는 것으로 CAS latency가 1인 것을 확인할 수 있다.

그림 14는 특정 cell에 write 한 후 read 하는 full chip simulation을 보여준다. WL<0>의 CD<15>, CD<0>, CD<1>, CD<2>를 선택하여 1->0->1->0을 써주고 그 값을 읽어 전체 회로가 제대로 동작하는 것을 확인할 수 있다.

다. Full chip layout

설계한 회로를 1 poly와 6 metal을 이용하는 0.18㎛ CMOS 공정을 이용하여 구현하였다. 그림 15는 full chip layout을 보여준다. 208pin package에 맞게 제공된 틀에 설계한 전체 회로를 배치하였다. 중앙에 core block을 배치하고 좌측으로 x-peri를 우측으로 y-peri를 배치하였다. I/O block은 x-peri 위쪽에 배치하였고 data output 쪽에는 커다란 buffer를 추가로 달아주었다. C-peri block은 y-peri위쪽에 배치해 외부 pin으로부터 입력되는 command 신호를 받아 decoding 할 수 있게 했다 (그림 16).

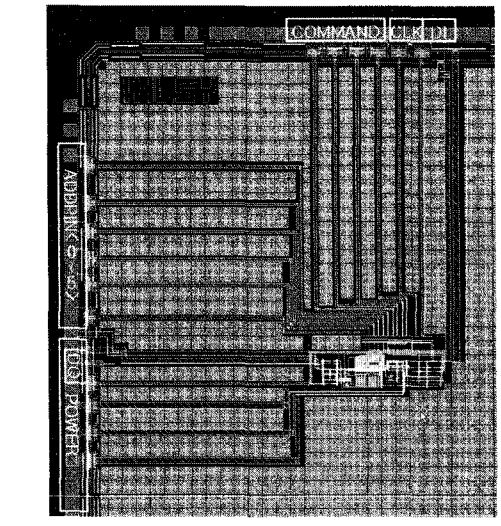


그림 15. Full chip 레이아웃
Fig. 15. Full chip layout.

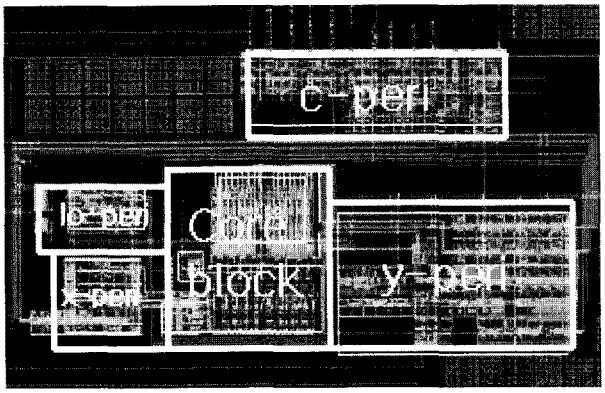


그림 16. 서브블록들의 배치
Fig. 16. Layout of sub blocks.

4. 메모리 테스트 결과

Test pattern을 이용하여 설계한 chip의 function test를 수행하였다. Test pattern은 memory cell을 선택하는 address sequence와 그 cell에 써넣는 data의 형태로 결정된다.[6~7] 본 논문에서는 Zero-one, Row bar, Column bar, Checker board의 기본적인 test pattern으로 function test를 수행한 결과를 보인다.

그림 17은 chip을 test 하기 위한 과정을 보여준다. Data generator (DG2020A_Tektronix)를 이용하여 input

그림 17. 테스트 과정
Fig. 17. Test flow.

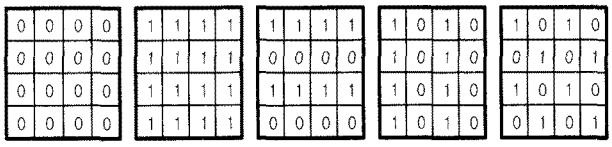


그림 18. (a) Zero (b) One (c) Row bar (d) Column bar (e) Checker board의 테스트 패턴
Fig. 18. Test patterns of (a) Zero (b) One (c) Row bar (d) Column bar (e) Checker board.

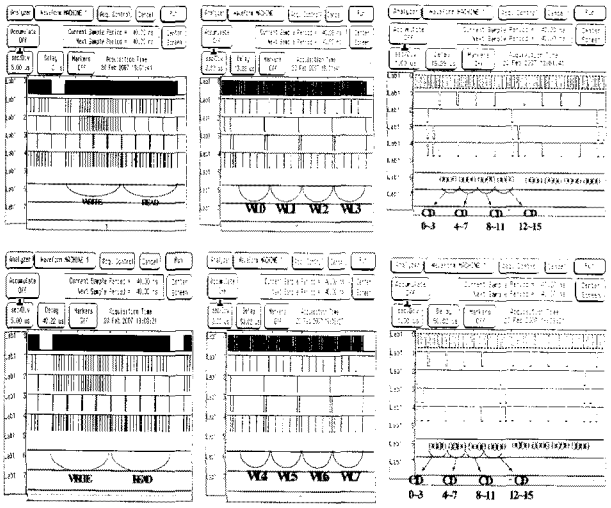


그림 19. 전체 셀에 0 쓰기/읽기
Fig. 19. 0 write/read in all cells.

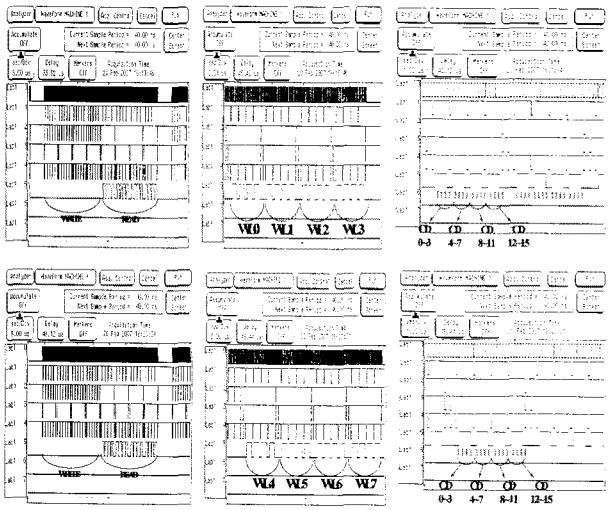


그림 20. 전체 셀에 1 쓰기/읽기
Fig. 20. 1 write/read in all cells.

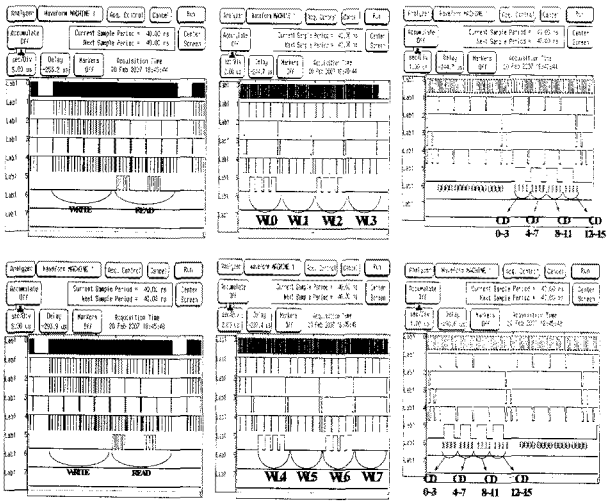


그림 21. Row bar 패턴 테스트
Fig. 21. Row bar pattern test.

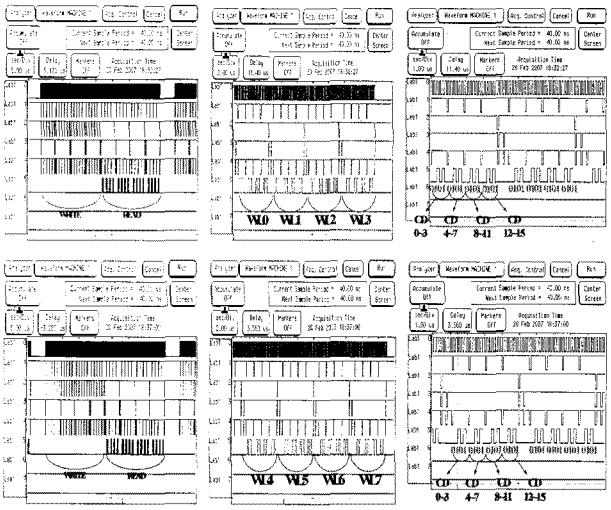


그림 22. Column bar 패턴 테스트
Fig. 22. Column bar pattern test.

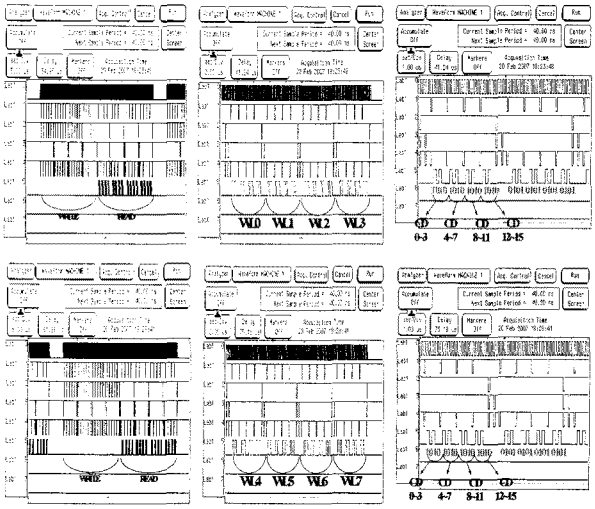


그림 23. Checker board 패턴 테스트
Fig. 23. Checker board pattern test.

pattern을 형성하여 chip에 인가해주고 Logic analyzer (1671E_HP)를 이용하여 결과 값을 확인하였다.

먼저 특정 cell이 0 또는 1로 고착된 것을 검출하기 위해 전체 cell에 0을 write/read하는 test와 1을 write/read하는 test를 수행하였다. 그림 19, 20과 같이 모든 cell에 문제없이 0과 1이 write/read 된다.

다음으로 Row 및 Column에 집중적으로 변화를 주는 Row bar, Column bar pattern으로 test하였다. 그림 21, 22은 test 결과를 보여준다. 또한 근접한 memory cell 사이의 disturbance 발생여부를 확인하기 위해 Checker board test를 수행하였다. 그림 23에 결과를 보였다.

Ⅲ. 결 론

MTJ를 이용하는 MRAM 개발의 현안 중 하나인 half select disturbance 문제를 해결하기 위해 새로운 스위칭 방식인 LFS이 제안되었다. 이는 DL 없이 MTJ를 직접 통과한 전류에 의해 형성되는 국소 자기장을 이용하여 기존 방식에 비해 높은 셀 선택도를 갖는다. 본 논문에서는 LFS를 기반으로 하는 128bit MRAM array.를 설계하였고 이를 0.18㎛ CMOS 공정으로 구현하였다. 구현된 칩은 custom board를 이용한 테스트를 통해 동작을 확인하였다. 이러한 결과는 LFS 방식이 주변의 cell들에 대한 간섭 없이 고집적 MRAM array 개발에 적용될 수 있음을 보여준다.

참 고 문 헌

[1] S. Tehrani, J. M. Slaughter, M. Deherrera et al., "Magnetoresistive Random Access Memory Using Magnetic Tunnel Junctions", Proc. IEEE, Vol. 91, No. 5, pp. 703-714, 2003.

[2] 김태완, 김기원, 황인준, "고집적 MRAM 개발을 위한 기술적 현안", 전자공학회지, 제32권, 제2호, 35-43쪽, 2005년 2월

[3] Brad N. Engel, Nicholas D. Rizzo, Jason Janesky et al., "The Science and Technology of Magnetoresistive Tunneling Memory", IEEE Transactions on nanotechnology, Vol. 1, No. 1, p. 32, 2002.

[4] Injun Hwang et al., "A New Switching Architecture for MRAM : Local Field Switching", Digests of 2005 INTERMAG Asia, pp. 845-846, 2005.

[5] S. Y. Lee et al., "A New Reference Cell for 1T-1MTJ MRAM", Journal of Semiconductor Technology and Science, Vol. 4, No. 2, pp. 110-116, 2004.

[6] 유회준, "DRAM의 설계", 홍릉과학출판사, pp. 311-314, 1996.

[7] Goor, A. J. van de, "Testing semiconductor memories : theory and practice", J. Wiley & Sons, pp. 93-105, 1991.

저 자 소 개

이 감 영(학생회원)

2006년 이화여자대학교 정보통신학과 학사 졸업.
2008년 이화여자대학교 전자공학과 석사 졸업.
2008년~현재 하이닉스 반도체 근무.
<주관심분야 : 메모리 설계, 반도체>

이 현 주(학생회원)

2007년 이화여자대학교 정보통신 학과 학사 졸업.
2008년 현재 이화여자대학교 전자공학과 석사 2년차.
<주관심분야 : 메모리 설계, 반도체>

신 형 순(정회원)

1982년 2월 서울대학교 전자공학과 졸업 (학사).
1984년 12월 미국 University of Texas at Austin 졸업 (석사).
1990년 5월 미국 University of Texas at Austin 졸업 (박사).
1990년~1994년 LG 반도체 근무.
1995년~현재 이화여자대학교 공과대학 전자공학과 교수.
<주관심분야 : 반도체 소자구조, 모델링.>

이 승 연(학생회원)

2002년 이화여자대학교 정보통신학과 학사 졸업.
2004년 이화여자대학교 정보통신학과 석사 졸업.
2008년 8월 이화여자대학교 전자공학과 박사 졸업 예정.
<주관심분야 : 메모리 설계, 반도체>

이 승 준(정회원)

1986년 서울대학교 전자공학과 졸업 (학사).
1986년 6월 미국 University of California at Berkeley 졸업 (석사).
1993년 12월 미국 University of California at Berkeley 졸업 (박사).
1992년~1998년 현대전자 근무.
1999년~현재 이화여자대학교 공과대학 전자공학과 부교수.
<주관심분야: SoCS 설계, 차세대 메모리>