

# 플렉시블 디스플레이용

## OTFT-backplane 공정기술

송정근 교수 (동아대 전자공학과)

평판 디스플레이 시장은 패널 단가하락으로 정체되어가고 있으며 이를 타개하기 위해서는 신개념의 디스플레이에 의한 새로운 시장 창출이 필요하다. 플렉시블 디스플레이는 이러한 문제를 해결할 신 디스플레이로서 주목 받고 있으며 기술개발이 활발히 수행되고 있다. 본 논문에서는 플렉시블 디스플레이의 핵심소자인 OTFT-backplane (유기박막트랜지스터를 핵심소자로 사용하는 디스플레이 하판)의 공정 기술 특히 인쇄공정에 대한 기술개발 동향에 대하여 설명한다.

### 1. 서론

평판 디스플레이 시장은 수량 기준으로 매년 10% 이상 성장할 것으로 예상되나 대만 등 후발 기업체들의 참여로 인한 판매단가의 하락으로 급격히 Red Ocean화 되고 있다. Red Ocean화를 막기 위해서는 새로운 개념의 디스플레이 개발과 이를 통한 시장창출이 급선무이다. 플렉시블 디스플레이는 E-book, Signage, Poster, 자동차, 군사용 등의 수요에 의해 신규 시장을 창출할 것으로 기대되어 차세대

디스플레이로 주목 받고 있다. 전체 디스플레이에서 플렉시블 디스플레이가 차지하는 비중은 2012년 3.7%에서 2017년 34.0% 정도로 급격히 증가할 것으로 예상되어 기술개발이 활발히 진행되고 있다 [1]. OTFT (Organic Thin Film Transistor)-backplane은 플렉시블 디스플레이의 핵심부품으로 Si TFT-backplane을 대체하여 기존 디스플레이의 저가격화를 가능하게 하며, RFID 등 관련부품에 미치는 파급효과가 크기 때문에 2012년에 약 416억 불의 시장을 형성하여 급격히 성장할 것으로 예상되므로 OTFT-backplane의 상용화 기술개발이 시급하다 [2].

플렉시블 디스플레이가 기존의 평판 디스플레이와 비교하여 경쟁력을 가지려면 대면적 기판에 저가격 공정으로 플렉시블 디스플레이를 제작할 수 있어야 하며, 그 핵심은 인쇄공정을 포함한 용액공정이다. 따라서 본 논문에서는 OTFT-backplane의 용액공정을 중심으로 기술개발 현황에 대하여 기술한다.

### 2. OTFT-backplane 공정기술

OTFT-backplane 제조공정은 사용하는 표시소자

에 따라 다르다. OLED (Organic Light Emitting Diode)용 Backplane 공정이 가장 복잡하고 LCD와 EPD (Electrophoretic Display ; 전기영동디스플레이)용 비교적 간단하다. 본 논문에서는 EPD용 OTFT-backplane 공정을 예를 들어 설명하고 그림 1과 같다. 플라스틱 기판에 게이트 전극 및 스캔 배선 라인을 형성하고, 이어서 게이트 절연층을 도포한다. 소스와 드레인 전극은 OTFT의 구조에 따라 반도체 성막 전 (하부전극구조) 혹은 후 (상부전극구조)에 제작한다. 그림 1에서는 하부전극구조의 소스/드레인 전극 및 데이터 배선라인을 반도체보다 먼저 형성하고, 그 위에 반도체를 성막하였다. 이어서 보호층과 픽셀 전극을 제작하고, 마지막으로 EPD 시트를 합착하여 패널을 완성한다.

현재까지 시연된 대부분의 시제품들은 진공증착과 광리소그래피 공정으로 제작되었으나 [3~8] 최근 모든 공정을 완전 용액공정으로 대체하기 위한 연구가 활발히 수행되고 있다. 본 논문에서는 OTFT에서 가장 중요한 역할을 하는 게이트 절연층과 반도체층 제조공정을 중심으로 주요 특성과 용액공정에 대해서 설명한다.

## 2.1 기판

플라스틱 기판은 수분과 산소의 투과방지 특성뿐만 아니라 제조공정에 대한 내화학성과 내열성이 우수하여야 한다. 이러한 특성은 기판의 재질에 따라

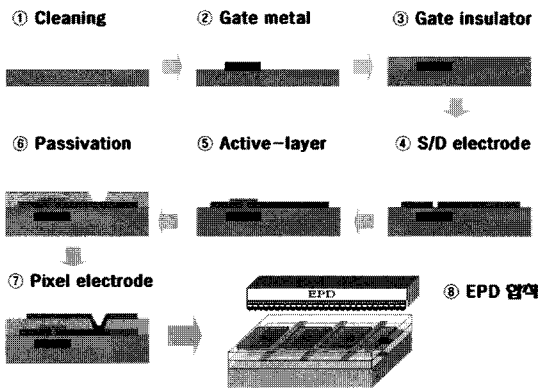


그림 1. OTFT-backplane 공정 흐름도.

심지어 동일한 재질이라도 기판의 제조공정에 따라 다르기 때문에 세심한 사전 실험을 거쳐 특성을 파악하여야 한다. 특히 열변형율은 해상도의 한계를 결정하는 중요한 요소이므로 정확한 데이터를 확보하여 패널 설계에 반영해야 한다. 또한 일반적으로 플라스틱 기판은 두루마리 형태로 공급되는데 이 경우 기판끼리의 합착을 방지하기 위하여 표면조도 (Roughness)를 약 10 nm 이상으로 높이는데 이것은 OTFT를 제작하기에는 적합하지 않으므로 일반적으로 표면을 고분자 용액으로 코팅하여 조도를 1 nm 이하 되게 평탄화시킨다.

## 2.2 전극

게이트 전극은 패널의 스캔신호를 전달하는 역할을 하므로 최소 선폴폭 두께로써 면저항 10 Ω/□ 이하의 우수한 전도성을 갖도록 제작하여야 한다. 일반적으로 금속을 진공증착하여 리소그래피로 형상화하지만 공정단계를 줄이기 위하여 전도성 잉크로 인쇄하는 공정이 연구되고 있다. 전도성 잉크로는 Ag 잉크, Cu 잉크, Au 잉크 등의 금속잉크가 있으며, 그 중에서 Ag 잉크가 가장 많이 활용되고 있다. 금속잉크의 높은 소성온도 (150 °C 이상)는 플라스틱 기판에서는 단점이므로 최근 PEDOT:PSS와 같은 전도성 고분자 잉크를 게이트 전극으로 사용하는 연구가 이루어지고 있으나 아직 면저항이 배선라인으로 사용하기에는 적합하지 않으므로 더 많은 연구가 필요하다.

인쇄공정은 표 1과 같이 다양한 방식이 사용되고 있으며 방식별 기술적 특징이 다르므로 적합한 방식을 선택해야 한다. 게이트 전극은 면저항 확보와 함께 게이트 절연층이 전극을 도포할 수 있도록 두께가 충분히 얇아야 한다. 따라서 100 nm의 절연층을 도포하려면 게이트 전극의 두께는 최대 100 nm 이하이어야 한다. 이러한 두께 관점에서 보면 그라비아, 플렉소, 잉크젯, 마이크로 컨택 인쇄방식이 적합하다고 판단된다.

## 2.3 게이트 절연체

게이트 절연층은 OTFT의 성능에 영향을 주는 중요한 영역이므로 그 역할과 주요 요소들이 대해서

표 1. 인쇄방식별 특성 비교.

프린팅 방식	Gravure	Flexo	Screen	Offset	Inkjet	Micro Contact
해상도 (μm)	75	75	20	10~50	20~50	0.1
잉크두께 (μm)	0.1~8	0.04~2.5	5~100	0.5~2	0.05~20	0.1~2
잉크점도 (mPa.s)	10~200	50~500	500~50,000	5,000~100,000	1~40	-
생산성 (m <sup>2</sup> /s)	3~60	3~30	<10	3~30	0.01~0.5	-
고분자잉크 가능여부	가능	가능	가능	별도 첨가제필요	가능	가능
대면적화	가능	가능	가능	가능	불리	불리
잉크재료의 다양화	유리	-	-	-	유리	유리

설명한다. 게이트 절연층은 게이트 전극에서 인가된 전계를 반도체층으로 전달하여 계면에 식 (1)과 같이 채널전하  $Q_{it}$ 를 형성하는 역할을 하므로 전계를 잘 전달하기 위해서는 절연층 내부에 전계의 전달을 방해시키는 전하 캐리어가 없어야 한다. 이것은 전기적으로 커패시턴스  $C_i$ 로 표현되며 식 (2)와 같다. 여기서  $d$ 는 절연층의 두께이고  $k$ 는 유전상수이다.

$$Q_{it} = C_i(V_{GS} - V_{TH}) \quad (1)$$

$$C_i = \frac{k\epsilon_0}{d} \quad (2)$$

유전상수는 절연층의 분자구조에 좌우되며 식(3)과 같이 Clausis-Mossotti 관계식으로 표현되므로 구성분자의 단위부피  $v$ 에 대한 분극성  $\alpha$ 이 크도록 분자를 설계하여야 큰 값을 얻을 수 있다.

$$k = \frac{1 + 8\pi\alpha/3v}{1 - 4\pi\alpha/3v} \quad (3)$$

게이트 절연체의 표면특성은 OTFT의 성능을 결정하는 중요한 요소이다. 유기 반도체는 일반적으로

P형 반도체로 알려져 있으나 표면상태에 따라 N형이 될 수 있다. 예를 들면  $SiO_2$  게이트는 표면에 대기 중의 수분에 의한 실라놀(SiOH)그룹이 형성되어 전자 포획 역할을 함으로써 주입된 전자는 모두 포획되고 정공만 전송되어 P형이 된다 [9]. 그러나 이러한 포획을 제거하면 N형도 되어 양극성 반도체(Ambipolar)로 작동할 수 있다.

그리고 표면의 물리적 거칠기 즉 표면조도도 이동도에 영향을 준다. 표면조도 0.7 nm 이하에서는 이동도 변화가 없었으나 이상에서는 급격히 감소하여 문턱 표면조도가 존재함이 확인되었다 [10]. 문턱 표면조도는 돌출부의 크기 보다는 주기에 더 영향을 받는다. 즉 밀도가 낮은 큰 돌출부보다 밀도가 높은 작은 돌출부가 이동도를 더 감소시킨다.

또한 유전상수가 큰 게이트 절연층은 이동도를 감소시킨다고 보고되고 있다 [11]. 전술한 바와 같이 큰 유전상수는 큰 채널전하를 유도하므로 바람직하지만 절연체의 분극성이 큰 분자들은 그림 2에서 보듯이 반도체 계면에 있는 분자들의 전자분포에 영향을 주어 반도체 전도대 및 가전자대의 상태밀도함수(Density of States ; DOS) 꼬리부분을 에너지값 쪽으로 확장시켜 캐리어 포획을 증가시키고 결국 이동도를 감소시킨다. 따라서 큰 유전상수를 가지면서 이동도의 감소를 최소화하기 위하여 반도체와 접하는 쪽은 유전상수가 작고 게이트 전극과 접하는 쪽은

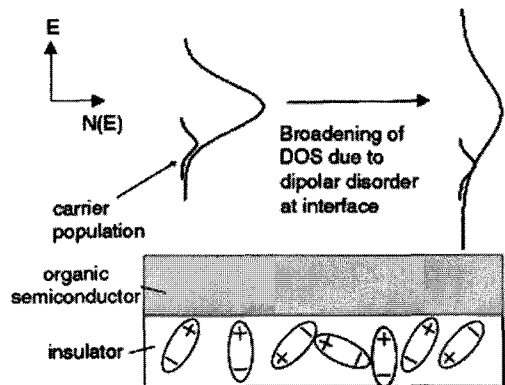


그림 2. 게이트 절연층 분자들의 분극에 의한 반도체 DOS의 변형 모형도.

유전상수가 큰 이중 게이트 절연층을 사용하는 방안이 제시되고 있다.

이외에도 절연층은 OTFT의 동작전압을 결정하는 요소이므로 절연층의 특성을 조절하여 동작전압을 줄이는 연구가 수행되고 있다. 동작전압을 줄이는 방법은 식 (2)에서 유전상수를 높여던지 아니면 절연층의 두께를 얇게 하는 것이다. 높은 유전상수는 전술한 바와 같이 이동도를 감소시키는 문제가 있으므로 절연층의 두께를 줄이는 방법이 유리할 것으로 판단된다. 그러나 이 경우 누설전류가 증가하지 않도록 절연층의 막질이 우수하여야 한다.

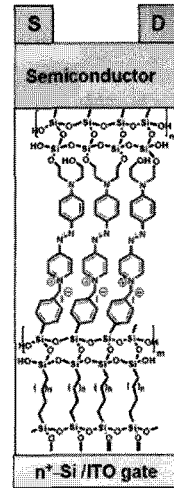
Northwestern 대학은 그림 3에서 보듯이 단분자층을 자기조립 공정으로 여러 층 적층한 다층 분자막으로 저전압을 실현하였다 [12]. 다층 분자막은 ITO 게이트에 자기조립하는 하부 분자층, 분극성이 우수한 중간 분자층, 그리고 반도체 분자가 적층하는데 유리한 표면상태를 제공하는 상부 분자층으로 구성되며, 두께는 11 nm 정도로 동작전압 1 V를 실현할 수 있었다. 이러한 초박막에서는 게이트 절연층을 통한 누설전류를 줄이는 것이 관건인데 이 논문에서는 OTFT의 전달특성이 제공되지 않아 다층 분자막의 누설전류는 알 수 없으나 작지 않을 것으로 추측된다.

또 다른 접근방식으로 Al 게이트 전극을 산소 플라즈마로 표면을 산화하여 그림 4에서 보듯이 5 nm 두께의  $Al_2O_3$  절연층을 형성하여 게이트 절연층으로 사용함으로써 저전압을 실현하는 공정이 보고되었다 [13]. 이 공정은 게이트 전극 위에 직접 절연층이 형성되므로 별도의 절연층 형성화 공정이 필요치 않아 공정이 간단하며, 누설전류 ( $10^{-7}$  A/cm<sup>2</sup>)가 작고, 저온 공정이므로 플라스틱 기판에 적용할 수 있는 장점이 있다.

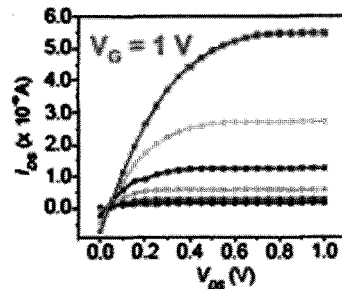
게이트 절연층에 사용되는 재료는  $SiO_2$ 와 금속 산화물 등의 무기재료, Polyvinylphenol (PVP) 등 유기재료, 무기/유기 복합재료, 그리고 단분자층 등 다양하게 활용되고 있다. 무기재료는 주로 유기 반도체의 성능평가용으로 사용되고 플렉시블 디스플레이용으로는 적합하지 않다. 무기/유기 복합재료는 누설전류를 줄이기 위해서 연구되지만 공정이

복잡하기 때문에 실용성은 높지 않은 것으로 판단된다. 플렉시블 디스플레이에는 플라스틱 기판과의 호환성, 그리고 저가격 공정을 고려할 때 유기 절연체가 적합하며 이에 대한 연구가 활발히 진행되고 있다.

다양한 유기 절연체가 연구되고 있으나 본 논문에서는 PVP를 플렉시블 디스플레이에 적용한 예를 중심으로 설명한다. PVP 게이트 절연층은 유전상수, 누설전류, 표면상태 등이 적용분야의 요건을 충족해야 한다. PVP 절연체는 이러한 요건을 충족하기 위해서 PVP 폴리머, 열처리 가교제 (Cross Linking Agent ; CLA), 그리고 용매로 구성된다. 가

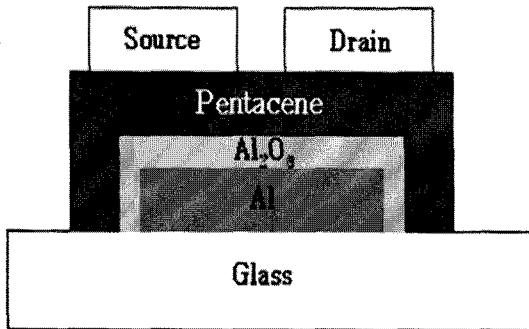


(a)

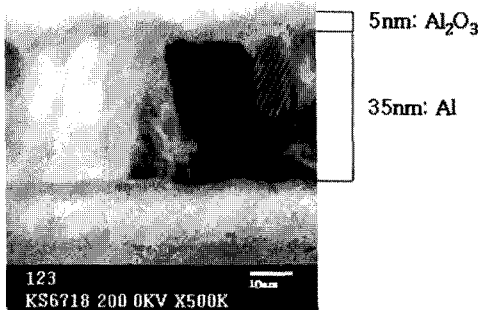


(b)

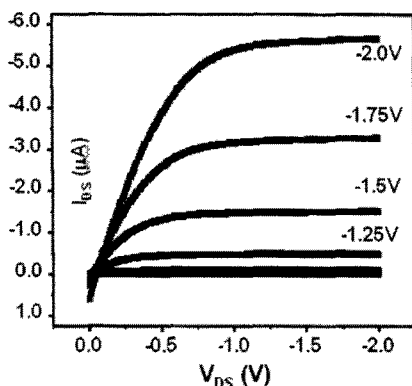
그림 3. (a) 다층 단분자막을 이용한 OTFT의 구조, (b) 출력특성 ; 저전압 동작 확인.



(a)



(b)



(c)

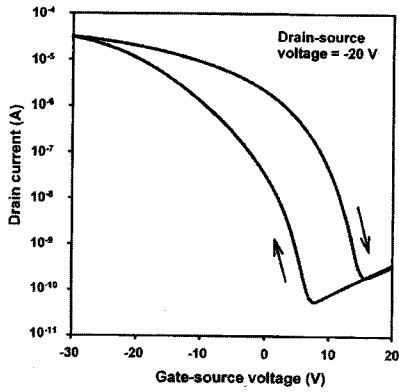
그림 4. (a) 저전압 OTFT 구조, (b) Al<sub>2</sub>O<sub>3</sub> 게이트의 TEM 단면도, (c) 출력특성 ; 저전압 동작 확인.

교제는 누설전류를 감소시키고 표면상태를 소수성으로 만들기 위하여 사용한다. 전기적 특성은 구성요소들의 비율과 열처리 온도에 좌우되므로 최적조건을 도출해야 한다. PVP는 유전율이 약 4 정도로 SiO<sub>2</sub>와 유사한 값으로 게이트 절연체로 적합하다. 자세한 공정조건은 참고문헌 [14]에서 볼 수 있다.

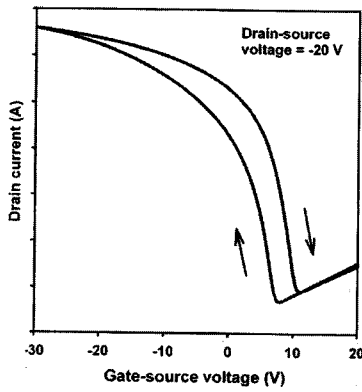
유기 절연체의 중요한 문제점은 그림 5(a)와 같이 전달특성 곡선에서 나타나는 히스테리시스이다. 히스테리시스는 고주파 저전압에서는 작으나 저주파 고전압에서 크게 나타난다. 이것은 절연체 내부에 존재하는 전하들 때문인데 폴리머 분자의 형태나 길이가 다를 때 나타나는 분자간의 쌍극자에 의한 내부 요인과, 잔존 용매와 첨가제 등 불순물에 의한 외부 요인이 있다. 내부요인은 폴리머 합성을 잘 해야 제거할 수 있는 것이고, 외부요인은 공정 시 불순물이 남지 않도록 해야 제거할 수 있다, 그림 (5b)와 (c)에서 보듯이 가교 시간을 증가함에 따라 그리고 압력을 낮춤으로써 히스테리시스가 감소함을 볼 수 있는데 이것은 열처리 시간에 따라 가교율이 증가하여 잔존 가교제의 양이 감소하고, 낮은 압력에서 용매의 증발이 촉진되어 잔존 용매의 양이 작아지기 때문이다.

이외 에도 PVP는 대면적 어레이의 성능 균일도 측면에서도 우수한 결과를 보이고 있다. 펜타센 반도체를 사용할 경우 기판의 여러 위치에서 선택한 50개 OTFT의 이동도는 평균 0.17 cm<sup>2</sup>/Vs이고 편차는 0.005 cm<sup>2</sup>/Vs로서 약 3 %이고, Sub-threshold Slope은 평균 0.8 V/dec에 편차 0.019 V/dec로서 약 2.3 %의 우수한 균일도를 나타내었다.

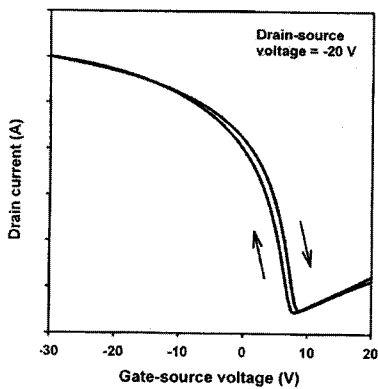
단위 OTFT 외에 대면적 어레이 측면에서 보면 PVP 절연체는 그림 6(a)에서 보듯이 OTFT의 게이트 절연층뿐만 아니라 스캔 배선라인과 데이터 배선라인 간의 전기적 단락을 방지하기 위한 절연층으로도 사용되므로 유전성과 함께 충분한 절연성을 확보하는 것이 중요하다. 절연성은 열처리 온도 180 °C에서 누설전류가 약 10<sup>-9</sup> A/cm<sup>2</sup> 정도로 SiO<sub>2</sub>에는 미치지 못 하지만 EPD용으로 사용하는데 문제가 없다. 충분한 절연성을 확보하기 위해서는 두께가 두꺼워야 하지만 두꺼운 만큼 동작전압이 증가하는 문제가 있다. 따라서 유기 절연체의 관건은 최소의 두께로 최



(a)

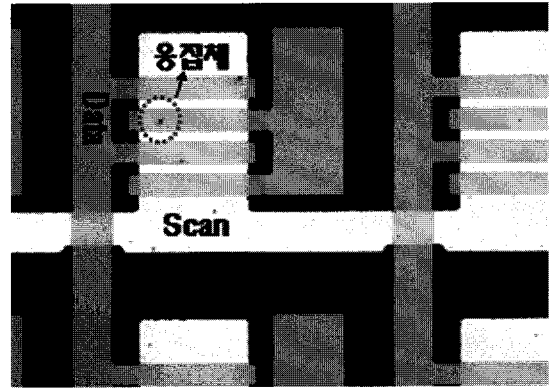


(b)

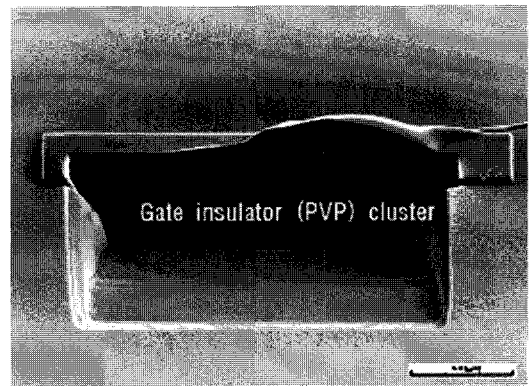


(c)

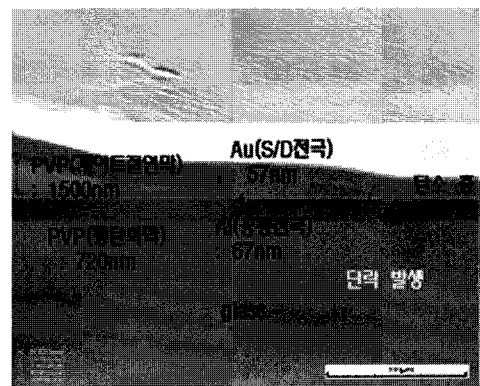
그림 5. 공정조건에 따른 PVP 게이트 절연체의 히스테리시스 특성의 변화 ; (a) 10 min @ 200 °C in N<sub>2</sub> at 1000 mbar, (b) 10 min @ 200 °C in N<sub>2</sub> at 400 mbar, (c) 45 min @ 200 °C in N<sub>2</sub> at 400 mbar.



(a)



(b)



(c)

그림 6. (a) OTFT 어레이 형성된 PVP 응집체의 현미경 사진, (b) PVP 응집체 부분의 SEM 사진, (c) PVP 응집체 부분의 TEM 단면 사진 ; PVP 층이 사라진 부분에 상하부 전극의 단락을 볼 수 있다.



소의 누설전류와 최대의 절연성을 확보하는 것인데 이러한 관점에서 볼 때 PVP는 부족한 점이 있고 새로운 유기 절연재료의 개발이 필요하다.

대면적 어레이에 PVP 절연층을 도포할 경우 그림 6(b)에서 보듯이 PVP 응집체가 나타나는데 이것은 스캔과 데이터 배선라인 간의 전기적 단락의 원인이 되므로 반드시 제거해야 한다. 단락의 원인은 기판 표면에 대한 PVP의 접착력이 위치에 따라 다르기 때문인데 접착력이 약한 PVP 영역이 부근의 결합력이 강한 PVP 영역으로 이동하여 PVP가 응집하여 그림 6(c)에서 보듯이 접착력이 약한 부분의 PVP 층이 사라지거나 얇아져서 상하부 전극의 단락이 발생한다 [15]. 이것은 열처리 조건을 잘 조절하면 해결할 수 있다.

PVP 절연층의 두께는 OTFT의 문턱전압에 영향을 주므로 균일한 두께로 성막하는 것이 중요하다. 인쇄방식은 얇게 균일한 두께로 대면적 성막이 가능한 공정이어야 한다. 이러한 측면에서 보면 표 1의 플렉소와 잉크젯이 적합해 보이나 잉크젯은 대면적 균일 성막에는 적합하지 않고 또한 플렉시블 디스플레이에서는 절연층을 형상화할 필요가 없기 때문에 플렉소 보다는 슬릿 코팅 방식이 적합할 것으로 판단된다.

## 2.4 반도체

유기 반도체의 전하 이동도는 유기분자 간의  $\pi$ -전자의 중첩정도에 의해 결정된다. 즉, 그림 7과 같이  $\pi$ -전자가 잘 중첩되면 에너지 밴드는 단결정 반도체와 유사하게 되어 전도대의 전자 및 가전자대의 정공의 이동도가 증가하지만 중첩이 양호하지 않으면 전도대 및 가전자대 부근에 Tail States가 생겨 이동도는 감소한다. 이러한 원리에 의해서 단분자 및 고분자 반도체는 그림 7과 같이 전하 전송방향으로  $\pi$ -전자의 중첩이 잘 되도록 분자를 정렬하는 것이 핵심 기술이다.

반도체의 재료로 단분자와 고분자 유기재료가 사용되고 있다. 단분자 반도체는 진공증착으로 성막하는데 분자의 증발율과 기판의 온도 그리고 기판의 표면상태를 조절하여 분자정렬을 제어한다 [16]. 우수한 이동도를 나타내는 OTFT는 단분자 반도체로

제작한 것이며, 펜타센의 경우 이동도가  $5 \text{ cm}^2/\text{Vs}$  이상 보고된 바 있다.

고분자 반도체는 용액으로 제조하여 스핀 코팅이나 인쇄방식으로 성막한다. 고분자는 실타래처럼 엉키기 때문에 이동도는  $10^{-3} \text{ cm}^2/\text{Vs}$ 를 넘기 어렵다. 대표적인 고분자로는 P3HT [17]와 TIPS-penacene [18]을 들 수 있다. P3HT는 그림 8에서 보듯이 벤젠 분자에 측쇄가 붙어있어 용액화할 수 있다. Head와 Tail의 Regioregularity 정도에 따라 분자배열이 달라지며 Regioregularity가 높을수록 전하 전송 방향으로  $\pi$ -전자의 중첩이 잘 되도록 상하 분자의 측쇄가 마치 손가락 각지 끼듯이 (Interdigitate) 분자가 배열되어 이동도가 증가한다. 그러나 실제로는 예상과 달

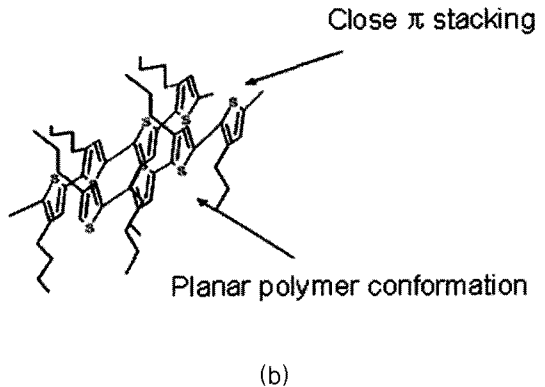
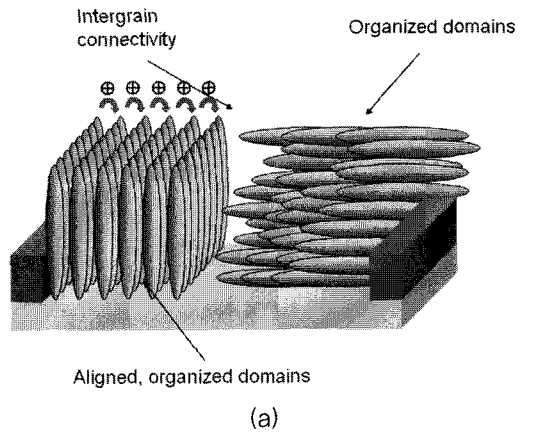


그림 7. (a) 단분자와 (b) 고분자 반도체 분자의 정렬.

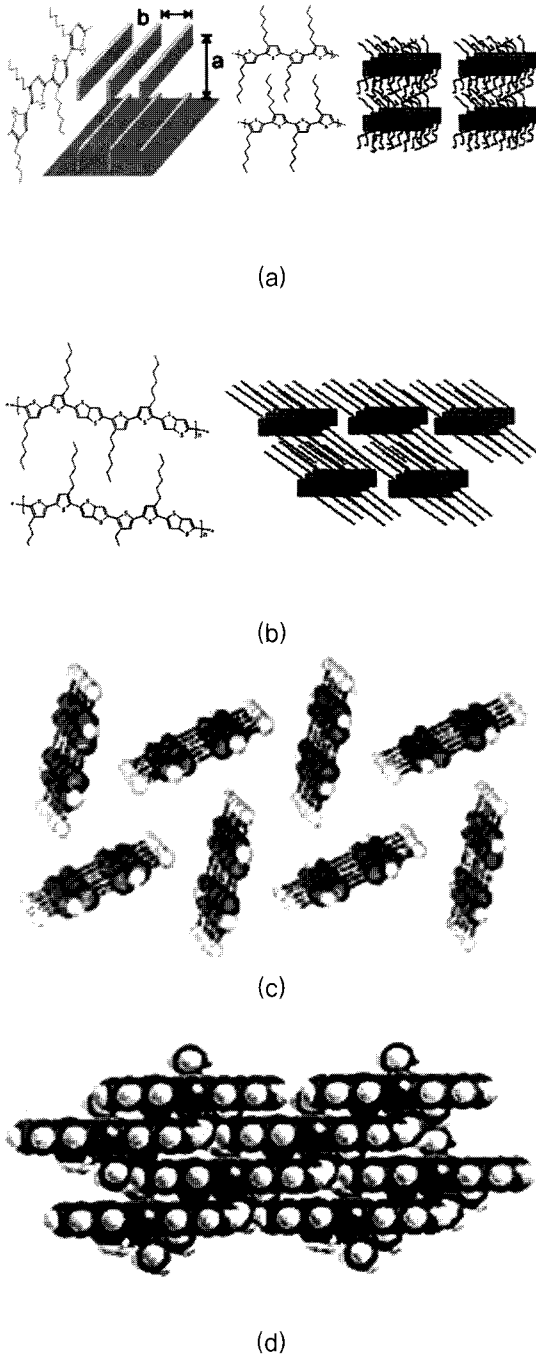


그림 8. (a) P3HT 분자의 정렬, (b) pBTT 분자의 정렬, (c) 진공 증착된 펜타센 결정구조, (d) TIPS-pentacene의 결정구조.

리 측쇄 배열이 Interdigitate하게 잘 이루어지지 않는다. 이러한 문제를 개선하기 위하여 고분자의 측쇄를 덩성덩성하게 배열하여 상하 분자간의 측쇄 배열이 Interdigitate 되도록 한 pBTT 분자가 보고된 바 있다. TIPS-pentacene은 펜타센 분자의 1번과 8번 위치에 측쇄를 달아 용액화할 수 있도록 합성한 분자이다. 결정구조는 진공 증착한 펜타센의 Herringbone 구조와 달리 분자의 면과 면이 적층하여  $\pi$ -전자의 중첩이 증가함으로써 이동도가 증가하였다. 이동도는  $1 \text{ cm}^2/\text{Vs}$ 로써 고분자로서 최고의 성능을 나타내었다.

용액 고분자 반도체의 인쇄방식으로 별도의 형상화 공정이 필요치 않고  $0.05 \text{ um}$  정도의 박막을 성형할 수 있는 잉크젯 인쇄에 대한 연구가 활발히 진행되고 있다. 잉크젯으로 토출한 TIPS 용액은 사용한 유기 용매에 따라 그림 9에서 보듯이 현저히 다른 특성을 나타내었다. 이것은 용액 내부의 용매 대류현상과 표면의 증발현상과의 상호작용에 의한 것으로 두 현상을 적절히 조절할 수 있도록 유기용매를 혼합할 경우 우수한 결정성을 나타내었다 [19]. 잉크젯 용액의 결정성을 완전히 제어하기에는 유변물성에 대한 지식이 부족하므로 이에 대한 연구가 더 진행되어야 할 것이다.

OTFT가 상용화되려면 유기 반도체의 이동도 제

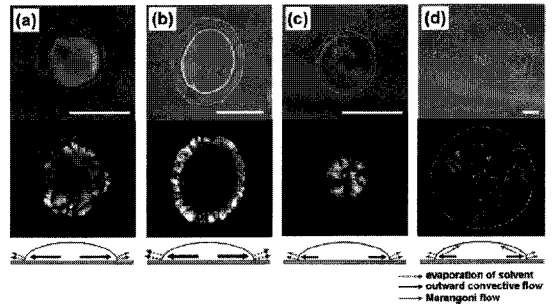


그림 9. 유기용매에 대한 TIPS-Pentacene 용액의 건조 후 모습 ; (a) Chlorobenzene, (b) Hexane, (c) O-dichlorobenzene, (d) Dodecane.





고뿐 아니라 안정성을 확보하여야 한다. 이동도와 안정성은 HOMO (Highly Occupied Molecular Orbital ; 실리콘 반도체의 가전자대 최대 에너지에 해당함)의 에너지 위치에 따라 상호 보완적이다. HOMO가 진공에너지 준위에 가까울수록 누설전류가 증가하고 산화가 잘되어 안정도가 떨어진다. 반면에 문턱전압은 감소하고 전하포획이 감소하여 이동도가 증가한다. 따라서 고 이동도와 고 안정도를 동시에 만족하기 위해서는 HOMO의 에너지 위치의 타협점이 필요하며 적절한 위치의 HOMO를 갖도록 분자를 설계하는 것이 중요하다. HOMO의 위치는 분자내부의  $\pi$ -전자의 중첩, 전자의 밀도, Conjugation 길이로써 조절할 수 있다. 이러한 원리에 기초하여 새로운 유기 반도체를 합성하기 위한 연구가 활발히 진행되고 있다.

### 2.5 OTFT-backplane의 인쇄공정

다양한 인쇄방식이 OTFT-backplane에 적용되고 있는데 표 1의 인쇄방식의 특성을 고려하여 OTFT의 각 영역별 인쇄방식의 적합성을 표 2에 정리하였다. 게이트 전극의 선폭은 고정세일 필요는 없고 두께는 게이트 절연층을 도포할 수 있을 정도로 얇아야 한다. 따라서 플렉소, 잉크젯, 마이크로 콘택이 적합하며, 그라비아는 잉크의 점도가 너무 작기 때문에 이런 점도를 충족하면서 전도도를 만족하는 금속 잉크

는 많지 않다. 게이트 절연층은 얇고 균일한 두께로 대면적을 형성 없이 도포해야 하므로 표 2에 있는 인쇄방식보다 슬릿코팅 적합할 것으로 판단된다. 소스/드레인 전극은 최소 채널길이를 확보하는 것이 중요하므로 고해상도가 가능한 오프셋, 잉크젯, 마이크로 콘택이 적합하다. 보호층은 게이트 절연층과 유사하지만 두께는 두꺼워야 하고, 픽셀전극을 위한 비어홀 형상이 필요하므로 그라비아, 스크린, 오프셋이 적합하며, 잉크젯은 대면적과 두께, 마이크로 콘택은 두께 측면에서 불리하다. 마지막으로 픽셀전극은 해상도와 두께가 중요한 요건이 아니므로 대부분의 인쇄방식을 적용할 수 있을 것이다. 다만 마이크로 콘택은 보호층의 비어홀로 잉크를 주입하는데 어려움이 예상된다.

현재 OTFT의 다양한 인쇄방식 [20]이 연구되고 있지만 인쇄특성뿐만 아니라 전기특성, 재료특성 등을 종합적으로 검토해야 최적의 인쇄방식을 도출할 수 있을 것이다. 이에 대한 체계적인 연구가 이루어져야 한다.

## 3. 결론

OTFT-backplane은 플렉시블 디스플레이의 핵심 부품으로써 상용화를 대비하여 활발한 연구가 수행되고 있다. 단기적으로는 공정가격에 제한 받지 않고 성능을 구현한 제품이 개발될 것이고, 장기적으로는 대면적, 저가격 패널 제품이 선 보일 것으로 예상된다. 따라서 현재까지는 주로 진공증착과 광리소그라피를 활용한 공정개발에 집중하여 어느 정도 성과를 이루었으나 이제부터는 신뢰도 개선과 대면적, 저가격화를 위한 인쇄공정 기술개발에 노력해야 한다.

## 감사의 글

본 논문은 동아대학교 2008년 교내 연구비의 지원으로 수행되었음.

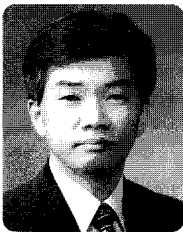
표 2. OTFT의 각 영역별 인쇄방식의 적합성 정리 (O : 최적합, Δ : 적합, X : 부적합).

프린팅 방식	Gravure	Flexo	Screen	Offset	Inkjet	Micro Contact
게이트 전극/ 스캔 배선라인	Δ	O	X	X	O	O
게이트 절연층	X	X	X	X	X	X
소스드레인 전극/ 데이터 배선라인	X	X	X	O	O	O
보호층	O	Δ	O	O	X	X
픽셀전극	O	Δ	O	Δ	Δ	X

## 참고 문헌

- [1] 디스플레이뱅크 2007년 자료
- [2] Nano Market 2007년 자료
- [3] T.N. Jackson, et al., IEEE, Elect. Dev. Lett., 26, 640, 2005
- [4] T.S. Hu, et al., Proc. IMID Tech. Dig., 314, 2006
- [5] K.S. Suh, et al., Proc. IMID Tech. Dig., 314, 2006
- [6] I. Yagi, et al., Proc. SID Tech. Dig., 1753, 2007
- [7] S.H. Han, et al., Proc. SID Tech. Dig., 1757, 2007
- [8] T. Chuman, et al., Proc. SID Tech. Dig., 45, 2004
- [9] Chua, et al, Nature, 434, 194, 2005
- [10] Chua, et al, Advanced Materials, 16, 1609, 2004
- [11] Veres, et al., Advanced Functional Materials, 13, 199, 2003
- [12] A. Facchetti and T. Marks, Proc. Natl. Acad. Sci, 102, 4678, 2005
- [13] C. K. Song, et al, Appl. Phys. Lett., 88, 233508, 2006
- [14] C.K. Song, et al., Thin Solid Film, 493, 278, 2005
- [15] 박동진, 이명원, 송정근, 대한전자공학회 논문투고
- [16] C.K. Song, et al., Thin Solid Film, 485, 230, 2005
- [17] Sirringhous, et al., Nature, 401, 685, 1999
- [18] Anthony, et al., Chem. Rev., 106, 5028, 2006
- [19] Kilwon Cho, et al., Avd. Funct. Mat., 18, 229, 2008
- [20] R. Parashkov, et al., Proceedings of IEEE, 93, 1321, 2005

## 저|자|약|력



성 명 : 송정근

◆ 학 력

- 1980년  
서울대 전자공학과 공학사
- 1984년  
서울대 대학원 전자공학과 공학석사
- 1992년  
University of Cincinnati  
Electrical and Computer  
Eng. 공학박사

◆ 경 력

- 1993년 - 현재      동아대 전자공학과 정교수

