

## 금속 유도 일측면 선결정화에 의해 제작된 다채널 다결정 실리콘 박막 트랜지스터 소자 및 회로의 전기적 특성 평가

황옥중<sup>\*,\*\*\*</sup> · 강일석<sup>\*†</sup> · 임성규<sup>\*\*\*</sup> · 김병일<sup>\*\*\*</sup> · 양준모<sup>\*,\*\*\*</sup> · 안치원<sup>\*,\*\*\*</sup> · 홍순구<sup>\*\*</sup>

<sup>\*</sup>나노종합팩센터 정보전자부품소재기술혁신센터

<sup>\*\*</sup>충남대학교 재료공학과

<sup>\*\*\*</sup>나노종합팩센터

## Dynamic Characteristics of Multi-Channel Metal-Induced Unilaterally Precrystallized Polycrystalline Silicon Thin-Film Transistor Devices and Circuits

Wook-Jung Hwang<sup>\*,\*\*\*</sup>, Il-Suk Kang<sup>\*†</sup>, Sung-Kyu Lim<sup>\*\*\*</sup>, Byeong-Il Kim<sup>\*\*\*</sup>,  
Jun-Mo Yang<sup>\*,\*\*\*</sup>, Chi-Won Ahn<sup>\*,\*\*\*</sup> and Soon-Ku Hong<sup>\*\*</sup>

<sup>\*</sup>Advanced Technology Center for Information Electronic Materials and Components,  
National Nanofab Center, Daejeon 305-806, Korea

<sup>\*\*</sup>Department of Materials Science and Engineering, Chungnam National University, Daejeon 305-764, Korea

<sup>\*\*\*</sup>National Nanofab Center, Daejeon 305-806, Korea

(2008년 8월 1일 접수 : 2008년 9월 8일 최종수정 : 2008년 9월 9일 채택)

**Abstract** Electrical properties of multi-channel metal-induced unilaterally precrystallized polycrystalline silicon thin-film transistor (MIUP poly-Si TFT) devices and circuits were investigated. Although their structure was integrated into small area, reducing annealing process time for fuller crystallization than that of conventional crystal filtered MIUP poly-Si TFTs, the multi-channel MIUP poly-Si TFTs showed the effect of crystal filtering. The multi-channel MIUP poly-Si TFTs showed a higher carrier mobility of more than 1.5 times that of the conventional MIUP poly-Si TFTs. Moreover, PMOS inverters consisting of the multi-channel MIUP poly-Si TFTs showed high dynamic performance compared with inverters consisting of the conventional MIUP poly-Si TFTs.

**Key words** metal-induced unilateral precrystallization, polycrystalline silicon thin-film transistor, multi-channel, ring oscillator.

### 1. 서 론

최근 system-on-glass (SOG) 구현을 위하여 수소화 비정질 실리콘(a-Si:H)에 비해 전계 효과 이동도(field-effect mobility)와 박막 트랜지스터(thin-film transistor, TFT)의 구동 안정성이 뛰어난 저온 다결정 실리콘(low-temperature polycrystalline silicon, LTPS)에 대한 관심이 커지고 있다. 유리 기판 위에 대면적으로 다결정 실리콘을 만드는 여러 방법<sup>1,2)</sup> 중 금속 유도 일측면 결정화법(metal-induced unilateral crystallization, MIUC)은 가능성 높은 방법이다.<sup>3)</sup> 최근에는 선결정화법(pre-crystallization)이 소개되어 MIUC 기술의 획기적인 개선을 가져왔다(이하

MIUP).<sup>4)</sup> MIUP란 금속과 실리콘이 반응하여 형성된 금속 실리사이드가 촉매로써 결정화 온도를 낮추고 한쪽 측면으로부터 이동하면서 결정화가 진행되는 현상으로, 기존 양측 결정화가 지닌 단점, 즉 양쪽에서부터 결정화가 진행되어온 경계(crystal growth joint) 결함을 채널 밖으로 제거하고, 게이트 형성 전에 결정화를 진행하여 측면 결정화가 상부층인 게이트 절연층에 미치는 영향을, 즉 interface state 생성을 억제한 기술이다.

하지만, MIUP poly-Si의 캐리어 이동도는 excimer laser scanning법으로 만들어진 poly-Si의 이동도 보다 여전히 낮다. 일반적으로 MIUP poly-Si 박막은 다양한 방향(orientation)을 가진 입자들(grains)로 이루어져서 많은 입계 결함(grain boundary defect)을 갖는다. TFT의 채널 내에 존재하는 입계 결함은 전기적 특성을 떨어뜨린다. 따라서 실리콘 결정 입자의 방향 조절은 입계의 정렬을

<sup>†</sup>Corresponding author

E-Mail : iskang@nnfc.com (I. S. Kang)

가능하게 하여 소자 영역 내에 방향이 무작위로 형성되는 입자와 이로 인한 입계 결함을 감소시킴으로써 전기적 특성을 개선시킬 수 있다.

한편, MIUP poly-Si의 결정 방향이 결정 필터링법(crystal filtering)에 의하여 효과적으로 조절된다는 보고가 있었다.<sup>5)</sup> 여기서 결정 필터라 함은 실리콘 활성층(active layer)에 패터닝된, 폭이 좁은 영역을 의미한다. 무작위의 방향을 갖는 결정 실리콘 입자들 중에서 결정 필터 벽과 평행한 성장 방향의 결정 실리콘 입자군(grain group)만이 필터를 통과 할 수 있다. 이와 같이 결정 필터링에 의하여 형성된 결정질 실리콘은 일관된 결정 방향과 밀도 높은 미세 구조를 보인다. 결국 필터링된 TFT들은 높은 전류 구동력을 갖는다. 하지만, 보고된 결정 필터의 구조(Fig. 1(a))는 작은 면적으로 집적하거나 결정화를 위한 열처리 시간을 감소시키기에 불리하다.<sup>6)</sup>

본 연구에서는, 다채널(multi-channel) 구조가 MIUP poly-Si TFT의 전기적 특성에 미치는 영향을 연구하였고, ring oscillator를 제작함으로써 다채널 구조의 소자가 주변 회로용으로 쓰이기에 적합함을 증명하였다.

## 2. 실험 방법

Figure 1(b)는 다채널 MIUP poly-Si TFT(이하 MC-TFT)에 대한 소자 구조의 개략도이다. MC-TFT와 일반적인 MIUP poly-Si TFT(이하 MIUP-TFT)를 동일한 기판 위에 제작하였기에, 본 연구에서의 변수는 오직 채널 영역 내 다결정 실리콘 박막의 결정질(crystalline quality) 뿐이다. 제작 공정은 일반적인 MIUP poly-Si TFT 공정

을 따랐다. 유리 기판 위에 플라즈마 화학기상증착(plasma-enhanced chemical vapor deposition, PECVD)으로 완충층 3000 Å 두께의 실리콘 산화막(SiO<sub>2</sub>)을 증착하였다. Si<sub>2</sub>H<sub>6</sub> 가스(disilane)를 사용하는 저압 화학기상증착(low-pressure CVD, LPCVD)으로 600 Å 두께의 비정질 실리콘을 증착하였다. 실리콘 활성층을 노광 작업(lithography)과 반응성 이온식각(reactive ion etching, RIE)으로 패터닝 하였다. 패터닝된 다채널들의 각 단위(unit) 채널 넓이와 개수는 다음과 같다. 1 μm 짜리 10개(이하 MC10-TFT), 2 μm 짜리 5개(이하 MC5-TFT), 5 μm 짜리 2개(이하 MC2-TFT), 그리고 10 μm 짜리 1개, 즉 MIUP-TET로 구성하여 모든 TFT의 채널 넓이(width)가 10 μm로 비교가 용이하도록 하였고, 채널 길이(length) 또한 모두 10 μm로 하였다. MIUP의 촉매 금속인 100 Å 두께의 니켈(Ni) 창(window)을 lift-off 공정으로 형성하였다. 580°C 수소 분위기에서 세 시간 동안 결정화를 진행하였다. 게이트 절연층으로 700 Å 두께의 SiO<sub>2</sub>를, 게이트 금속의 접착력을 높이기 위해 200 Å 두께의 Ti를, 그리고 게이트 금속 층으로 2000 Å 두께의 TiW을 각각 PECVD와 스퍼터링으로 증착하였다. 그리고 TiW, Ti, SiO<sub>2</sub> 세 층을 각각 RIE로 패터닝 하였다. 소오스와 드레인을 형성하기 위하여 B<sub>2</sub>H<sub>6</sub>를 도핑하였다(ion mass doping). 가속 전압과 RF 파워는 각각 15 kV와 150 W이었다. 금속 열처리(rapid thermal annealing, RTA)를 이용한 도펀트 활성화(dopant activation)를 580°C에서 한 시간 동안 진행하였다. 이후 contact window와 소오스/드레인 금속 라인 형성은 일반적인 TFT 제작 과정과 동일하게 진행하였다. HP4140B pA/dc voltage source를 사용하여 전류-전압(I-V)곡선 그래프를 얻었다.

## 3. 결과 및 고찰

열처리 시간이 줄어든 것은 Fig. 1에 나타난 바와 같이 TFT 단위 소자의 실리콘 활성층 형상의 차이 때문이다. 이미 언급한 결정 필터링 실험에서 좁은 결정 필터 안의 결정질이 가장 좋은 것으로 드러났기에 이번 논문에서는 그 결정 필터를 직접 채널로 사용하였다. 이로 인해 따로 결정 필터와 니켈 창을 형성하기 위한 패드의 거리를 줄여 결정화되어야 하는 길이가 상대적으로 작아졌다. 채널 넓이가 좁은 것로부터 오는 작은 전류량을 보완하기 위해 다채널 구조를 도입하였다. 결국 LCD에 들어가는 보통의 TFT 소자 형상과 백라이트(backlight)를 가리는 면적이 동일하게 되어 픽셀의 개구율에도 손상을 주지 않는다. 물론 결정 필터링 효과가 그대로 나타날 것이라는 예상도 이하의 실험 결과와 일치하였다.

단위 채널 넓이에 따른 TFT의 transfer 곡선을 비교하여 Fig. 2에 나타내었다. 단위 채널 넓이와 전계 효과 이

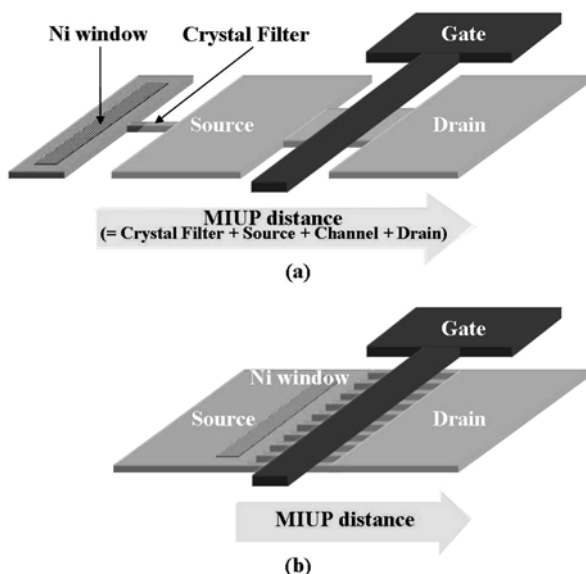


Fig. 1. Schematic illustration of device structures for (a) MIUP-TFT and (b) MC-TFTs.

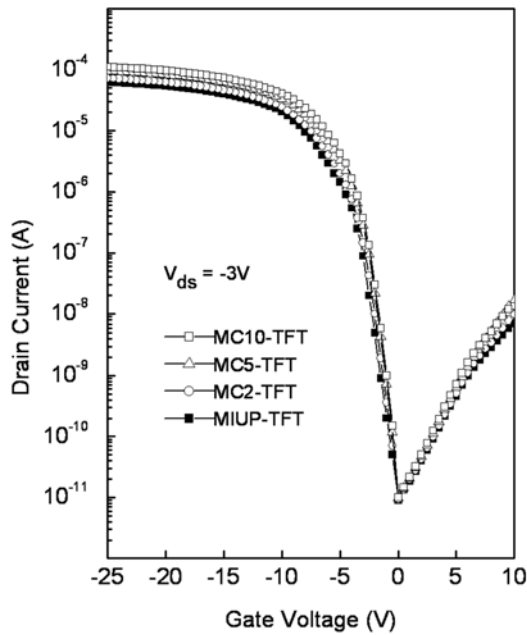


Fig. 2. Comparison of  $I_{ds}$ - $V_{gs}$  transfer characteristics of MC-TFTs with various unit channel widths.

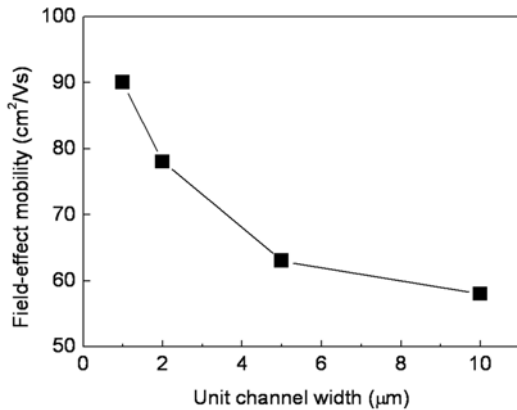


Fig. 3. The average field-effect mobility vs the unit channel width.

동도( $\mu_{eff}$ )와의 관계를 Fig. 3에 나타내었다.  $\mu_{eff}$ 는 transconductance ( $g_m$ )로부터 구할 수 있는데,  $g_m$ 은 게이트 전압의 변화에 따른 드레인 전류의 변화량으로, 선형 구간 (linear regime)에서의  $g_m$ 은 (1)과 같이 나타낼 수 있다.

$$g_m = (dI_{ds}/dV_{gs})|_{V_{ds}=\text{constant}} = \mu_{eff} C_{ox} V_{ds} (W/L) \quad (1)$$

여기서,  $C_{ox}$ 는 단위 면적당 게이트 산화막 전기용량이다. 따라서  $\mu_{eff}$ 는 (2)와 같다.

$$\mu_{eff} = (g_m L) / (C_{ox} V_{ds} W) \quad (2)$$

여기에서,  $t_{ox}$ 와  $\epsilon_{ox}$ 는 각각 게이트 산화막의 두께와 유

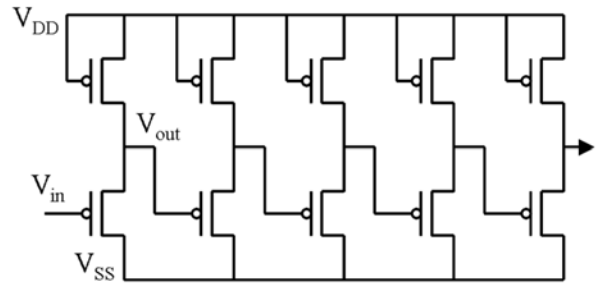


Fig. 4. Schematic circuit of PMOS ring oscillator consisted of 5-stage inverters.

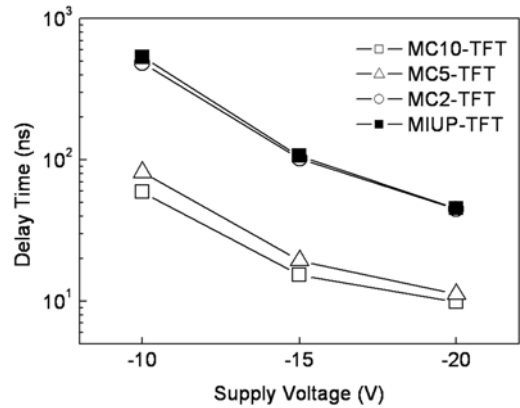


Fig. 5. Dependence of propagation delay time on supply voltage of 5-stage PMOS ring oscillator fabricated using MC-TFTs.

전율이다. 본 측정에서는  $V_{ds} = -0.1$  V를 기준으로 측정 계산하였다. Fig. 3을 통하여 단위 채널 넓이가 MC-TFT의 전기적 특성을 결정하는 주요 인자임을 알 수 있다. MC10-TFT의 전계 효과 이동도( $90 \text{ cm}^2/\text{Vs}$ )가 MIUP-TFT 이동도( $58 \text{ cm}^2/\text{Vs}$ )의 1.5배 이상임을 알 수 있다. MIUP-TFT와 비교하여 단위 채널 넓이가 1, 2  $\mu\text{m}$ 와 같이 작을 경우 가파른 증가를 보이는 반면, MC2-TFT의 경우 거의 증가하지 않음을 알 수 있다. 이는, 비록 결정화를 위한 열처리 공정 시간이 반으로 줄었음에도(결정 필터를 사용한 MIUP poly-Si TFT: 6시간), 결정 필터를 사용한 MIUC poly-Si TFT의 이동도 경향과 매우 흡사하다.<sup>6)</sup> 즉, 단위채널의 넓이가 좁아질수록 필터링 효과가 크게 나타남을 알 수 있다.

Fig. 4는 5단(stage)의 inverter로 구성된 PMOS ring oscillator의 회로도이다. Fig. 5는 공급 전압(supply voltage,  $V_{DD}$ )에 대한 ring oscillator의 평균 전파 지연 시간(propagation delay time) 변화를 나타내었다. 평균 전파 지연 시간을  $1/(2Nf_{osc})$ 로 정의할 때, MC10-TFT oscillator의 평균 전파 지연 시간(propagation delay time)은 -20 V에서 10 ns 보다 작게 나왔으며, 이는 MC10-TFT inverter가

-20 V 이상의 공급 전압에서 100 MHz 이상으로 작동할 수 있음을 보여 준다. 이때  $f_{osc}$ 는 출력 파형(output waveform)에서의 ring oscillator 진동수이며, N은 inverter 체인의 개수이다.<sup>7)</sup> 이동도의 경향과 마찬가지로 단위 채널 넓이에 따른 지연 시간도 넓이가 2  $\mu\text{m}$  이하로 작을 경우 매우 작아진다. MC10-TFT로 구성된 회로의 전파 지연 시간은 MIUP-TFT로 구성된 회로보다 약 한 자릿수(one order of magnitude)만큼 더 작게 나타났다. 이번 실험 결과에서 MC2-TFT와 MC5-TFT 간의 차이가 유독 크게 나타났는데, 이는 이 구간내의 어느 결정도 이상이 되면 평균 전파 지연 시간에 영향을 주는 어떤 요소가 부각되어 나타난 현상이라 생각된다. 사실 ring oscillator는 복수의 TFT들로 이어져 있기 때문에 TFT 단위 소자의 이동도 특성뿐만 아니라 설계나 공정에 따른 배선의 특성, 기생 전기용량의 발생과 같은 다른 영향들도 무시할 수 없어 추후 실험을 통해 이를 밝혀낼 계획이다.

#### 4. 결 론

다채널 구조를 갖는 MIUP poly-Si TFT를 제작하고 그 특성을 평가하였다. 이 구조는 결정 필터링 효과로 인한 높은 전류 구동력을 가졌을 뿐 아니라 일반적인 결정 필터를 사용한 MIUP poly-Si TFT 보다 작은 면적에 집적이 가능하고 열처리 시간을 줄일 수 있다. 다채널

MIUP poly-Si TFT ring oscillator는 일반적 MIUP poly-Si TFT ring oscillator에 비하여 매우 동적인(dynamic) 특성을 갖는다. 따라서 본 연구에서 제안한 구조는 진보된 TFT 회로 제작 기술의 하나로 미래 전자 시스템 분야에 적용될 수 있을 것이다.

#### 감사의 글

본 연구는 지식경제부 지역전략산업진흥사업의 지역혁신기반 구축사업(과제번호: B0010341) 지원으로 수행되었습니다.

#### 참 고 문 헌

1. R. B. Iverson and R. Reif, J. Appl. Phys., **62**, 1675 (1987).
2. K. H. Kim, S. J. Park, K. S. Cho, W. S. Sohn and J. Jang, SID Tech. Dig., 150 (2002).
3. Z. Meng, M. Wang and M. Wong, IEEE Trans. Electron Devices, **47**, 404 (2000).
4. I. -S. Kang, S. -H. Han and S. -K. Joo, Appl. Phys. Lett., **91**, 092112 (2007).
5. M. -S. Kim, J. -S. Lee, Y. -S. Kim and S. -K. Joo, Electrochem. Solid-State Lett., **9**, G56 (2006).
6. M. -S. Kim, N. -K. Song, S. -H. Han and S. -K. Joo, Appl. Phys. Lett., **89**, 223503 (2006).
7. S. Docking and M. Sachdev, IEEE J. Solid-State Circuits, **39**, 533 (2004).