

---

# 포톤 계수 방식의 32×32 픽셀 어레이를 갖는 디지털 CMOS X-ray 이미지 센서 설계

성관영\*·김태호\*·황윤금\*·전성채\*\*·진승오\*\*·허영\*\*·하판봉\*·박무훈\*·김영희\*

## A Design of Digital CMOS X-ray Image Sensor with 32×32 Pixel Array Using Photon Counting Type

Kwan-Young Sung\*·Tae-Ho Kim\*·Yoon-Geum\* Hwang\*\*Sung-Chae Jeon\*\*  
Seung-Oh Jin\*\*·Young Huh\*\*·Pan-Bong Ha\*·Mu-Hun Park\*·Young-Hee Kim\*

### 요 약

본 논문에서는 0.18 $\mu\text{m}$  triple-well CMOS 공정을 사용하여 포톤계수 방식의 32×32 픽셀 어레이를 갖는 CMOS X-ray 영상센서를 설계하였다. 설계된 영상센서의 각 픽셀은 100×100  $\mu\text{m}^2$  면적을 가지고 있고 약 400개의 트랜지스터로 구성되어 있으며, 범프 본딩을 통해 X-ray 검출기와 CSA(Charge Sensitive Amplifier)의 연결을 위한 50×50 $\mu\text{m}^2$ 의 오픈패드를 가지고 있다. 각각의 싱글픽셀 CSA에서 전압 바이어스 회로를 사용한 folded cascode CMOS OP amp 대신 레이아웃 면적을 줄이기 위하여 self biased folded cascode CMOS OP amp를 이용하였으며, 계수 모드 진입 전후에 CLK에서 발생할 수 있는 short pulse를 제거하는 15bit LFSR 계수기(Linear Feedback Shift Register Counter) 클럭 발생회로를 제안 하였으며, 읽기 모드에서 CMOS X-ray 영상센서의 최대 전류를 줄이기 위하여 열 어드레스 디코더를 이용하여 한 열씩 읽도록 설계 하였다.

### ABSTRACT

In this paper, x-ray image sensor of photon counting type having a 32x32 pixel array is designed with 0.18 $\mu\text{m}$  triple-well CMOS process. Each pixel of the designed image sensor has an area of 100×100  $\mu\text{m}^2$  and is composed of about 400 transistors. It has an open pad of an area of 50×50 $\mu\text{m}^2$  of CSA(charge Sensitive Amplifier) with x-ray detector through a bump bonding. To reduce layout size, self-biased folded cascode CMOS OP amp is used instead of folded cascode OP amp with voltage bias circuit at each single-pixel CSA, and 15-bit LFSR(Linear Feedback Shift Register) counter clock generator is proposed to remove short pulse which occurs from the clock before and after it enters the counting mode. And it is designed that sensor data can be read out of the sensor column by column using a column address decoder to reduce the maximum current of the CMOS x-ray image sensor in the readout mode.

### 키워드

X-ray image sensor, photon counting, charge sensitive amplifier, self-biased Folded Cascode CMOS OP Amp, LFSR counter, address decoding

---

\* 창원대학교  
\*\* 한국전기연구원

### I. 서론

X-ray 이미지 센서는 그림 1에서와 같이 X-ray를 통해 피사체 정보를 검지하여 전기적인 영상신호로 변환하는 장치이다. 의료영상에서 필름이나 마그네틱 테이프 등의 기록 매체를 광디스크로 대체하여 필름의 저장 공간이나 필름 검색에 드는 상당한 시간을 최소화하고, 환자 진료의 질을 개선하기 위해 병원내의 의료영상 저장 전송 시스템(PACS : picture archiving communication system) 구축에 관한 관심이 고조되고 있다. 의료영상 저장 전송 시스템은 영상센서로부터 획득한 영상을 필름으로 현상하지 않고 컴퓨터에 저장, 전송하는 개념으로 의료 영상을 디지털화 하는 것은 필수적이다[1].

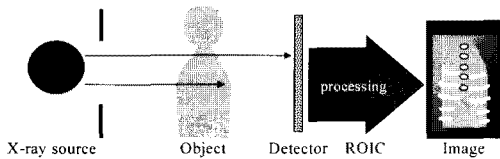


그림 1. 의료 X-ray 영상 시스템.  
Fig. 1 Medical x-ray imaging system.

디지털 X-ray 영상센서는 크게 X-ray에 의해 발생된 전자-전공쌍(EHP: electron-hole pair)을 축적하여 영상화하는 전하축적형 방식(integration type)과 입사되는 포톤의 수를 계수하여 영상화하는 포톤 계수형 방식(photon counting type)으로 나눌 수 있다[2][3]. 전하축적형 영상센서는 전자-전공쌍을 축적할 때 접합 누설 전류(junction leakage current) 노이즈, 표면 노이즈 등이 함께 축적되므로 양질의 영상을 얻기 위해서는 많은 방사선량이 필요하게 된다[4]. 반면 포톤 계수형 영상센서에서는 X-ray 검출기에 축적되는 포톤의 에너지와 문턱(threshold) 에너지가 비교된다. 만약 입사되는 에너지가 문턱 에너지 보다 높으면 계수되어 저장되고 문턱 에너지 보다 낮으면 계수되지 않는다. 이렇게 하여 문턱 에너지 이하의 노이즈는 저장하지 않으므로 포톤 계수형 영상센서는 전하 축적형 영상센서보다 상대적으로 높은 잡음을-SNR(signal-to-noise ratio)을 얻을 수 있으며 피사체가 받을 방사선의 양 또한 줄일 수 있다[5].

그림 2는 기존에 사용되는 싱글 픽셀(single pixel) 포톤 계수형 X-ray 영상 센서의 블록도이다. X-ray 영상 센서는 X-ray 검출기(detector)와 싱글 픽셀 포톤 계수기

(photon counter)로 구성되어 있고 이들 칩은 범프 본딩(bump bonding)을 통해 연결된다. X-ray 검출기의 cathode는 바이어스 전압인 VHH(high bias voltage)에 연결되어 있고 anode는 범프 본딩 노드에 연결되어 있다. 싱글 픽셀 포톤 계수기는 CSA(charge sensitive amplifier), 비교기(comparator)와 계수기(counter)로 구성되어 있다. CSA의 출력 펄스 전압인 VPREAMP와 내부에서 만들어진 VTNR(threshold voltage)을 비교하여 VPREAMP 펄스 전압이 VTNR 보다 낮을 경우에만 High에서 Low로 디지털 펄스 신호를 계수기로 보내고, 계수기 회로에서는 디지털 펄스 신호를 계수하여 디지털 코드로 출력한다[3]. 최근 싱글 픽셀 포톤 계수기 회로 설계에서 단일 전원전압(VDDA)을 사용하여 시스템을 단순화시키고 ROIC(readout IC) 외부에서 인가하던 문턱전압을 ROIC 내부에 공통전압 변화에 따라 같이 변화하는 VTNR 회로를 설계하는 기술, single branch folded cascode OP amp로 구성된 기존의 CSA를 folded cascode CMOS OP amp를 사용하여 CSA의 신호전압( $\Delta V_s$ )가 크도록 하는 기술, dark current 보상 회로를 사용하여 포토다이오드(photo diode)에서 발생하는 dark current 노이즈를 제거 하는 회로가 제안되었다[6].

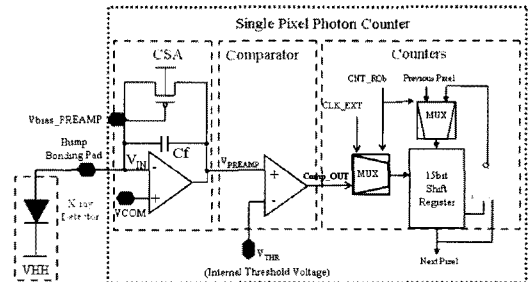


그림 2. 싱글 픽셀 포톤 계수형 영상센서 블록도.  
Fig. 2 Block diagram of the single pixel photon counting type image sensor.

기존의 싱글 픽셀 포톤 계수기에서 사용된 folded cascode CMOS OP amp를 2D 픽셀 어레이(pixel array)를 갖는 영상센서 회로에 적용하게 되면 folded cascode CMOS OP amp를 위해 전압 바이어스 회로가 각각의 픽셀마다 있어야 하므로 단위 픽셀(unit pixel)이 차지하는 레이아웃(layout) 면적이 증가하게 된다. 그리고 기존의 15bit LFSR 계수기 회로에서 계수 모드로 진입하거나 계수 모드에서 읽기 모드로 빠져나올 때 D Flip-Flop을 클

력에서 짧은 펄스의 glitch가 발생할 수 있다. 또한 2D 픽셀 어레이의 읽기 모드에서 모든 열(column)을 동시에 읽어내는 경우 최대전류(peak current)로 인해 전원선 잡음(power line noise)이 증가할 수 있다.

본 논문에서는 32×32 픽셀 어레이를 갖는 디지털 CMOS X-ray 영상센서를 설계하였으며, 픽셀마다 folded cascode CMOS OP amp용 바이어스 회로가 필요 없는 self biased folded cascode CMOS OP amp를 사용하였다. 그리고 계수 모드에서 읽기 모드로 빠져나올 때 짧은 펄스의 glitch를 없애는 클럭 발생 회로를 제안하였으며, 읽기 모드에서 32×32 CMOS X-ray 이미지 영상센서의 최대 전류를 줄이기 위하여 열 어드레스 디코더(column address decoder)를 이용하여 한 열씩 읽어낼 수 있도록 설계 하였다. 각 픽셀은 100×100 $\mu\text{m}^2$  면적을 가지는 약 400개의 트랜지스터로 구성되어 있으며, X-ray 검출기와 CSA의 연결을 위한 50×50 $\mu\text{m}^2$ 의 범프 본딩 오픈 패드를 가지고 있다.

## II. 회로설계

X-ray 검출기인 포토다이오드(photo diode)와 연결되는 영상 센서 칩은 그림 3에서 보는바와 같이 포톤 계수기가 32 행 × 32 열의 2차원으로 구성된 32×32 픽셀 어레이, 바이어스 전류와 기준전압 공급을 위한 아날로그 회로, 열 단위의 데이터를 읽어내기 위한 5bit의 열 어드레스 디코더와 각 픽셀의 계수된 데이터를 읽어내기 위한 32bit 데이터 출력 버퍼, 계수 모드와 읽기 모드에 관련된 제어 신호를 만들어 주는 제어 로직으로 구성되어 있다. 영상센서 칩에 사용된 전원전압은 3.3V와 1.8V를 사용하고 있으며, 아날로그 회로는 3.3V이고 디지털 회로는 동작 전류를 줄이고 레이아웃 면적을 줄이기 위해 1.8V 로직소자를 사용하였다.

그림 3의 32×32 픽셀 어레이는 그림 2의 싱글 픽셀 포톤 계수기로 구성되어 있으며, 각 픽셀은 X-ray 포톤에 의해 포토 다이오드의 공핍영역(depletion region) 내부에서 전자-전공쌍이 발생되고 입자 에너지에 따라 발생된 정공이 CSA의 차동 입력 단으로 인가되어 전하를 펄스 전압으로 전환되어서 신호 전압인  $\Delta V_s$ 를 출력한다. 비교기는 CSA의 출력 펄스와 VTHR을 비교하여 디지털 펄스 신호를 계수기로 보낸다.

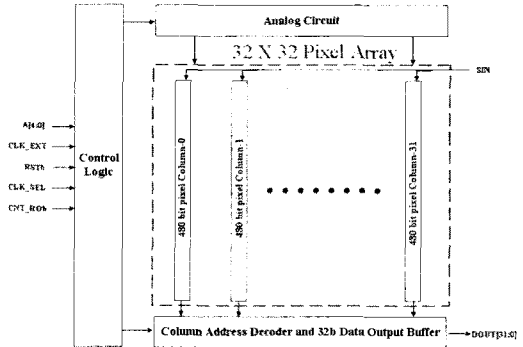


그림 3. 디지털 CMOS X-ray 영상 센서의 단순화된 블록도.

Fig. 3 Simplified block diagram of the CMOS x-ray image sensor.

그림 3의 아날로그 회로 블록에서 만들어지는 문턱 전압인 VTHR는 공통전압(VCOM) 변화에 따라 변하는 전압으로 픽셀에 맞춘 VTHR을 만들어 준다. 그림 4에서 보는바와 같이 VCOM의 기준전압인 Vref\_VCOM을 PMOS 다이오드를 이용하여 먼저 만들고, 입력 전압인 Vref\_VCOM 전압을 구동 능력이 큰 voltage follower를 이용하여 VCOM를 만들어 주게 된다. VCOM에 저항 R과 NMOS 트랜지스터 MN2와 전류원 I가 직렬로 연결되어 있어 VTHR의 출력 전압을 얻을 수 있다. 이 회로의 VTHR 전압은  $VCOM \cdot R \cdot I$ 의 출력 전압으로 만들어진다. 전류원은 기준전류발생기 회로를 이용하여 설계할 수 있다.  $\Delta V = R \cdot I$ 는 VPREAMP의 떨어지는  $\Delta V_s$ 에 따라 4bit의 외부 디지털 코드가 저항-trimmer를 거쳐 저항 R값을 결정하여 VTHR을 조정하므로 최적의 VTHR을 정할 수 있다[4].

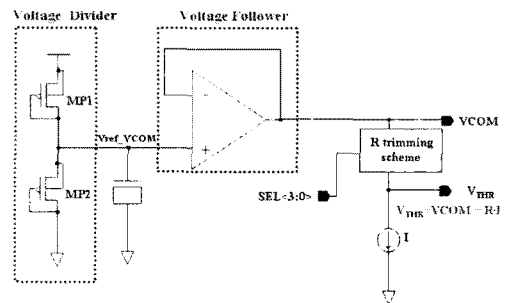


그림 4. 외부적으로 조절이 가능한 내부 문턱전압 발생기 회로도.

Fig. 4 Internal threshold voltage generator circuit tunable externally.

한편 계수기 회로에서는 디지털 펄스 신호를 계수하여 디지털 코드로 출력한다. 그림 2에서의 CSA는 negative 입력단과 VPREAMP 노드에 피드백 커패시터(Cf)와 PMOS 저항이 병렬로 연결되어 있다. 피드백 저항을 사용할 경우 CMOS 공정상에 기생 커패시턴스가 존재하여  $\Delta V_s$ 가 작고 저항이 차지하는 레이아웃 면적이 큰 단점이 있어 PMOS 트랜지스터를 이용하여 피드백 저항을 구현하였다. OP Amp의 VIN 노드 전압은 가상 그라운드(virtual ground) 개념에 의해 OP amp의 positive 입력 전압인 VCOM(=VDDA/2) 전압과 같다. 그리고 피드백 저항이 무한대인 경우 OP amp의 negative 입력 노드의 입력 전류가 0이므로 정공 전하 펄스에 의한 포토 다이오드 전류는 피드백 커패시터 Cf로 흘러 Cf에 축적되어 VPREAMP 노드에는  $-Q_s/C_f$ 의  $\Delta V_s$ 가 나타난다. 결론적으로 정공 전하 펄스는 피드백 커패시터(Cf)에 축적되고, 출력 VPREAMP는  $-Q_s/C_f$ 에 비례하는 전압 펄스로 나타나게 된다. 피드백 저항인 PMOS 저항은 피드백 커패시터 Cf와 병렬로 연결되어 있어서 출력 VPREAMP는  $\tau=C_f \cdot R_f$ 의 시정수(time constant)를 가지고 positive 입력 전압인 VCOM 레벨로 천천히 방전하게 된다[6].

CSA에 사용된 기존의 OP amp는 그림 5에서 보는바와 같이 전압 바이어스 회로를 사용한 folded cascode CMOS OP amp이다. 차동모드 소신호 전압이득이 크고 별도의 주파수 보상용 커패시터가 필요 없는 장점이 있으나, 각 픽셀마다 그림 6의 넓은 전압 스윙을 갖는 cascode current mirror 형태의 전압 바이어스 회로가 필요하므로 레이아웃 면적이 커지는 단점과 바이어스 기준 전류인 IREF가 필요한 단점이 있다.

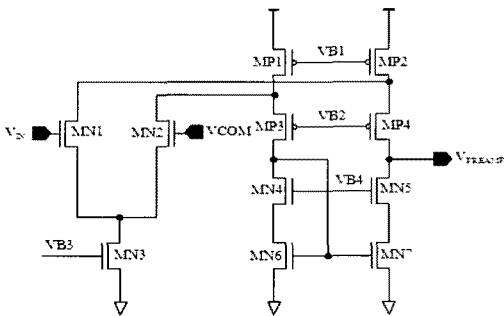


그림 5. 기존의 전압바이어스 회로를 사용한 folded cascode CMOS OP amp 회로도.  
Fig. 5 Conventional externally biased folded cascode CMOS OP Amp circuit.

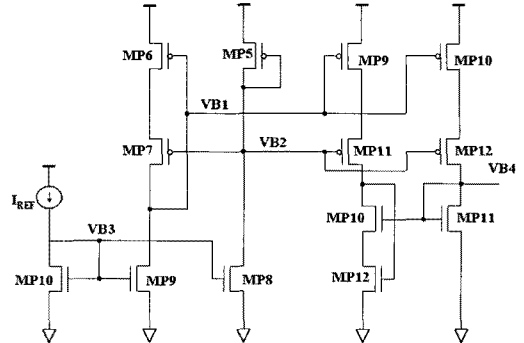


그림 6. Wide 전압 스윙을 갖는 cascode current mirror 형태의 전압 바이어스 회로도.  
Fig. 6 Voltage bias circuit of cascode current mirror type with wide voltage swing.

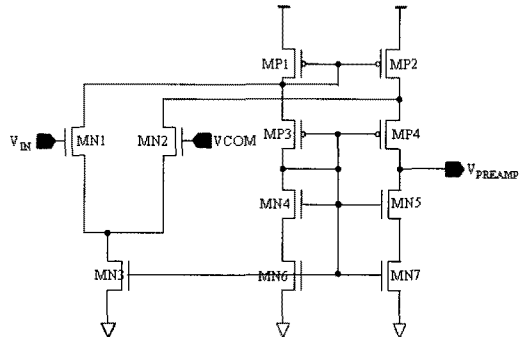


그림 7. 자체바이어스를 갖는 folded cascode CMOS OP amp 회로도.  
Fig. 7 Self-biased folded cascode CMOS OP amp circuit.

이러한 단점을 보완하기 위해 자체 바이어스를 갖는 folded cascode CMOS OP amp를 이용하여 CSA를 설계하였다.

그림 2의 비교기는 CSA의 출력 펄스 전압인 VPREAMP와 내부에서 만들어진 VTHR을 비교하여 VPREAMP 펄스 전압이 VTHR 보다 낮을 경우에만 High에서 Low로 디지털 펄스 신호를 계수기로 보낸다. 그림 8은 기존의 15bit LFSR 계수기 회로도로서 N(=15)개의 D flip-flop과 exclusive-NOR 게이트로 구성되어 있다. N bit 계수기일 경우에는 최대  $2N-1$ 까지 계수할 수 있다. LFSR 계수기는 고속 계수가 가능하며, 레이아웃 면적이 작으므로 포토 계수기로 적합하다. LFSR 계수기의 동작은 리셋 모드, 계수 모드, 읽기 모드로 구분된다[6]. 계수 모드에서 CNT\_RDb 신호가 High 상태에서 CLK\_SEL가

그림 9에서 보는바와 같이 High 상태로 되면서 LFSR 계수기는 X-ray 포톤이 포토 다이오드에 들어올 때마다 Comp\_OUT에서의 디지털 펄스가 발생하며, 이 Comp\_OUT 신호에 의해 LFSR 계수기의 클럭인 CLK\_CONV이 Low에서 High로 스위칭하면서 디지털 펄스를 계수한다. 읽기 모드에서 CNT\_RDb 신호는 Low 상태가 되어 LFSR 계수기는 Shift Register로 동작하며, 외부 클럭인 CLK\_EXT의 클럭킹에 의해 SOUT(Serial Out) 데이터가 출력된다. 그런데 기존의 15bit LFSR 계수기 회로에서는 그림 9에서 보는바와 같이 계수 모드로 진입하거나 계수 모드에서 읽기 모드로 빠져나올 때 CLK\_CONV 신호에서 짧은 펄스의 glitch가 클럭에 발생되어 계수기에 오차를 유발할 수 있다.

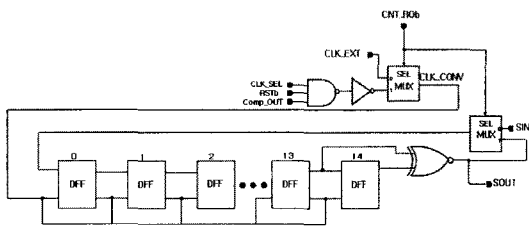


그림 8. 기존의 15bit LFSR 계수기 회로.  
Fig. 8 Conventional 15\_bit LFSR Circuit.

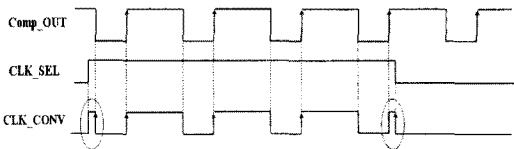


그림 9. 기존의 클럭발생 회로에서의 타이밍 다이어그램.

Fig. 9 Timing diagram of the conventional clock generator circuit.

그림 10은 새롭게 제안된 15bit LFSR 계수기 회로도를 보여주며, CLK\_SEL\_OUT 신호는 Comp\_OUT의 상승 에지에서 CLK\_SEL 신호가 High인 경우만 High가 발생되도록 D Flip-Flop을 추가하여 계수 모드로 진입하거나 계수 모드에서 읽기 모드로 빠져나올 때 CLK\_NEW 신호에서 짧은 펄스의 glitch가 발생하는 것을 방지하여 계수기가 정상적으로 계수되도록 하였다.

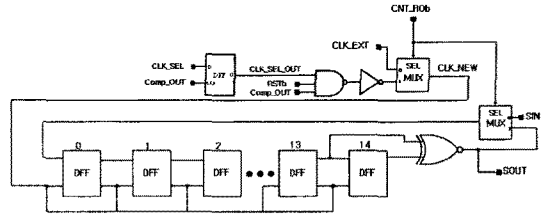


그림 10. 새롭게 제안된 LFSR 회로도.  
Fig. 10 Newly proposed LFSR circuit.

32×32 픽셀 어레이는 그림 11의 32 행 × 1 열의 픽셀 어레이가 열 방향으로 32EA 반복된 형태이다. 그림 11에서 보는바와 같이 첫 번째 행(row)에 있는 싱글 픽셀의 SOUT은 아래 행에 있는 픽셀의 SIN에 연결되어 있고 VTHR, VCOM과 VHH는 32 × 32 픽셀 어레이에 공통적으로 연결되어 있다. 그리고 RSTb, CLK\_SEL와 CNT\_ROb는 각 열마다 repeater에 의해 구동되며, CLK\_EXT는 읽기 모드 시 32개의 열을 동시에 읽어내는 경우 15360개의 D Flip-Flop이 동시에 스위칭 되므로 큰 최대 전류에 의한 전원선 잡음이 문제될 수 있어 열 어드레스인 CA[4:0]의 디코딩에 의해 선택되는 열만 클럭킹하고 선택되지 않는 열은 disable되도록 설계되었다.

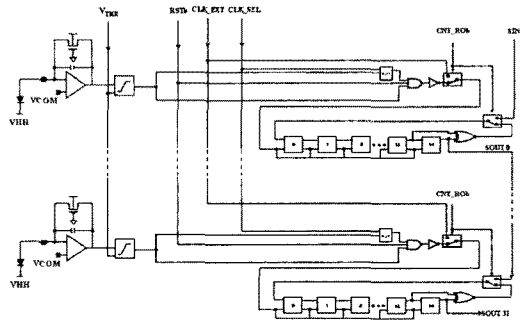


그림 11. 설계된 32 행 × 1 열 픽셀 어레이의 이미지 센서 회로도.

Fig. 11 Designed CMOS image sensor of 32 rows x 1 column pixel array.

그림 12는 설계된 32×32 픽셀 어레이를 갖는 디지털 CMOS X-ray 이미지 센서의 타이밍 다이어그램이다. 이 이미지 센서의 동작 순서는 그림 12에서 보는바와 같이 리셋 모드, DC 바이어싱 모드, 계수 모드, 읽기 모드로 구분된다. 계수 모드에서 각 픽셀의 15bit LFSR 계수기는 X-ray포톤이 포토다이오드에 들어올 때 마다 Comp\_

OUT에서의 디지털 펄스를 계수한다. 읽기 모드에서는 열 어드레스인 CA[4:0]와 CLK\_EXT의 클럭킹에 의해 15bit LFSR 계수기는 Shift Register로 동작하여 열 단위로 DATA\_OUT[31:0]을 연속적으로 읽어낸다.

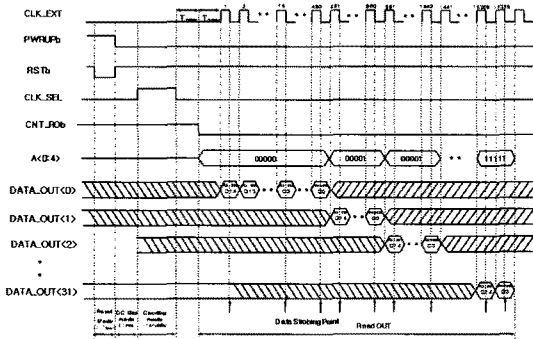


그림 12. 32×32 디지털 CMOS X-ray 이미지 센서의 타이밍 다이어그램  
Fig. 12 Timing diagram of 32×32 CMOS image sensor

### III. 모의실험 결과

설계된 CSA는 SPICE를 이용하여 모의실험 하였다. X-ray 광자의 입자에너지가 60KeV인 경우 신호 전하는 2.652fC이 되고 이때 CSA의 VIN에 들어오는 전하의 개수는 대략 16,000 정공이다. 신호전압(ΔVs)를 계산하면 식(1)이 된다[6].

$$\Delta V_s = -\frac{Q_s}{C_f} = \frac{2.652[fC]}{17.5[fF]} = 151[mV] \quad (1)$$

CSA에 2.652fC의 정공 전하를 입사 (injection)하기 위해서는 VIN 노드에 펄스 폭(t)이 3.84ns이고 전류 I가 690nA인 전류원을 연결하면 된다. 표 1은 전압바이어스 회로를 사용한 folded cascode OP amp와 자체바이어스를 갖는 folded cascode CMOS OP amp의 60KeV X-ray 입자 에너지에 대한 VPREAMP의 ΔVs를 비교한 것이다. 자체바이어스를 갖는 folded cascode CMOS OP amp의 경우 전압바이어스 회로를 사용한 folded cascode CMOS OP amp보다 VPREAMP의 ΔVs가 11mV 크게 나왔으며, 싱글 픽셀에서 전압바이어스 회로를 제거하므로 레이아웃 면적을 줄일 수 있다.

표 1. 모의 실험한 OP amplifier 종류별 ΔVs.  
Table. 1 Simulated ΔVs using different types of OP Amp.

OP Amplifier Type	ΔVs[mV]
Ideal OP Amp	151
Folded Cascode CMOS OP Amp using Voltage Bias Circuit	109
Self biased Folded Cascode CMOS OP Amp	121

그림 13은 X-ray 광자의 입자에너지가 10KeV부터 170KeV가 입사 되었을 때 CSA의 출력 전압인 VPREAMP의 ΔVs를 보여주고 있으며, 입사된 X-ray 에너지에 대한 ΔVs의 좋은 선형성을 보여준다.

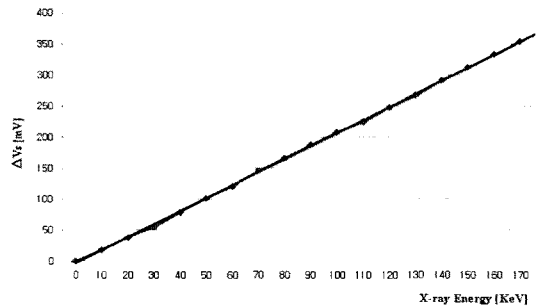


그림 13. X-ray Photon의 에너지에 대한 CSA의 ΔVs의 모의실험 결과.

Fig. 13 Simulation result of x-ray energy vs signal voltage(ΔVs) of CSA.

그림 14는 15bit LFSR 계수기에 사용된 기존의 CLK\_CONV와 새롭게 제안된 CLK\_NEW의 모의 실험 결과를 보여준다. 계수 모드로 진입하거나 계수 모드에서 읽기 모드로 빠져나올 때 CLK\_NEW 신호에서 짧은 펄스의 glitch가 발생하지 않는 것을 확인할 수 있다.

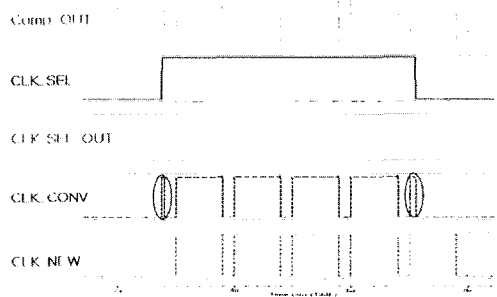


그림 14. 제안된 CLK 발생 회로의 모의실험 결과.  
Fig. 14 Simulation result of proposed clock generator circuit.

그림 15는 동부 0.18 $\mu\text{m}$  6 Metal triple-well CMOS 공정을 이용하여 설계된 싱글픽셀 포토 계수기의 레이아웃이다. 싱글 픽셀의 면적은 100×100 $\mu\text{m}^2$ 이며, 약 400개의 트랜지스터를 가지고 있다. 그리고 50×50 $\mu\text{m}^2$ 의 면적을 가지는 범프 본딩 패드를 포함하고 있다. 그림 16은 32×32 픽셀 어레이를 갖는 디지털 CMOS X-ray 영상센서의 레이아웃 이미지를 보여준다.



그림 15. 설계된 싱글픽셀 포토 계수기의 레이아웃 사진.  
Fig. 15 Layout plot of designed image sensor of single pixel photon counter type.

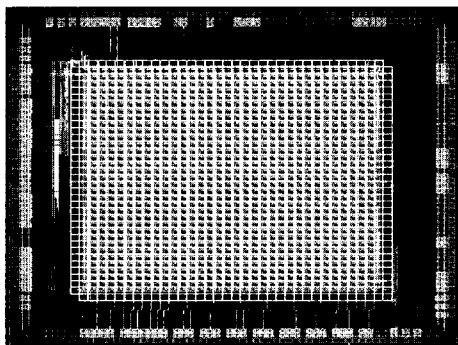


그림 16. 설계된 32 × 32 픽셀 어레이를 갖는 CMOS X-ray 영상 센서의 layout plot.  
Fig. 16 Layout plot of designed single photon counting CMOS image sensor of 32x32 pixel array.

## V. 결 론

본 논문에서는 디지털 의료 영상 및 진단 분야 그리고 산업용으로도 활용 가능한 32×32 픽셀 어레이를 갖는 디지털 CMOS X-ray 영상센서를 설계하였다. 싱글 픽셀

에서 넓은 전압 스윙을 갖는 cascode current mirror 형태의 전압 바이어스 회로를 필요로 하는 folded cascode CMOS OP amp 대신 전압 바이어스 회로가 필요 없는 self biased folded cascode CMOS OP amp를 사용하므로 싱글 픽셀의 레이아웃 면적을 줄였으며, CSA의 신호전압은 증가하였다. 그리고 계수 모드에서 읽기 모드로 빠져나올 때 짧은 펄스의 glitch를 없애는 클럭 발생 회로를 제안하였으며, 읽기 모드에서 32×32 CMOS X-ray 이미지 영상센서의 최대 전류를 줄이기 위하여 열 어드레스 디코더를 이용하여 한 열씩 읽어낼 수 있도록 설계 하였다.

## 감사의 글

This research was supported in part by the Ministry of Health and Welfare, and supported by the MOCIE (Ministry of Commerce, Industry and Energy), Korea under the IDEC Support Program(MPW,CAD) and Dongbu Electronics Co. Ltd.

## 참고문헌

- [1] 지은미, 김근섭, 이재호 et al., "의료영상 정보 시스템," 대한전자공학회지, 제20권 6호, pp. 701-716, 1993년 6월.
- [2] B. Mikulec, et al., "Characterisation of a single photon counting pixel system for imaging of low-contrast objects," Nucl. Instr. and Meth., A 458, pp. 352-359, 2001.
- [3] Fredrick Edling, "A pixel readout chip for medical X-ray imaging," Licentiate Thesis, Uppsala Univ., 2003.
- [4] Gyu-Ho Lim et al., "A CMOS Bandgap Reference Voltage/Current Bias Generator and its Responses for Temperature and Radiation," 대한전자공학회학계 학술대회, 26권 1호, pp. 1093-1096, 2003년 7월.
- [5] Tom Francke et al., "Dose reduction in medical X-ray imaging using noise free photon counting," Nucl. Instr. and Meth., A 471, pp. 85-87, 2001.
- [6] 김태호, 김영희 et al., "X-ray 이미지 센서용 싱글 픽셀 포토 카운터 설계", 한국해양정보통신학회논문지, 11권 2호, pp. 322-329, 2007년 2월.

저자소개



성 관 영(Kwan-Young Sung)

1986.2. 경남대학교 전기공학과 공학사  
 2000.2 부산대학교 지능기계시스템  
 공학과 공학석사  
 2006.3~현재 창원대학교 신소재.

나노공학과정 박사과정

※관심분야: CMOS 이미지 센서설계, 전자파계측기  
 술, SoC 설계



김 태 호(Ho-Tea Kim)

2006.2 창원대학교 전자공학과공학사  
 2008.2 창원대학교 전자공학과 공학  
 석사

※관심분야: X-ray Image Sensor 설계



황 윤 금(Yoon-Guem Hwang)

2007.2 창원대학교 전자공학과공학사  
 2007.3~현재 창원대학교 전자공학과  
 공학석사

※관심분야: X-ray Image Sensor 설계



전 성 체(Sung chae-Jeon)

1995.2 창원대학교 전자공학과공학사  
 1972.2 창원대학교 전자공학과공학  
 석사  
 2006.8 한국과학기술원 원자력 및

양자공학과공학박사

1997.9~1999.2 한국전기연구원 위촉연구원

2005.3~현재 한국전기연구원 선임연구원

※관심분야: X-ray Image Sensor 설계



진 승 오(Seung-Oh Jin)

1996.2 창원대학교 전기공학과공학사  
 1998.2 창원대학교 전기공학과 공학  
 석사

1998.2~2003.2 한국전기연구원연구원

2003.3~현재 한국전기연구원 선임연구원

※관심분야: X-ray Image Sensor 설계



허 영(Huh Young)

1980.2 한양대학교 전자통신공학사

1985.8 한양대학교 영상신호처리  
 공학석사

1995.8 The University of Texas 공학박사

1987~ 현재 한국전기연구원 랩장

2004. 11 ~ 2005.5 보건복지부 의료기기 위원회 분과위  
 원장

2004. 4 ~ 현재 고령화 및 미래사회위원회 고령친화산  
 업 공동연구자

2006. 7 ~ 현재 의료기기산업기술 로드맵 자필위원

※관심분야: Solid state 방사선 센서 설계



하 판 봉(Pan-Bong Ha)

1981.2 부산대학교 전기공학과 공학사

1983.2 서울대학교 전자공학과 공학  
 석사

1993.2 서울대학교 전자공학과 공학  
 박사

1987.3~현재 창원대학교 전자공학과 교수

※관심분야: 임베디드 시스템, SoC 설계



박 무 훈(Mu-Hun Park)

1991.2 경북대학교 전자공학과공학사

1993.3 동북대학교 전기통신공학 연  
 구과 공학석사

1996.3 동북대학교 전기통신공학연구과 공학박사

1998.8~현재 창원대학교 전자공학과 교수

※관심분야: 초음파 신호처리, 영상신호처리,  
 가상현실, SoC 설계

김 영 희(Young-Hee Kim)



1989.2 경북대학교 전자공학과 공학사

1997.2 포항공대 전자전기공학과  
 공학석사

2000.8 포항공대 전자전기공학과  
 공학박사

1989.1~2001.2 현대전자 메모리연구소 책임연구원

2001.3~현재 창원대학교 전자공학과 교수

※관심분야: 저전압/저전력/고속 메모리 설계,  
 LCD 구동 칩 설계, CMOS 이미지 센서 설계,  
 RFID 태그 칩 설계