
동기식 256-bit OTP 메모리 설계

이용진*, 김태훈*, 심외용*, 박무훈*, 하판봉*, 김영희*

Design of Synchronous 256-bit OTP Memory

Long-Zhen Li*, Tae-Hoon Kim*, Oe-Yong Shim*, Mu-Hun Park*, Pan-Bong Ha*, Young-Hee Kim*

요 약

본 논문에서는 자동차 전장용 Power IC, 디스플레이 구동 칩, CMOS 이미지 센서 등의 응용분야에서 필요로 하는 동기식 256-bit OTP(one-time programmable) 메모리를 설계하였다. 동기식 256-bit OTP 메모리의 셀은 고전압 차단 트랜지스터 없이 안티퓨즈인 NMOS 커패시터와 액세스 트랜지스터로 구성되어 있다. 기존의 3 종류의 전원 전압을 사용하는 대신 로직 전원 전압인 VDD(=1.5V)와 외부 프로그램 전압인 VPPE(=5.5V)를 사용하므로 부가적인 차단 트랜지스터의 게이트 바이어스 전압 회로를 제거하였다. 그리고 프로그램 시 전류 제한 없이 전압 구동을 하는 경우 안티퓨즈의 ON 저항 값과 공정 변동에 따라 프로그램 할 셀의 부하 전류가 증가한다. 그러므로 프로그램 전압은 VPP 전원 선에서의 저항성 전압 감소로 인해 상대적으로 증가하는 문제가 있다. 그래서 본 논문에서는 전압 구동 대신 전류 구동방식을 사용하여 OTP 셀을 프로그램 할 때 일정한 부하전류가 흐르게 한다. 그래서 웨이퍼 측정 결과 VPPE 전압은 5.9V에서 5.5V로 0.4V 정도 낮출 수 있도록 하였다. 또한 기존의 전류 감지 증폭기 대신 Clocked 인버터를 사용한 감지 증폭기를 사용하여 회로를 단순화시켰다. 동기식 256-bit OTP IP는 매그나칩 반도체 0.13 μm 공정을 이용하여 설계하였으며, 레이아웃 면적은 298.4 \times 314 μm^2 이다.

ABSTRACT

In this paper is designed a 256-bit synchronous OTP(one-time programmable) memory required in application fields such as automobile appliance power ICs, display ICs, and CMOS image sensors. A 256-bit synchronous memory cell consists of NMOS capacitor as antifuse and access transistor without a high-voltage blocking transistor. A gate bias voltage circuit for the additional blocking transistor is removed since logic supply voltage VDD(=1.5V) and external program voltage VPPE(=5.5V) are used instead of conventional three supply voltages. And loading current of cell to be programmed increases according to RON(on resistance) of the antifuse and process variation in case of the voltage driving without current constraint in programming. Therefore, there is a problem that program voltage can be increased relatively due to resistive voltage drop on supply voltage VPP. And so loading current can be made to flow constantly by using the current driving method instead of the voltage driving counterpart in programming. Therefore, program voltage VPP can be lowered from 5.9V to 5.5V when measurement is done on the manufactured wafer. And the sense amplifier circuit is simplified by using the sense amplifier of clocked inverter type instead of the conventional current sense amplifier. The synchronous OTP of 256 bits is designed with Magnachip 0.13 μm CMOS process. The layout area is 298.4 \times 314 μm^2 .

키워드

synchronous OTP, antifuse, sense amplifier, current driving

I. 서론

일반적으로 자동차 전장 부품, 모바일 부품 등에 사용되는 MCU, Power IC, 디스플레이 구동 칩, CMOS 이미지 센서 등에 사용되는 프로그램 메모리는 EPROM, EEPROM, 플래시 메모리와 같은 비휘발성 메모리이다. 그러나 이들 비휘발성 메모리는 긴 공정 TAT(turn-around time), 복잡도의 증가, 낮은 신뢰성, 높은 제조 비용을 유발하는 부가적인 공정을 필요로 한다[1]. 그래서 저면적이고 추가 공정이 필요 없는 OTP 메모리가 많이 사용되고 있다. OTP 메모리는 퓨즈(fuse)를 선택적으로 끊어주거나 안티퓨즈(antifuse)를 선택적으로 연결하여 원하는 데이터를 한 번만 프로그램 할 수 있으며, 부가적인 공정 없이 CMOS 로직 공정으로 설계가 가능하다. 퓨즈 방식보다는 안티퓨즈 방식이 제조 공정상 충분히 신뢰할만하다[1]. 안티퓨즈 방식의 OTP 셀은 얇은 게이트 산화막(gate oxide)에 항복전압(breakdown voltage)보다 높은 전압을 인가하여 전기적으로 단락시켜 프로그램하게 된다.

기존의 OTP 셀은 three-transistor 셀[1]과 two-transistor 셀[2]이 있다. Three-transistor OTP 셀은 그림 1(a)에서와 같이 안티퓨즈 형태의 얇은 게이트 산화막을 갖는 NMOS 커패시터와 HV(high-voltage) 차단(blocking) 트랜지스터, 액세스(access) 트랜지스터로 구성된다. 프로그램 모드 시 안티퓨즈인 NMOS 커패시터의 게이트 전압은 $V_{PPE}(=6V)$ 의 높은 전압이 인가되고 HV 차단 트랜지스터의 게이트 노드에는 V_{G-BT} 전압, 선택된 WL(word-line)에는 VDD 전압을 인가하고 BL(bit-line)에는 0V의 전압을 인가한다. 이렇게 인가하면 안티퓨즈인 NMOS 커패시터의 게이트 산화막에는 항복 전압 이상의 높은 전압이 걸려 절연 파괴되면서 전기적으로 단락된다. 그림 1(b)는 프로그램된 셀의 동작회로를 보여준다. 그런데 기존의 OTP 셀은 이미 프로그램된 셀의 경우 WL과 BL은 0V이고 셀 액세스 트랜지스터에 VPP 전압이 인가되므로 GIDL(gate-induced drain leakage) 현상에 의한 누설 전류(leakage current)가 흐를 수 있다. 그래서 그림 1(a)의 회로는 누설 전류를 줄이기 위해 HV 차단 트랜지스터와 그림 2의 VG_BT 바이어스 회로가 부가적으로 필요하므로 레이아웃 면적이 커지는 단점이 있다.

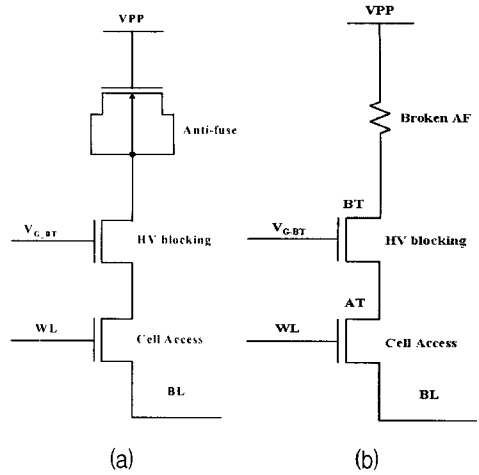


그림 1. (a) 기존의 three-transistor OTP 메모리 셀 회로 (b) 프로그램된 three-transistor OTP 메모리 셀 회로
Fig. 1. (a) Conventional three-transistor OTP cell circuit and (b) programmed three-transistor OTP cell circuit

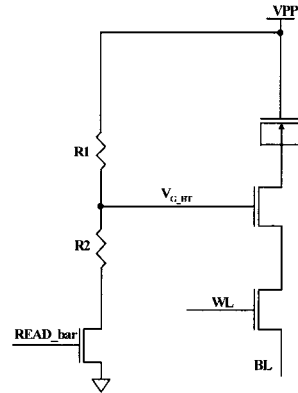
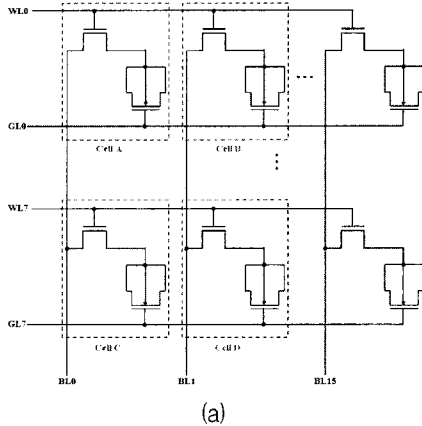


그림 2. VG-BT 바이어스 회로
Fig. 2. VG-BT bias circuit

그림 3(a)는 기존의 two-transistor OTP 메모리의 셀 배열을 보여준 것이고, 그림 3(b)은 셀의 동작 모드별 노드 전압을 나타낸 것이다[2]. 프로그램 모드 시 선택되어진 셀의 경우 WL에 $V_{PP}/2(=3.5V)$ 전압을 인가하고 GL(gate line)에 $V_{PP}(=7V)$ 전압, BL에 0V를 인가하여 안티퓨즈의 게이트 산화막을 파괴한다. 프로그램 모드 시 선택되지 않은 OTP 셀의 경우 WL에는 0V를 인가하고 GL에 $V_{PP}/2$ 전압을 인가한 상태에서 BL을 플로팅(floating)시키면 게이트 산화막은 파괴되지 않게 된다. 읽기 모드 시 모든 GL에 VDD($=1.8V$) 전압을 인가하고 선택된 WL에

는 VDD 전압을 인가하여 전류 센싱 회로를 통해 데이터를 출력한다. 그리고 선택되지 않은 WL에는 0V가 인가되어 OTP 셀은 BL으로부터 격리된다.



Program	Cell A	Cell B	Cell C	Cell D
GL0	VPP(7V)	VPP(7V)	-	-
WL0	VPP/2(3.5V)	VPP/2(3.5V)	-	-
GL7	-	-	VPP/2(3.5V)	VPP/2(3.5V)
WL7	-	-	0V	0V
BL0	0V	-	0V	-
BL15	-	Floating	-	Floating
AF	Programmed	Unprogrammed	Unprogrammed	Unprogrammed
Read	Cell A	Cell B	Cell C	Cell D
GL0	VDD(1.8V)	VDD(1.8V)	-	-
WL0	VDD(1.8V)	VDD(1.8V)	-	-
GL7	-	-	VDD(1.8V)	VDD(1.8V)
WL7	-	-	0V	0V
BL0	0V	-	0V	-
BL15	-	Floating	-	Floating
AF	Sensed	Not-sensed	Not-sensed	Not-sensed

(b)

그림 3. (a) 기존의 two-transistor OTP 셀 어레이 (b) 셀의 동작모드에 따른 노드별 바이어스 전압
Fig. 3. (a) Conventional two-transistor OTP cell array and (b) bias voltage of each node for various operation modes

기존의 two-transistor OTP 셀을 이용한 8×16 어레이를 갖는 OTP 메모리는 프로그램 시에 GL에 VPP 전압 또는 VPP/2 전압을 인가해야 하고 읽기 모드 시에는 VDD 전압을 인가해야 하므로 VPP, VPP/2, VDD 세 종류의 전원 전압을 필요로 한다. 그리고 OTP 메모리 용량이 증가하게 되면 OTP 셀 어레이가 8 행(rows)보다 증가해서 그림 4(a)의 게이트 바이어스 스위치 회로가 추가되어 레이아웃 면적이 증가하는 단점이 있다. 또한 그림 4(b)의 전류

센싱 회로를 이용하여 BL에 흐르는 pull-down 전류와 Vbias(bias voltage)로 바이어스된 NMOS 트랜지스터의 pull-up 전류를 비교하여 데이터를 출력하므로 Vbias 회로가 추가적으로 필요하다.

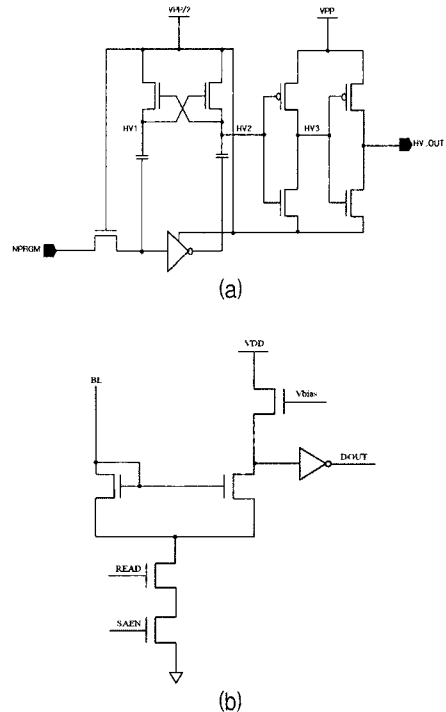


그림 4. (a) 기존의 게이트 바이어스 스위치 회로 (b) 기존의 전류 센싱 회로
Fig. 4. (a) Conventional gate bias switch circuit and (b) conventional current sensing circuit

본 논문에서는 two-transistor OTP 셀을 사용한 동기식 256-bit OTP 메모리를 설계하였다. OTP 셀은 HV 차단 트랜지스터 없이 안티퓨즈인 NMOS 커패시터와 액세스 트랜지스터로 구성되어 있다. 기존에 3 종류의 전원 전압 사용하는 대신 로직 전압원인 VDD와 외부 프로그램 전압인 VPPE(external program voltage)를 사용하였으며, 부가적인 차단 트랜지스터의 게이트 바이어스 회로를 제거하였다. 그리고 프로그램 시 전류 제한 없이 전압 구동을 하는 경우 안티퓨즈 ON 저항 값과 공정 변동에 따라 프로그램 할 셀의 부하 전류가 증가한다. 그러므로 프로그램 전압은 VPP 전원 선에서의 저항성 전압 감소와 VPP PMOS 스위치에서의 전압 감소로 인해 전압 구동방

식에 비해 상대적으로 높아지는 문제가 있다. 그래서 본 논문에서는 OTP 셀을 프로그램 할 때 전압 구동 대신 전류 구동방식을 사용하여 공정이 변하더라도 항상 일정한 부하전류가 흐르게 하므로 VPP 전압을 낮추는 방식을 새롭게 제안하였다. 설계된 OTP 메모리는 바이트(byte) 단위로 프로그램 되고 바이트 단위로 읽기 동작을 수행한다. 그리고 전류 감지 증폭기 대신 clocked 인버터(inverter)를 사용한 감지 증폭기를 사용하였다. 동기식 256-bit OTP 메모리는 매그나칩 반도체 0.13 μ m 공정을 이용하여 제작하였으며, 레이아웃 면적은 298.4 \times 314 μ m²이다. 웨이퍼 측정 결과 VPPE 전압은 전압 구동 방식이 5.9V인 반면, 전류 구동 방식의 OTP 메모리는 5.5V로 낮출 수 있었다.

II. 회로 설계

설계된 동기식 256-bit OTP 메모리의 주요 특징은 표 1과 같다. 256-bit OTP 메모리의 셀 어레이(cell array)는 32행(rows) \times 8열(columns)로 구성되어 있으며, 필요한 전원전압은 로직 전압인 VDD(=1.5V)와 프로그램 전압인 VPPE(=5.5V)가 사용된다. 동작 모드는 프로그램, 읽기 모드와 대기 모드가 지원되며, CLK(clock)에 동기화되어 동작하는 동기식 OTP 메모리이다.

동기식 256-bit OTP 메모리는 그림 5의 블록도에서 보는바와 같이 32행 \times 8열의 OTP 셀 어레이, VPP 스위칭 회로, 어드레스 A[4:0]를 디코딩하여 32개 WL 중 하나를 선택해주는 행 디코더, WD(write data) 구동회로와 RD S/A(read data sense amplifier), 제어신호(CLK, CKE, Web, REb, PGMb, RSTb)에 따라 프로그램과 읽기 모드에 적합한 내부 제어신호를 공급하는 제어 로직으로 구성되어 있다. WD 구동회로는 프로그램 모드인 경우 DIN[7:0]의 입력 데이터를 SL(source line)인 SL[7:0]을 통해 OTP 셀에 구동하는 회로이다. 그리고 RD S/A는 읽기 모드에서 OTP 셀의 안티퓨즈를 프로그램한 유·무에 따라 BL(bit-line)인 BL[7:0]을 통해 나오는 데이터를 센싱 하여 DOUT[7:0]으로 출력하는 회로이다. 그리고 VPP 스위칭 회로는 동작 모드에 따라 내부 프로그램 전압인 VPP가 프로그램 모드에서는 VPPE 전압, 읽기 모드에서는 VDD 전압을 공급해 주도록 스위칭 된다.

표 1. 동기식 256-bit OTP 메모리의 주요 특징
Table 1. Major specifications of the synchronous OTP memory of 256 bits

항목	주요 특징	
공정	매그나칩 반도체 0.13 μ m	
메모리 용량	256 bits(32행 \times 8열)	
전원 전압	VDD	1.5V
	VPPE	5.5V
온도	-50~100 $^{\circ}$ C	
동작 모드	프로그램/읽기/대기 모드	
클럭 주파수	500KHz	

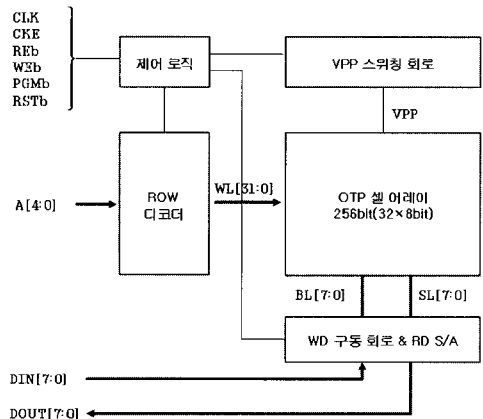


그림 5. 동기식 256-bit OTP 메모리의 블록도
Fig. 5. Block diagram of 256-bit synchronous OTP memory

설계된 OTP 셀은 그림 6(a)의 회로도도 같이 안티퓨즈인 1.5V의 LV(low-voltage) NMOS 커패시터와 5V의 두꺼운 게이트 산화막을 갖는 MV(medium-voltage) NMOS 액세스 트랜지스터로 구성되어 있다. 그림 6(b)는 OTP 셀의 레이아웃 이미지를 보여주고 있으며, NMOS 액세스 트랜지스터의 게이트 노드는 WL에 연결되어 있고, 소오스 노는 BL에 연결되어 있고 드레인 노드는 NMOS 커패시터의 bottom 노드에 연결되어 있다. 그리고 NMOS 커패시터의 게이트 노드는 SL에 연결되어 있다.

표 2에서의 동작 모드별 OTP 셀 노드에서의 바이어스 전압 표에서 보는바와 같이 프로그램이나 읽기 모드에서 선택된 WL은 VPP로 활성화(activation)된다. 그리고 선택되지 않은 WL은 0V를 유지하므로 OTP 셀 커패

시터는 BL으로부터 격리된다. 프로그램 모드에서 OTP 셀을 프로그램하기 위해서는 BL을 0V로 유지한 상태에서 SL에 VPP 전압을 인가하면 NMOS 커패시터 양단에 항복 전압 이상의 전압이 걸리면서 과전류에 의해 커패시터는 전기적으로 단락 상태가 된다. 만약 프로그램 되지 않는 셀인 경우 SL을 플로팅 상태로 두면 안티퓨즈는 절연 상태의 개방(open) 상태가 된다. 설계된 OTP 메모리에서 프로그램된 셀은 DIN이 로직 '0'이 인가된 경우이고 프로그램되지 않은 셀은 DIN이 로직 '1'이 인가된 경우이다. 기존의 three-transistor OTP 셀은 프로그램 모드에서 먼저 프로그램된 셀에서 NMOS 액세스 트랜지스터의 게이트 전압이 0V, SL 전압이 0V, 드레인 노드 전압이 VPP인 경우 GIDL 현상에 의한 누설 전류를 줄이기 위해 HV 차단 트랜지스터를 사용하였다. 그러나 본 논문에서는 5V의 MV 트랜지스터인 경우 누설 전류가 10pA 정도로 무시할 만큼 작아 차단 트랜지스터를 제거하였다. 그리고 읽기 모드에서는 BL을 VDD 전압으로 프리차지(precharge)시킨 뒤 높은 임피던스의 PMOS pull-up 부하 트랜지스터를 ON시키면서 WL을 VDD 전압으로 활성화시킨다. 만약 안티퓨즈가 프로그램된 셀의 경우 단락된 NMOS 커패시터를 통해 SL으로 전류 경로가 제공되어 BL은 0V로 방전되어 DOUT은 로직 '0'가 출력된다. 한편 프로그램되지 않은 셀은 NMOS 커패시터가 개방 상태이므로 전류경로가 차단되어 BL은 VDD로 프리차지된 상태를 유지하므로 DOUT은 표 2에서 보는바와 같이 로직 '1'이 출력된다.

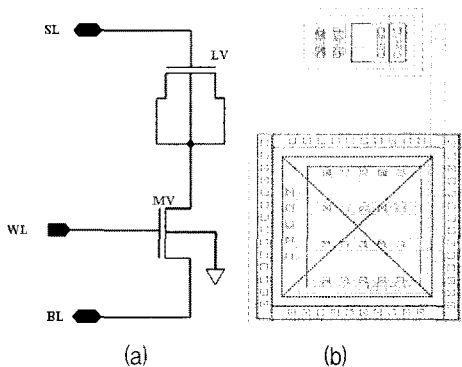


그림 6. (a) 설계된 OTP 셀 회로도
(b) 레이아웃 이미지
Fig. 6. (a) Designed OTP cell circuit and
(b) its layout image

표 2. 동작 모드별 OTP 셀 노드의 바이어스 전압 조건.
Table 2. Bias voltage conditions for various operation modes of a OTP cell node.

	프로그램 모드		읽기 모드	
VPP	VPPE		VDD	
WL	VPP		VPP	
DIN	0	1	-	-
SL	VPP	Floating	0V	0V
BL	0V	0V	0V	VDD-VTN
DOUT	-	-	0	1
안티퓨즈	Broken	Unbroken	Broken	Unbroken

그림 7은 동작 모드에 따라 VPPE 또는 VDD 전압을 선택해 주는 전원 스위칭 회로이다. VPP 전원 스위칭 회로에서 VPP는 프로그램 모드와 읽기 모드에서 각각 VPPE와 VDD 전압을 구동한다.

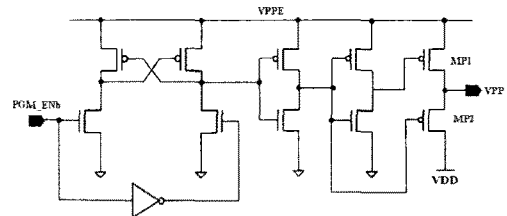


그림 7. VPP 스위칭 회로
Fig. 7. VPP switching circuit

그림 8(a)의 WL 구동 회로는 프로그램 모드나 읽기 모드로 진입하게 되면 CELLACC 신호가 로직 '1'로 된다. CELLACC 신호가 로직 '1'이 되면 행 어드레스인 A[4:0]를 디코딩하여 선택되는 WL만 VPP로 구동되고 선택되지 않은 WL은 0V를 유지하도록 한다. 그림 8(b)의 SL 구동 회로는 프로그램 모드에서 안티퓨즈인 NMOS 커패시터 양단에 VPP 전압을 공급한다. DIN이 로직 '0'인 경우 SL에 VPP(=5.5V) 전압을 공급하고, DIN이 로직 '1'인 경우 SL을 플로팅 상태로 둔다. 그리고 읽기 모드에서는 PGM_ENB 신호가 로직 '1' 상태이므로 SL은 0V를 구동하도록 한다.

프로그램 모드에서 BL을 전압 구동 방식을 이용하여 0V로 구동하는 경우 파괴된 안티퓨즈의 RON(ON resistance)과 공정 변동에 따라 프로그램 할 셀의 부하 전류가 증가한다.

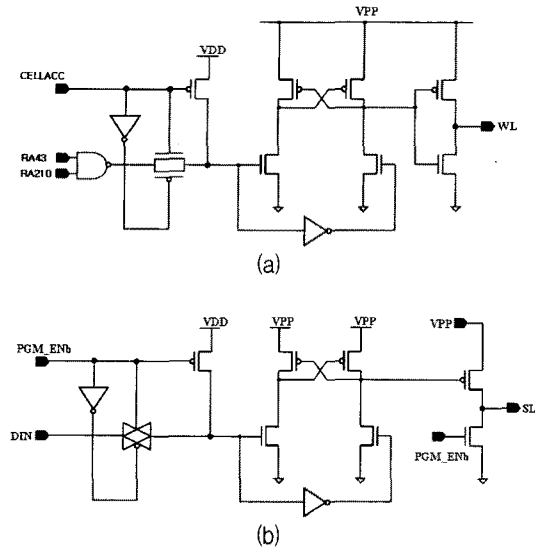


그림 8. (a) WL 구동 회로 (b) SL 구동 회로
Fig. 8. (a) WL driving circuit and (b) SL driving circuit

그래서 VPP 전원 선의 저항성 전압 감소와 VPP PMOS 스위치에서의 전압 감소로 인해 정상적인 프로그램을 위해서는 VPPE 전압이 상대적으로 높아지는 문제가 있다. 그래서 본 논문에서는 그림 9에서 보는바와 같이 프로그램 모드에서 RDEN이 0V가 되어 MN1 스위치를 OFF시킨 상태에서 전압 구동 대신 바이어스 전류인 IBIAS(=1mA)를 전류 미러링(mirroring)시켜 BL을 구동하였다. 전류 구동 방식을 사용하므로 OTP 셀을 프로그램 할 때 흐르는 부하전류는 공정 변동이나 안티퓨즈의 RON 저항에 무관하게 일정하게 흐른다. 그래서 1 바이트인 8개 OTP 셀이 동시에 프로그램 되는 경우를 가정하면 VPPE에서 공급해야 하는 최대 구동 전류 IVPP는 식(1)에 의해 8mA로 일정하므로 전류 구동 방식이 전압 구동방식보다 VPP 전압을 낮출 수 있다.

$$IVPPE = IBIAS \times \text{프로그램 되는 셀 수} \quad (1)$$

설계된 OTP 메모리는 바이트 단위로 프로그램 되고 바이트 단위로 읽기 동작을 수행한다. 읽기 모드에서는 그림 4(b)의 VBIAS를 이용한 전류 감지 증폭기 대신 그림 9의 clocked 인버터 형태의 감지 증폭기[3]를 사용하여 회로를 단순화시켰다. 읽기 모드에서 MN1 스위치는 ON되어 BL과 DLINE은 전기적으로 연결되며, WL이 활성화되기 이전에 짧은 펄스의 PRECHARGE 신호에 의

해 MP0와 MP1이 ON되어 DLINE과 BL은 모두 VDD 전압으로 프리차징된다. WL이 활성화되면서 로직 '1'로 프로그램된 셀에 연결된 DLINE은 VDD 전압을 유지하는 반면, 로직 '0'로 프로그램된 셀은 안티퓨즈가 단락되어 있으므로 DLINE을 0V로 방전시킨다. DLINE에 읽기 데이터가 충분히 전달된 뒤 SAENb(Sense Amplifier Enable) 신호가 0V로 활성화되면 clocked 인버터 형태의 감지 증폭기는 DLINE의 VDD 또는 0V를 센싱하여 DOUT으로 읽은 데이터를 출력한다. 높은 임피던스를 갖는 PMOS 부하 트랜지스터 MP2는 WL이 선택되어 있는 동안 ON되어 DLINE을 VDD로 pull-up시키는 부하로 작용한다. 그래서 '1' 데이터를 읽는 경우 OFF된 액세스 트랜지스터의 누설 전류에 의해 DLINE이 방전되지 않도록 한다.

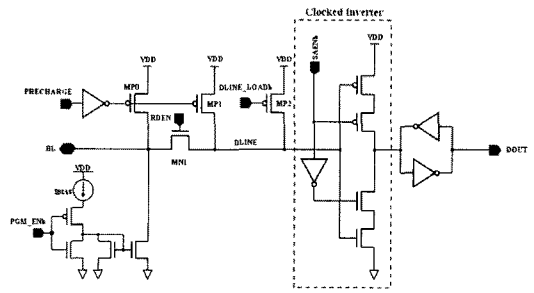


그림 9. Clocked 인버터 형태의 감지 증폭기
Fig. 9. Sens amplifier of clocked inverter type

III. 모의실험 및 측정 결과

본 논문에서는 0.13μm CMOS 공정을 이용하여 동기식 256-bit OTP 메모리를 설계하였다. 그림 10은 읽기 모드에서 OTP 메모리로 들어오는 제어신호(CLK, REb), 그림 5의 제어 로직에서 나오는 PRECHARGE, DLINE_LOADb, SAENb 신호의 타이밍 다이어그램을 보여주고 있다. 읽기 명령어(read command)가 들어오면 그림 10에서 보는바와 같이 PRECHARGE 신호에 의해 DLINE과 BL은 VDD 전압으로 프리차지 된다. BL이 프리차지된 후 WL이 활성화되면서 셀의 데이터가 BL에 전달되면 SAENb 신호에 의해 DLINE의 데이터가 BL S/A에 의해 센싱되어 DOUT 노드로 출력된다. 그림 10(a)는 '0'로 프로그램된 셀이고, 그림 10(b)는 '1'로 프로그램된 셀의 모의실험 결과를 보여주고 있다.

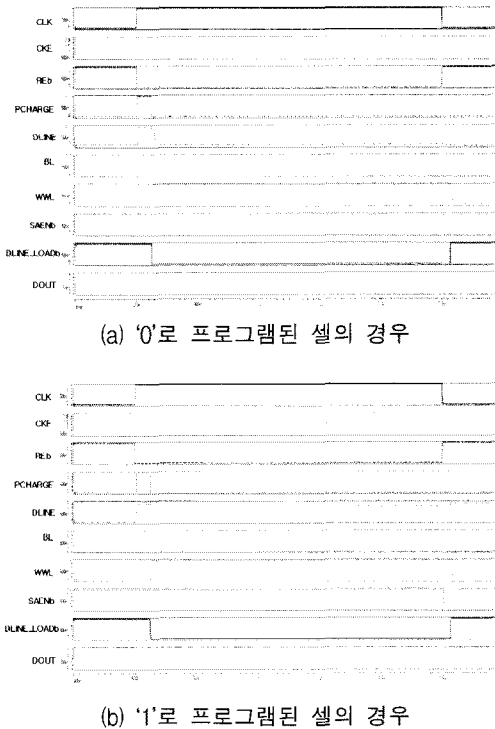


그림 10. 읽기 모드에서의 모의실험 결과
 Fig. 10. Simulation result at read mode: (a) in case that '0' is programmed in the cell and (b) in case that '1' is programmed in the cell

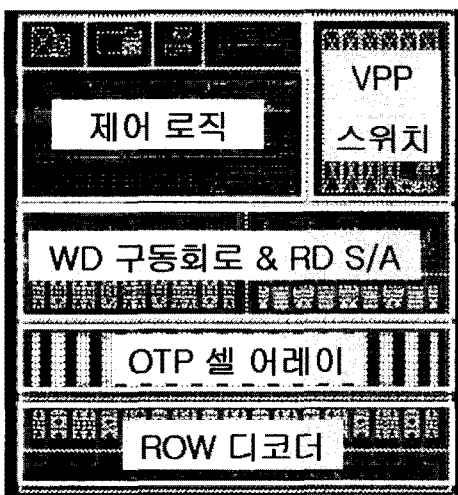


그림 11. 256-bit OTP 메모리의 레이아웃 이미지
 Fig. 11. Layout image of the designed OTP memory of 256 bits

그림 11은 0.13 μ m CMOS 공정을 이용하여 설계된 동기식 256-bit OTP 메모리의 레이아웃 이미지를 보여주며, 레이아웃 면적은 298.4 μ m \times 319 μ m 이다. 그림 12는 제작된 웨이퍼에 대해 VDD=1.8V에서 프로그램 전압인 VPPE 전압으로 프로그램한 뒤 읽기 모드를 수행하여 정상적으로 프로그램이 되었는지 확인하였다. 프로그램 전압에 따른 기능 시험(function test)을 수행한 결과 전압 구동 방식에서는 VPPE가 5.9V에서 프로그램 되었으나, 그림 9의 전류 구동 방식에서는 5.5V로 0.4V 낮아진 것을 볼 수 있다.

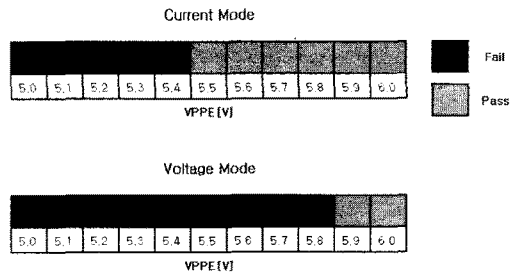


그림 12. 제작된 OTP의 Shmoo plot
 Fig. 12. Shmoo plot of the fabricated OTP

IV. 결 론

본 논문에서는 자동차 전장용 Power IC, 디스플레이 구동 칩, CMOS 이미지 센서 등의 분야에서 필요로 하는 동기식 256-bit OTP 메모리를 설계하였다. OTP 셀은 HV 차단 트랜지스터 없이 안티퓨즈인 얇은 게이트 산화막을 갖는 NMOS 커패시터와 액세스 트랜지스터로 구성되어 있다. 기존에 3 종류의 전원 전압을 사용하는 대신 로직 전원 전압인 VDD와 프로그램 전압인 VPPE를 사용하였으며, 부가적인 HV 차단 트랜지스터의 게이트 바이어스 회로를 제거하였다. 그리고 프로그램 모드에서 전압 구동 방식 대신 전류 구동 방식을 사용하여 단락된 NMOS 커패시터의 RON 저항 값과 공정 변동에 따라 프로그램 할 셀의 부하 전류를 일정하게 유지하므로 VPPE 전압을 낮추었다. 또한 설계된 OTP 메모리는 전류 감지 증폭기 대신 clocked 인버터 형태의 감지증폭기를 사용하였다. 매그나칩 반도체 0.13 μ m 공정을 이용하여 제작된 동기식 256-bit OTP IP의 레이아웃 면적은 298.4 \times 319 μ m²이다. 제작된 웨이퍼 상태에서 OTP 메모리를 측정할

결과 5.5V의 프로그램 전압에서 정상적으로 프로그램 되는 것을 확인하였다.

참고문헌

- [1] Hyouk-kyu Cha, Ilhyun Yun, Jinbong Kim, Byeong-Cheol So, Kanghyup Chun, Ilku Nam, and Kwyro Lee, "A 32-KB Standard CMOS Antifuse One-Time Programmable ROM Embedded in a 16-bit Microcontroller", IEEE Journal of Solid-State Circuits, vol.41, no.9, Sep. 2006.
- [2] Randy Barsatan, Tsz Yin Man, and Mansun Chan, "A Zero Mask One-Time Programmable Memory Array for RFID Applications", IEEE International Symposium on Circuits and Systems, pp.975-978, May 2006.
- [3] Young-Hee Kim et al., "A low-power EEPROM design for UHF RFID tag chip," KIMICS of Semiconductors & Communications, vol.10, no.3, pp.486-495, March 2006.

저자소개



이 용 진(Long-Zhen Li)

1983.7. 중국관주대학교 컴퓨터학과 이학사
2002.2 순천대학교 정보통신공학과 공학석사

2006.3~현재 창원대학교 전자공학과 박사과정
※관심분야: NVM 설계



김 태 훈(Tae-Hoon Kim)

2007.2 창원대 전자공학과공학사
2008.7~현재 창원대학교 전자공학과 공학석사과정

※관심분야: LCD 구동 칩 설계, NVM 설계



심 외 용(Oe-Yong Shim)

2007.2 창원대 전자공학과공학사
2008.7~현재 창원대학교 전자공학과 공학석사과정

※관심분야: LCD 구동 칩 설계, NVM 설계



박 무 훈(Mu-Hun Park)

1991.2 경북대학교 전자공학과 공학사
1993.3 동북대학교 전기통신공학연구과 공학석사

1996.3 동북대학교 전기통신공학연구과 공학박사
1998.8~현재 창원대학교 전자공학과 교수
※관심분야: 초음파 신호처리, 영상신호처리, 가상현실, SoC 설계



하 판 봉(Pan-Bong Ha)

1981.2 부산대학교 전기공학과 공학사
1983.2 서울대학교 전자공학과 공학석사

1993.2 서울대학교 전자공학과 공학박사
1987.3~현재 창원대학교 전자공학과 교수
※관심분야: 임베디드 시스템, SoC 설계



김 영 희(Young-Hee Kim)

1989.2 경북대학교 전자공학과 공학사
1997.2 포항공대 전자전기공학과 공학석사

2000.8 포항공대 전자전기공학과 공학박사
1989.1~2001.2 현대전자 메모리연구소 책임연구원
2001.3~현재 창원대학교 전자공학과 교수
※관심분야: 저전압/저전력/고속 메모리 설계, LCD 구동 칩 설계, CMOS 이미지 센서 설계, RFID 태그 칩 설계