

FPGA 기반의 고속 멀티미디어 데이터 재조합 프로세서 설계 및 구현

Design and Implementation of FPGA-based High Speed Multimedia Data Reassembly Processor

김 원 호*
Won-Ho Kim

요 약

본 논문은 양방향 위성 멀티미디어 통신시스템의 멀티미디어 STB (Multimedia Set-Top-Box)을 위한 하드웨어 기반의 고속 멀티미디어 데이터 재조합 프로세서 설계 및 구현에 관한 것이다. 기존의 위성 멀티미디어 STB에서는 수신된 멀티미디어 데이터 재조합 기능을 STB의 CPU 소프트웨어 기반으로 처리하였다. 광대역 멀티미디어 서비스가 증대됨에 따라 STB의 CPU 부하가 증대되어 수신되는 멀티미디어 데이터 재조합 처리 성능이 제한되는 현상이 발생한다. 이러한 문제점을 해결하여 다양한 광대역 멀티미디어 서비스를 원활하게 처리할 수 있는 하드웨어 기반의 고속 멀티미디어 데이터 재조합 프로세서를 제안하였다. 구현된 멀티미디어 데이터 재조합 프로세서는 상용 FPGA, PCI 인터페이스 칩, 램 메모리 등으로 구현되었으며 위성 멀티미디어 시스템의 멀티미디어 STB에 실장하여 기능과 성능을 검증하였다. 제시된 요구기능을 모두 만족하였으며 최대 116 Mbps 처리 성능과 실용성을 확인하였다.

Abstract

This paper describes hardware-based high speed multimedia data reassembly processor for remote multimedia Set-Top-Box(MSTB) of interactive satellite multimedia communication system. The conventional multimedia data reassembly scheme is based on software processing of MSTB. As increasing of transmission rate for multimedia data services, the CPU load of remote MSTB is increased and reassembly performance of MSTB is limited. To provide high speed multimedia data service to end user, we proposed hardware based high speed multimedia data reassembly processor. It is implemented by using an FPGA, a PCI interface chip, and RAMs. And it is integrated in MSTB and tested. It has been confirmed to meet required all functions and processing rate up to 116Mbps.

Keywords : Satellite multimedia system, Multimedia STB, DVB-RCS, Reassembly processor

I. 서론

최근에 위성을 이용하여 대량의 멀티미디어 데이터를 동시에 지역적으로 넓게 퍼진 단말 사용자들에게 방송하는 서비스들이 활발히 개발되고 있으며 양방향 멀티미디어 데이터 서비스로 확장되고 있다. 양방향 위성 멀티미디어 서비스를 위한 시스템의 국제표준으로는 유럽의 DVB-RCS (Digital Video Broadcasting-Return Channel via Satellite)규격이 있으며 순방향 링크는 IP 패킷을

MPEG2-TS(Transport Stream) 패킷에 실어 시분할 다중화 방식을 이용하여 광대역으로 데이터를 단말로 방송하고 리턴링크는 MF-TDMA (Multi Frequency-Time Division Multiple Access) 기법을 이용하여 중심국으로 사용자 데이터를 전송한다 [1]-[4]. 그림 1은 DVB-RCS 규격을 적용한 전형적인 양방향 위성 멀티미디어 통신시스템의 구조를 보여주고 있다 [2],[5]. 시스템은 Ku/Ka 대역을 이용하고 DVB-S(Satellite) 기반의 순방향 링크와 DVB-RCS 기반의 리턴 링크로 구성이 된다. 순방향 링크를 통해 최대 100Mbps로 전송되는 IP 데이터그램은 중심국에 DVB-MPE(DVB-Multi Protocol Encapsulation) 패킷으로 변환되고, MPEG2 트랜스포트 패킷으로 분할되어 위성 순방향 링크를 통하여 원격 멀티미디어 STB

* 공주대학교

투고 : 2008. 4. 21 수정완료 : 2008. 7. 22

계재확정일자 : 2008. 7. 25

(MSTB)으로 전송된다. 원격 멀티미디어 STB에서는 MPEG2 트랜스포트 패킷과 DVB-MPE 패킷을 역다중화한 후, IP 데이터그램으로 재조합한다. 그리고 IP 데이터그램은 이더넷 네트워크를 통해 다중 사용자 PC에 전달하기 위하여 이더넷 프레임으로 변환된다. MPEG2 TS 패킷 역다중화, IP 재조합 및 이더넷 프레임 생성은 일반적으로 MSTB의 CPU 소프트웨어에 의해 처리된다. 그러나 MSTB의 멀티미디어 데이터 처리 성능은 CPU 성능에 제한을 받거나 증대되는 광대역 멀티미디어 데이터 처리 부하로 인해 CPU의 부하도 크게 증가되고 있다. 이러한 CPU의 한계나 부하증가에 무관하게 최종 사용자에게 단절없는 광대역 멀티미디어 서비스를 제공하기 위한 하드웨어 기반의 고속 멀티미디어 데이터 재조합 프로세서를 제안한다. 본 논문은 다음과 같이 구성된다. 2장에서는 DVB-RCS 규격을 만족하는 양방향 위성 멀티미디어 시스템을 위한 멀티미디어 데이터의 분할과 재조합 기능에 대해 기술한다. 3장에서는 이더넷 프레임 생성 기능이 포함된 FPGA 기반의 멀티미디어 데이터 재조합 프로세서의 설계와 구현, 시험결과에 대해 기술한다.

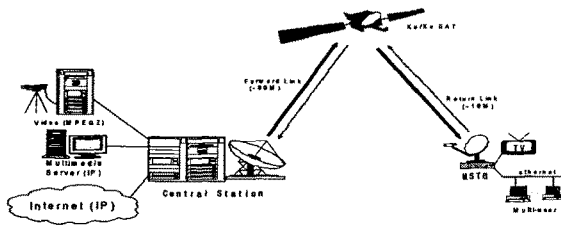


그림 1. 양방향 위성 멀티미디어 통신시스템의 구조.
Fig. 1. The architecture of interactive satellite multimedia communication system.

II. 멀티미디어 데이터의 분할 및 재조합

2.1 멀티미디어 데이터의 분할

DVB-RCS 규격을 만족하는 위성 멀티미디어 통신 시스템에서 멀티미디어 데이터를 순방향 링크를 통해 전송하기 위해서는 데이터 변환기능이 필요하다. IP 데이터그램은 DVB-MPE 포맷으로 변환된 후, MPEG2 트랜스포트 패킷으로 분할되고 다중화되어 단말로 전송된다. IP 데이터그램이 MPEG2 트랜스포트 패킷으로 분할되는 과정은 그림 2와 같다.

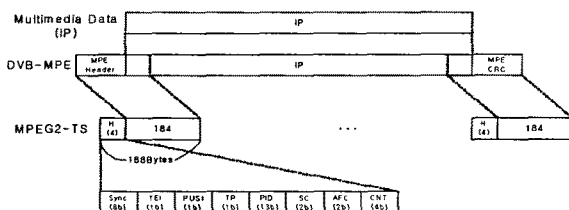


그림 2. IP 데이터그램의 분할 과정.

Fig. 2. Encapsulation of IP datagram.

DVB-MPE 포맷은 IP over MPEG2 전송을 위한 멀티 프로토콜 인캡슐화(MPE) 표준 포맷이다. DVB-MPE 포맷은 ISO/IEC 13818-6 DSM-CC 섹션의 사용자 데이터 전송 포맷과도 호환성을 가진다. DVB-MPE 포맷은 그림 3과 같다. 캡슐화되는 IP 데이터그램 길이는 최대 4,080 바이트이다. MPEG2 트랜스포트 패킷은 ISO/IEC 13818-1 MPEG2 시스템 규격에서 규정된 포맷을 따른다[6]. 그림 3에서 DVB-MPE 패킷은 14 바이트 헤더, 최대 4,080 바이트의 데이터 및 4 바이트 CRC로 구성된다 [7].

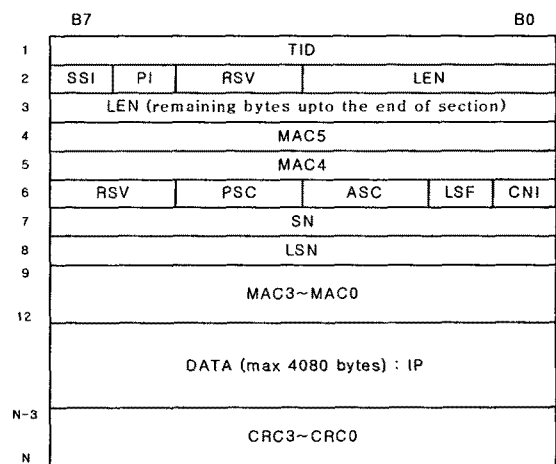


그림 3. DVB-MPE 포맷.

Fig. 3. DVB-MPE section format.

2.2 멀티미디어 데이터의 재조합 및 이더넷 프레임 생성

멀티미디어 STB에서 수신된 MPEG2 TS 패킷은 그림 4와 같이 역다중화 되고 DVB-MPE 포맷과 IP 데이터그램으로 순차적으로 재조합된다. 재조합된 IP 데이터그램은 이더넷 네트워크에 의해 MSTB로 연결된 사용자 PC에 전달하기 위해 그림 5와 같은 이더넷 프레임으로 변환된다.

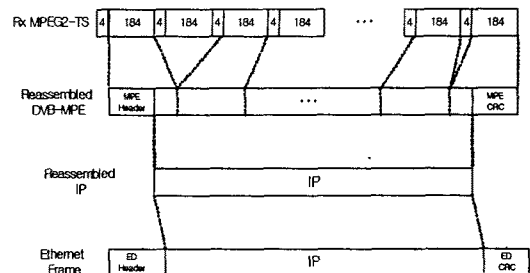


그림 4. IP 데이터 재조합과 이더넷 프레임 생성과정.
Fig. 4. IP reassembly and ethernet frame generation.

이더넷 프레임은 14 바이트 헤더, 최대 1,500 바이트 데

이터, 4 바이트 CRC로 구성된다[8].

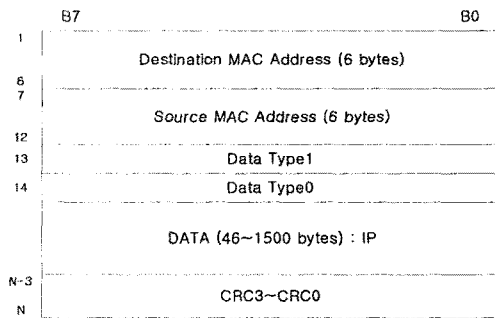


그림 5. 이더넷 프레임 포맷.
Fig. 5. Ethernet frame format.

III. 하드웨어 기반의 설계 및 구현

3.1 하드웨어 설계

재조합 프로세서 설계를 위한 주요 요구 기능과 성능은 다음과 같다.

- 1) MPEG2 트랜스포트 패킷 필터링과 역다중화
- 2) DVB-MPE 재조합
- 3) IP 데이터그램 재조합
- 4) CRC 계산과 이더넷 프레임 생성
- 5) 하드웨어 형상: PCI 애드인 카드 타입
- 6) 데이터 처리 속도: 80Mbps 이상

설계된 재조합 프로세서의 기능 블록도는 그림 6과 같으며 MSTB의 메인 기판에 위치한 PCI 소켓에 삽입되어 동작한다.

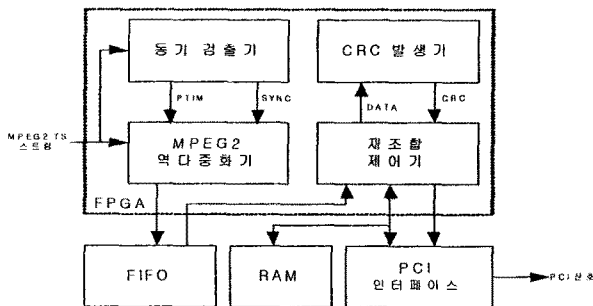


그림 6. 재조합 프로세서의 기능 블록도.

Fig. 6. The functional block diagram of reassembly processor.

재조합 프로세서와 MSTB의 CPU 사이의 데이터 교환은 PCI 버스를 통하여 수행되고, 재조합 프로세서에서 CPU로 전달된 이더넷 프레임은 이더넷 컨트롤러로 전달되어 사용자 PC로 전달되는 데이터 경로를 가진다. 재조합 프로세서의 입력 신호는 MSTB의 DVB-S 튜너의 출

력 신호인 MPEG2 TS 스트림이다. 재조합 프로세서를 구성하는 각각의 기능블록에 대한 설명은 다음과 같다.

동기 검출기는 역다중화하는 MPEG2 TS 패킷 동기를 위한 패킷 타이밍(PTIM)을 검출하여 제공하는 기능을 가지고 이진 상관기를 사용하여 동기 패턴 0x47을 탐색하여 검출한다. 동기 검출 타이밍은 오검출(false detection)과 검출 실패(miss detection)를 방지하기 위하여 그림 7과 같은 상태 천이도를 통하여 제어된다.

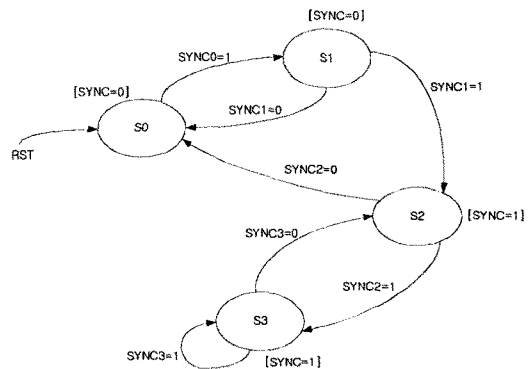


그림 7. 동기 검출기의 상태 천이도.

Fig. 7. The state diagram of sync detector.

MPEG2 역다중화기 블록은 수신되는 MPEG2 스트림으로부터 특정한 MPEG2 TS 패킷을 역다중화하여 FIFO 메모리에 버퍼링 시키는 기능을 수행한다.

CRC 발생기 블록은 이더넷 프레임 생성을 위한 32비트 CRC와 재조합된 DVB-MPE 패킷의 오류 체크를 위한 CRC를 생성하는 기능을 제공한다. CRC의 발생 다항식 $G(x)$ 는 다음과 같다.

$$G(x) = X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X^1 + 1 \quad (1)$$

재조합 제어기 블록은 FIFO에 버퍼링된 MPEG2 TS 패킷을 리드하여 다음과 같은 기능을 수행하며 동작 흐름도는 그림 8과 같다.

- MPEG2 TS 패킷 헤더 분리 및 PUSI(Payload Unit Start Indication) 정보의 디코딩 기능.
 - MPE 헤더 분리 및 MPE 길이, 목적지 MAC 주소 디코딩 기능.
 - PUSI, MPE 길이, 목적지 MAC 정보를 이용한 MPE 패킷 및 IP 패킷 재조합 기능.
 - 재조합된 IP 패킷의 이더넷 프레임 생성 기능.
- 재조합 프로세서의 동작은 FIFO 메모리의 PAE

(Programmable Almost Empty) 플래그가 활성화 되면서 재조합 동작이 시작된다. MPEG2 TS 패킷의 헤더에 포함된 PUSI 정보를 디코딩하여 MPE 패킷의 시작 유무를 해석한다. PUSI 비트가 인에이블 되어 있으면 MPE 패킷 헤더 정보를 분리하고 재조합될 MPE 패킷의 길이, 목적지 MAC 주소 값을 디코딩한다. 이 정보와 PUSI 정보를 이용하여 연속적으로 리드되는 MPEG2 TS 패킷 데이터를 MPE 패킷으로 재조합한 후, 다시 IP 패킷으로 재조합한다. 재조합된 IP 패킷은 이더넷 통신을 위하여 이더넷 헤더와 CRC를 생성하여 이더넷 프레임으로 재구성한 다음 PCI 인터페이스 칩으로 출력한다. 재조합 프로세서와 PCI 인터페이스 칩간의 이더넷 프레임 전달은 UTOPIA 레벨 2 인터페이스 프로토콜을 적용한다[9].

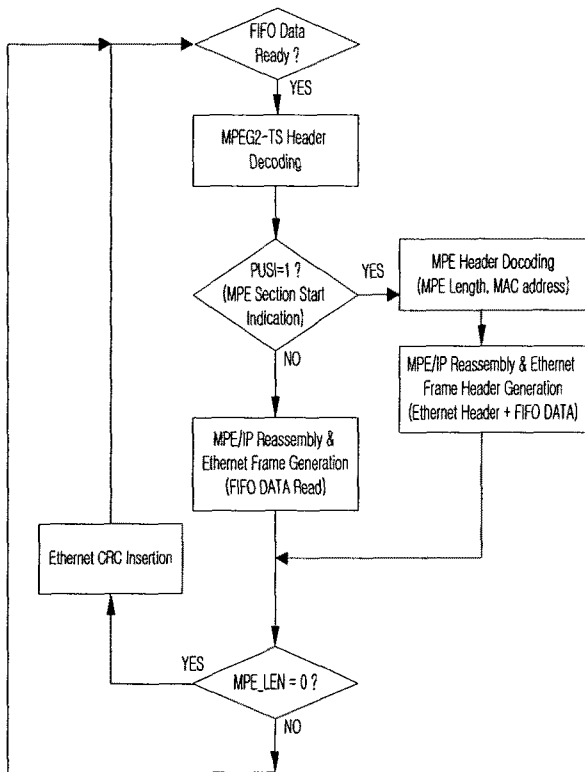
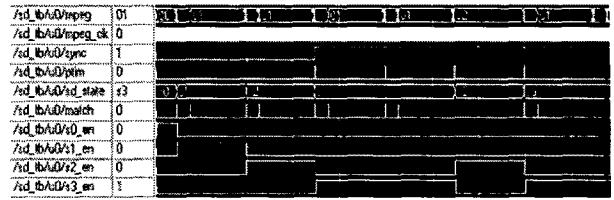


그림 8. 재조합 프로세서의 동작 흐름도.

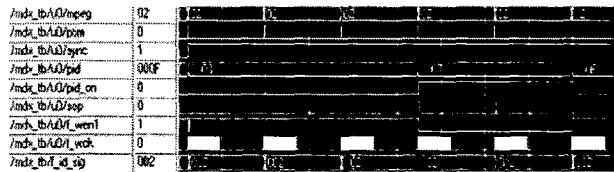
Fig. 8. The flow chart of reassembly operation.

3.2 하드웨어 구현

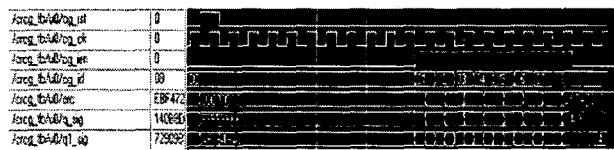
재조합 프로세서의 주요 기능인 동기 검출기, MPEG2 역다중화기, CRC 발생기, 재조합 제어기 블록은 하나의 FPGA를 사용하여 구현하였다. 모든 기능 블록들은 VHDL로 구현하고 VHDL 시뮬레이터를 사용하여 기능을 검증하였다. 주요 기능 블록의 시뮬레이터 검증결과 파형은 그림 9와 같으며 각 시뮬레이션 결과에 대한 설명은 다음과 같다.



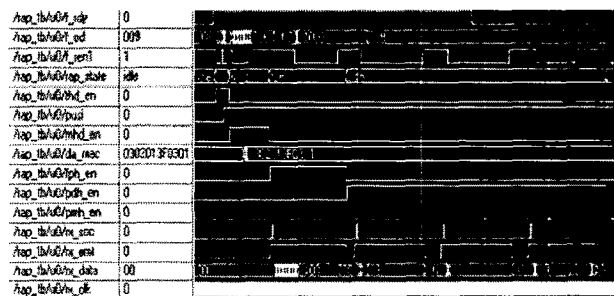
(a) 동기 검출기(Sync Detector)



(b) MPEG2 역 다중화기(MPEG2 Demux)



(c) CRC 발생기(CRC Generator)



(d) 재조합 제어기(Reassembly Controller)

그림 9. FPGA로 구현된 기능 블록의 로직 시뮬레이션 결과 파형.

Fig. 9. The logic simulation results of main functional blocks of FPGA.

그림 9에서 동기 검출기는 MPEG 스트림에 포함된 0x47 값을 디코딩하고 그림 7과 같은 상태 천이도에 따라 제어되어 패킷타이밍(TIM)을 주기적으로 출력하고 있음을 보여주고 있다. 역 다중화기는 MPEG 스트림에 포함된 특정 TS 패킷을 추출하는 동작을 보여주고 있다. 특정 TS 패킷의 구분은 PID(packet ID)값에 의해 이루어진다. CRC 발생기는 식(1)과 같은 생성다항식에 의해 32비트 CRC값의 생성동작을 보여주고 있다. 재조합제어기의 동작은 그림 8에서 설명한 동작에 기반한 재조합 기능을 보여주고 있다.

구현에 사용된 FPGA의 로직 게이트 사용량은 32,352개 이고 제작된 재조합 프로세서 보드는 그림 10과 같다.

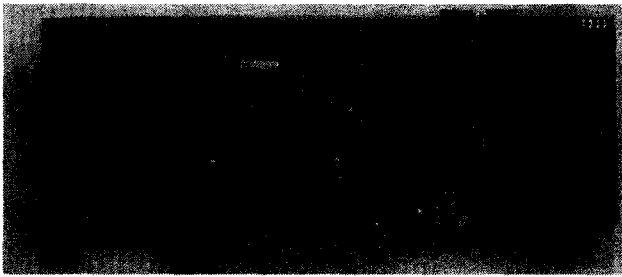


그림 10. 제작된 재조합 프로세서 보드 사진.

Fig. 10. The implemented reassembly processor board.

3.3 시험 및 결과

제작된 재조합 프로세서 보드는 기능 및 성능시험을 위해 ETRI에서 개발한 MSTB에 실장하여 시험하였다. 기능 및 성능시험을 위한 시험 구성도는 그림 11과 같다. 재조합 프로세서의 기능시험을 위해 멀티미디어 서버를 이용해 PING 데이터를 발생하고 IP over MPEG 게이트웨이와 재조합 프로세서가 실장된 MSTB를 거쳐 인터넷으로 연결된 사용자 PC로 데이터를 수신하였다. 처리성능을 검증하기 위해서 PING 프레임의 발생주기와 길이를 가변하여 시험하였다.

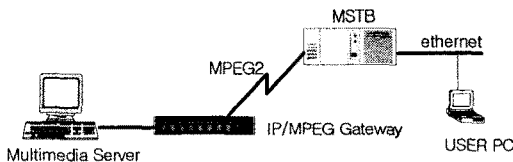


그림 11. 재조합 프로세서의 기능 및 성능시험 구성도.

Fig. 11. The test configuration of implemented reassembly processor.

그림 12는 150 바이트 길이의 PING 데이터 시험 결과를 로직분석기로 실측한 파형이고 그림 13은 1,500바이트 길이의 PING 데이터 시험 결과 실측 파형이다. 각각의 신호는 구현된 FPGA 출력신호를 측정 한 것이다.

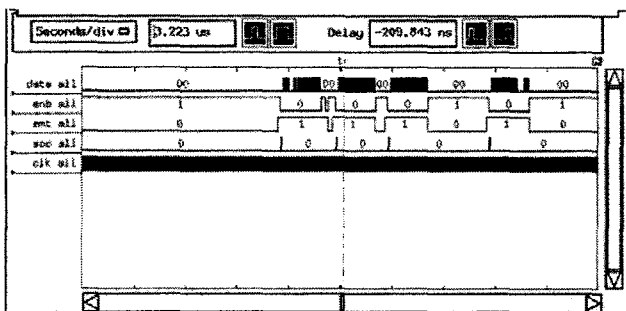


그림 12. 150바이트 길이의 PING 데이터 실험 결과.

Fig. 12. The measured output signals for 150 bytes of PING frame.

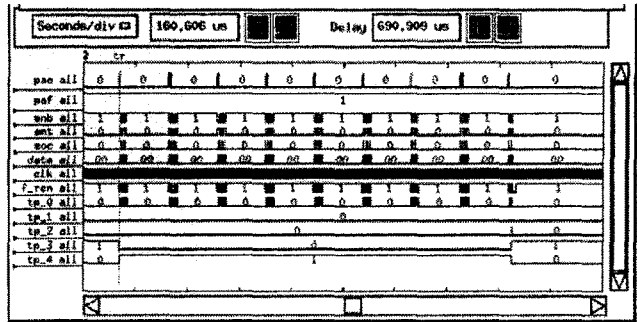


그림 13. 1,500바이트 길이의 PING 데이터 실험 결과.

Fig. 13. The measured output signals for 1,500 bytes of PING frame.

그림 12와 13과 같이 실측된 신호파형은 FPGA 로직 시뮬레이션 결과 파형과 일치 하였으며 송신된 PING 프레임의 개수와 사용자 PC에 수신된 PING 프레임의 개수도 일치함을 확인하였다. 또한, 그림 12의 실측 신호파형을 분석해 보면 3.223 μ s 이내에 48 바이트 길이의 데이터를 처리하는 것을 볼 수 있다. 이를 증가적으로 환산하면 제작된 재조합 프로세서의 하드웨어 처리속도는 약 116Mbps로 환산이 된다. 따라서 100Mbps 급의 광대역 멀티미디어 데이터 서비스를 MSTB의 CPU 성능에 제한 없이 실시간으로 원활하게 지원 가능함을 확인하였다.

IV. 결론

본 논문에서는 다중 사용자 또는 단일 사용자 목적의 멀티미디어 STB(MSTB)을 위한 고속 멀티미디어 데이터 제조업 프로세서의 설계 및 구현에 대해 기술하였다. 기존의 멀티미디어 STB의 제한된 CPU 소프트웨어 처리성능으로 인하여 제한받은 광대역 멀티미디어 서비스를 원활하게 실시간 처리할 수 있는 하드웨어 기반의 고속 멀티미디어 데이터 제조업 프로세서를 제안하였다. 설계 구현된 멀티미디어 데이터 제조업 프로세서는 상용 FPGA, PCI 인터페이스 칩, 램 메모리 등으로 구현되었으며 위성 멀티미디어 시스템의 멀티미디어 STB에 실장하여 기능과 성능을 시험하였다. 제조업 프로세서의 기능은 데이터 유실 없이 잘 동작되었고, 실측된 최대 처리성능은 소프트웨어 처리 없이 100 Mbps 급의 고속 멀티미디어 데이터를 처리할 수 있음을 확인하였고 실용성을 검증하였다.

참 고 문 헌

- [1] H.J. Lee, P.S. Kim, T.H. Kim, D.G. Oh, "Broadband systems based on DVB-S2 and mobile DVB-RCS, and their future applications to broadband mobiles," Proc. of IWSSC2006, Sep. 2006.
- [2] Y.J. Song, M.S. Shin, B.H. Kim, H.J. Lee, "Development of mobile broadband satellite internet access system for

- Ku/Ka band satellite communications," IEICE Trans. Commun. Vol.E87-B, No.8, pp.2152-2161, Aug. 2004.
- [3] Hkinnemoen, R.Leirvik, J.Hetland, H.Fanebust, V.Paxal, "Interactive IP-network via satellite DVB-RCS," IEEE journal of selected areas in communications, Vol.22, No.3, pp.508-517, April 2004.
- [4] J.Neale, R.Green, J.Landovskis,"Interactive channel for multimedia satellite networks," IEEE communications Magazine, pp.192-198, March 2001.
- [5] ETSI EN 301 790 V1.2.2: Digital video broadcasting, Interaction channel for satellite distribution systems (DVB-RCS), Dec. 2002.
- [6] ISO/IEC 13818-1, Information technology-Generic coding of moving pictures and associated audio information, part1:systems, 1996
- [7] ETSI EN 301 192: DVB specification for data broadcasting, Jun. 2004.
- [8] IEEE 802.3: Information technology - telecommunications and information exchange between systems - local and metropolitan area networks - specific requirements. Part 3: Carrier Sense Multiple Access with Collision Detection (CSMA/CD) access method and physical layer specifications, Sept. 1998.
- [9] The ATM forum: An ATM-PHY interface (UTOPIA) Level-2 specification, Jun.1995
- [10] Richard F. Hobson, P.S.Wong,"Aparallel embedded processor architecture for ATM reassembly", IEEE/ACM Transactions on Networking, Vol.7, No.1, Feb. 1999.
-



김 원 호 (Won-Ho Kim)

1985년 경북대 전자공학과(공학사)
1987년 경북대 전자공학과(공학석사)
1999년 충남대 전자공학과(공학박사)
1989년 12월 ~ 1999년 8월 한국전자통신연구원(ETRI)
무선방송기술연구소 선임연구원
1999년 9월 ~ 2005년 2월 천안공대 전자과
조교수
2005년 3월 ~ 현재 공주대학교 공과대학
전기전자제어공학부 부교수
관심분야 : 신호처리(영상 및 통신), 멀티
미디어통신, 영상감시, 지능형 전장부품
