

## 잡음 내성이 큰 단일 출력 레벨 쉬프터를 이용한 500 V 하프브리지 컨버터용 구동 IC 설계

### Design of the Driver IC for 500 V Half-bridge Converter using Single Ended Level Shifter with Large Noise Immunity

박현일<sup>1</sup>, 송기남<sup>1</sup>, 이용안<sup>1</sup>, 김형우<sup>2</sup>, 김기현<sup>2</sup>, 서길수<sup>2</sup>, 한석봉<sup>1,a</sup>  
(Hyun-Il Park<sup>1</sup>, Ki-Nam Song<sup>1</sup>, Yong-An Lee<sup>1</sup>, Hyoung-Woo Kim<sup>2</sup>, Ki-Hyun Kim<sup>2</sup>, Kil-Soo Seo<sup>2</sup>,  
and Seok-Bung Han<sup>1,a</sup>)

#### Abstract

In this paper, we designed driving IC for 500 V resonant half-bridge type power converter. In this single-ended level shifter, chip area and power dissipation was decreased by 50 % and 23.5 % each compared to the conventional dual-ended level shifter. Also, this newly designed circuit solved the biggest problem of conventional flip-flop type level shifter in which the power MOSFET were turned on simultaneously due to the large  $dv/dt$  noise. The proposed high side level shifter included switching noise protection circuit and schmitt trigger to minimize the effect of displacement current flowing through LDMOS of level shifter when power MOSFET is operating. The designing process was proved reasonable by conducting Spectre and PSpice simulation on this circuit using 1  $\mu\text{m}$  BCD process parameter.

**Key Words** : Half-bridge converter, MOSFET driver IC, High side level shifter

#### 1. 서론

최근 수요가 증가하고 있는 통신 중계기, LCD 및 PDP TV의 전원 장치에 공진형 하프브리지 컨버터가 많이 사용되고 있다[1]. 이 컨버터는 높은 효율성, 낮은 노이즈 방출의 장점을 가지므로 그 활용 범위가 점점 더 확대되고 있다. 하프브리지 컨버터는 두 개의 파워 MOSFET, 즉 하단과 상단 MOSFET를 포함한다. 각각의 MOSFET는 상단 및 하단 구동회로에 의해 구동된다. 하프브리지 구동 IC의 제어 방식은 크게 펄스폭 변조 방식과 주파수 변조 방식이 있다. 펄스폭 변조 방식은 부하

의 크기에 따라 파워 MOSFET의 턴-온 시간을 조정하는 방식이며, 주파수 변조 방식은 부하에 따라 파워 MOSFET의 구동 주파수를 변화시키는 방식이다[1].

일반적으로 상단 구동회로의 기준노드는 플로팅 되어 있으므로 동작 시, 이 노드의 전압은 최대 라인 전압(400~600 V)까지 상승하게 된다. 따라서 고전압 LDMOS와 저항으로 구성된 레벨 쉬프터가 사용된다[2]. 이러한 상단 MOSFET 구동회로는 LDMOS의 기생 커패시터 성분과 플로팅 노드에 의한 오동작, 그리고 LDMOS가 차지하는 면적과 전력소모 등의 문제를 갖는다[3,4].

기존의 상단 구동회로[5]는 복수 출력 레벨 쉬프터와 RS 래치로 구성된다. 이러한 방식은 RS 래치의 셋 단자와 리셋 단자의 입력을 모두 라인 전압까지 상승시켜야 하므로 두 개의 LDMOS가 필요하다. 따라서 많은 면적을 차지하게 되고 전력소모도 커지게 되어 IC 가격 상승의 원인이 된다.

다음으로 단일 출력 레벨 쉬프터와 one shot 기

1. 경상대학교 전자공학과, 공학연구원 연구원  
(경남 진주시 가좌동)

2. 한국전기연구원 고집적전원연구그룹

a. Corresponding Author : hsb@gnu.ac.kr

접수일자 : 2008. 5. 7

1차 심사 : 2008. 6. 24

심사완료 : 2008. 7. 15

능을 포함하는 상단 구동회로[6]가 제안되었다. 이 방식은 하나의 LDMOS로 구성된 단일 출력 레벨 슈프터를 이용하여 전력소모와 칩 면적이 감소되는 장점이 있다. 그러나 상단 MOSFET의 턴-온 시간을 고정시키는 one shot 기능에 의하여 주파수 변조 제어 방식에는 적용이 불가능하다.

최근 단일 출력 레벨 슈프터를 사용하는 동시에 상단 MOSFET의 제어가 용이한 구동 회로[7]가 제안되었다. 이 방식은 플립플롭의 제어 클럭에 의하여 상단 MOSFET가 제어된다. 그러나 제어 클럭에 잡음이 발생하면 구동 신호의 논리값을 변화시키므로 상단 및 하단 MOSFET가 동시에 온 되는 shoot through 현상이 발생하는 치명적인 문제점이 있다.

본 논문에서는 전술한 문제점을 해결한 단일 출력 레벨 슈프터를 설계하고 이를 적용한 500 V 하프브리지 컨버터용 구동 IC를 제안한다. 전류 미러 회로를 이용한 스위칭 잡음 보호회로와 잡음 제거가 용이한 슈미터 트리거 회로를 설계하여 잡음 여유를 개선한다. 그러므로 제안된 구동 IC는 단일 출력 레벨 슈프터의 전력소모 및 칩 면적 절감효과를 그대로 갖는 동시에 잡음 내성이 큰 안정된 동작특성을 갖는다. 이 회로는 650 V 1  $\mu\text{m}$  BCD 공정으로 설계되었으며, 이 구동 IC를 적용한 응용 회로에 대하여 Cadence사의 Spectre 및 PSpice로 시뮬레이션을 행하여 본 설계방식의 타당성을 검증하였다.

## 2. 기존의 하프브리지 구동 IC의 문제점

기존의 하프브리지 구동 IC는 RS 래치와 복수 출력 레벨 슈프터로 구성된 것과 one shot 기능을 가진 단일 출력 레벨 슈프터 그리고 단일 출력 레벨 슈프터와 플립플롭으로 구성된 것이 있다. RS

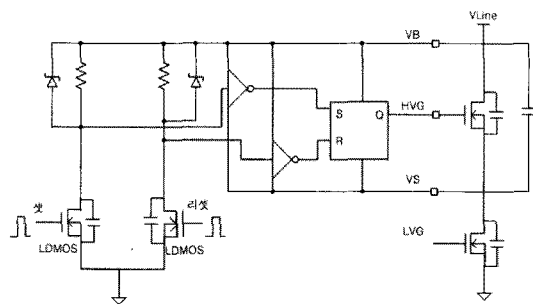


그림 1. 기존 RS 래치 방식의 상단 구동 회로.  
Fig. 1. High side driving circuit of the conventional RS latch type.

래치와 복수 출력 레벨 슈프터를 이용한 하프브리지 상단 구동회로는 그림 1과 같다.

그림 1의 상단 구동회로는 RS 래치의 셋 단자와 리셋 단자를 이용하여 파워 MOSFET를 구동한다. RS 래치의 정상 동작을 위해서는 5 V 전압 레벨의 셋 신호와 리셋 신호를 라인 전압까지 증가시켜야 하므로 복수 출력 레벨 슈프터가 필요하다. 복수 출력 레벨 슈프터는 두 개의 저항과 LDMOS 두 개로 이루어진 공통 소스 증폭기 회로이다. 이러한 방식의 하프브리지 구동 IC는 LDMOS에 의한 칩 면적 증가와 부트스트랩 전압(VB)이 상승할 때 발생하는 유도전류에 의한 전력소모가 단일 출력 레벨 슈프터보다 큰 단점이 있다.

다음으로 그림 2는 단일 출력 레벨 슈프터와 플립플롭을 이용한 상단 구동회로이다. 이 회로는 단일 출력 레벨 슈프터와 인버터, 그리고 플립플롭으로 구성되어 있다. 그리고 상·하단 구동회로의 제어신호는 서로가 반대의 논리값과 고정된 dead time을 가진다. 그림 2와 같이 LDMOS1의 게이트 입력 신호는 짧은 시간의 스파이크가 입력된다. LDMOS1의 게이트 입력 신호가 로우에서 하이로 변화할 때 M3의 양단은 전압 강하가 발생한다. 그리고 M3의 양단의 전압 강하는 인버터의 입력이 되어 Vy를 하이 신호로 만든다. 플립플롭의 출력은 Vy신호에 의해 기존 값으로부터 상태 반전이 되어 상단 파워 MOSFET를 구동하는 제어신호를 생성한다. 그러나 이와 같은 방식으로 동작하는 상단 구동회로는 스위칭 잡음에 의해 LDMOS의 게이트 입력 신호와 무관하게 두 개의 파워 MOSFET가 동시에 턴-온이 될 수 있다. 이때 라인 전압에서 GND까지 큰 전류가 흐르게 되어 파워 MOSFET가 파괴된다.

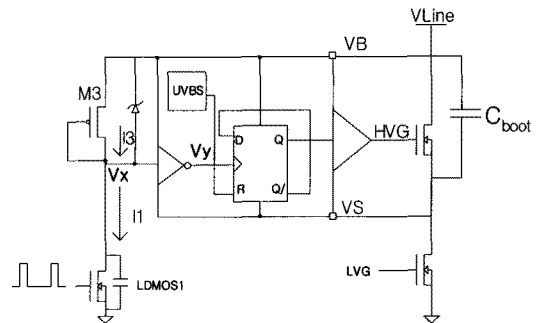


그림 2. 기존 플립플롭 방식의 상단 구동회로.  
Fig. 2. High side driving circuit of the conventional Flip Flop type.

스위칭 잡음의 원인은 VB단자 전압이 큰  $dv/dt$ 로 상승할 때, 상단 레벨 슈프터 LDMOS의 기생 커패시터에 흐르는 유도전류이다. 이러한 유도 전류는 아래의 식 (1), (2)와 같다.

$$i_c = C \times \frac{dv}{dt} \quad (1)$$

$$i_{oss} = C_{oss} \times \frac{dv}{dt} \quad (2)$$

$C_{oss}$ : LDMOS의 output 커패시턴스

이 유도전류에 의해서 M3의 양단 전압강하가 발생하며, 그 크기는 식 (3)과 같다.

$$V_{M3} = i_{oss} \times r_{DS(on)} \quad (3)$$

$r_{DS(on)}$ : M3의 턴-온 저항

이 전압강하가 인버터의  $V_{th}$ 보다 커지게 되면, 인버터의 출력 논리값이 변화한다. 따라서 플립플롭의 Q출력값이 임의로 반전되어 두 개의 파워 MOSFET가 동시에 턴-온 된다.

### 3. 잡음 내성이 큰 단일 레벨 슈프터를 이용한 하프브리지 구동 IC 설계

그림 3은 본 논문에서 제안된 하프브리지 구동 IC의 전체 블록도이다. 먼저 각각의 상·하단의

구형과 신호를 출력하는 플립플롭과 상·하단 파워 MOSFET가 동시에 턴-온 되는 shoot through 현상을 막기 위한 dead time 제어 블록이 있다. 그리고 short pulse 블록은 레벨 슈프터의 전력 소모를 줄이기 위해 120 ns의 짧은 쏫 펄스를 출력하는 회로이다. DRV 블록은 파워 MOSFET를 충분히 구동하기 위한 전류 버퍼회로이며, 5 V의 제어신호를 구동 전압(VCC, VB)까지 상승시키기 위한 하단 및 상단 레벨 슈프터 블록이 있다. 보호회로에는 Vcc 전압 또는 VBS 전압이 낮아지면 각각 상·하단 구동부의 출력을 차단하는 UVLO(UVBS)블록이 있다. 그리고 상단 MOSFET가 턴-온 될 때 또는 상·하단 MOSFET 모두 턴-오프 상태 일 때 VB노드 전압상승에 따른 오동작을 방지하는 스위칭 잡음 보호회로 블록으로 구성된다.

#### 3.1 단일 출력 레벨슈프터의 전력 소모 및 칩 면적

그림 4는 본 논문에서 제안된 상단 구동회로이다. 이 회로는 스위칭 잡음 보호회로, 단일 출력 레벨 슈프터, 슈미터 트리거, 그리고 플립플롭으로 구성된다.

상단 레벨 슈프터의 전류소비는 LDMOS가 정상 동작할 때의 전류소비와 스위칭 잡음에 의한 전류소비로 나누어진다.

상단 레벨 슈프터의 LDMOS가 턴-온 일 때 평균 전류소비는 아래 식 (4)와 같다.

$$I_{AV1} = 2 \times I_{peak} \times \frac{\text{pulsewidth}}{\text{period}} \quad (4)$$

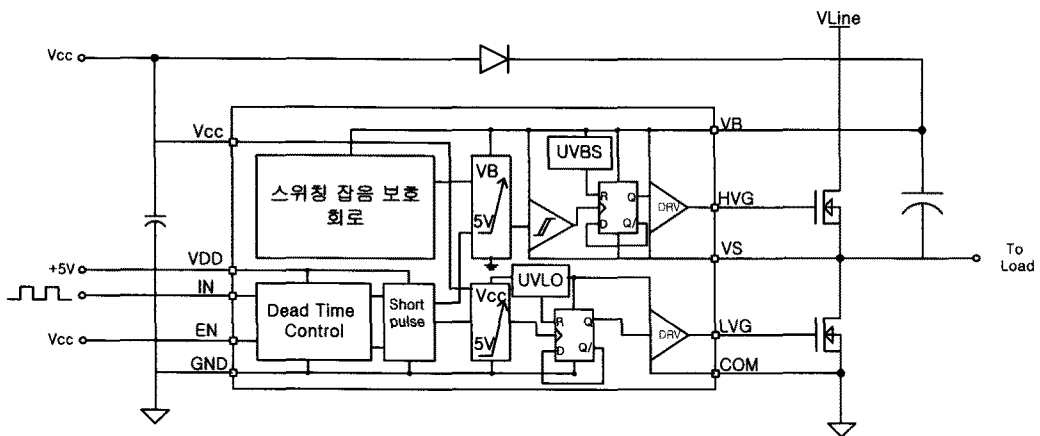


그림 3. 제안된 하프브리지 구동 IC 블록다이어그램.

Fig. 3. Block diagram of the proposed half-bridge driver IC.

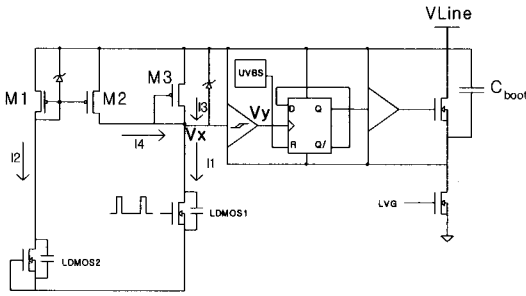


그림 4. 제안된 플립플롭 방식의 상단 구동회로.  
Fig. 4. High side driving circuit with proposed flip flop type.

그리고 LDMOS가 턴-오프일 때는 M3를 통해 슈미터 트리거의 입력으로 흐르는 전류는 거의 없기 때문에 무시할 수 있다. 따라서 전체 동작 전류소비는 식 (4)와 같다[8].

스위칭 잡음에 의한 평균 전류소비는 아래 식 (5)과 같다.

$$i_{oss(AV)} = c_{oss} \times \frac{dv}{dt} \times \frac{pulsewidth}{period} \quad (5)$$

식 (6)은 복수 출력 레벨 슈프터의 전체 평균 전류소비를 나타낸다.

$$I_{AV} = (I_{AV1} + 2 \times I_{oss(AV)}) \quad (6)$$

그리고 단일 출력 레벨 슈프터의 전체 평균 전류소비는 아래 식 (7)과 같다.

$$I_{AV} = I_{AV1} + I_{oss(AV)} \quad (7)$$

그러므로 단일 출력 레벨 슈프터의 평균 소비전류는 복수 출력 레벨 슈프터에 비하여  $I_{oss(AV)}$ 만큼 작다.

시뮬레이션 결과, 복수 출력 레벨 슈프터의 평균 전류 소비는 336  $\mu A$ 이고, 단일 출력 레벨 슈프터의 평균 전류 소비는 251  $\mu A$ 이다. 레벨 슈프터의 전력소모는 아래 식 (8)에 적용할 수 있다.

$$P_d = I_{(AV)} \times V_{Line} \quad (8)$$

식 (8)를 적용하였을 때, 복수 출력 레벨 슈프터의 전력소모는 168 mW이고, 단일 출력 레벨 슈프

터의 평균 전력소모는 125.5 mW이다. 따라서 단일 출력 레벨 슈프터는 복수 출력 레벨 슈프터에 비하여 25.3 % 전력 소모 절감 효과가 있다.

한편 본 논문에서 설계한 1  $\mu m$  BCD 공정의 LDMOS의 면적은 500  $\mu m \times 500 \mu m$ 이다. 그리고 능동 저항의 면적은 LDMOS에 비해 매우 작기 때문에 무시할 수 있다. 그러므로 복수 출력 레벨 슈프터의 면적은 약 500  $\mu m \times 1000 \mu m$ 이며 제안된 단일 출력 레벨 슈프터의 면적은 약 500  $\mu m \times 500 \mu m$ 이다. 따라서 단일 출력 레벨 슈프터의 면적은 복수 출력 레벨 슈프터에 비하여 50 % 절감되었다. 각 레벨 슈프터의 전력 소모와 면적을 표 1과 같이 요약하였다.

표 1. 전력 소모 및 칩 면적 비교.

Table 1. Comparison of power dissipation and chip area.

	기존의 복수 출력 레벨 슈프터[5]	제안된 단일 출력 레벨 슈프터
칩 면적	500 $\mu m \times 1000 \mu m$	500 $\mu m \times 500 \mu m$
전력 소모	평균전력: 168 mW	평균전력: 125.5 mW
비교	면적절감 : 50 % 전류소비 절감 : 25.3 %	

### 3.2 제안된 구동 IC의 스위칭 잡음 보호회로

제안된 하프브리지 구동 IC의 스위칭 잡음 보호회로는 그림 4와 같이 LDMOS2, M1 그리고 M2로 구성된다. 이 회로는 LDMOS1의 유도전류에 의한 M3의 양단 전압강하로 인해 플립플롭 클럭 입력의 논리값이 임의로 변화하는 현상을 제거하는 회로이다. 그로 인하여 스위칭 잡음에 의해 두 개의 파워 MOSFET가 동시에 턴-온이 되지 않게 하는 기능을 가진다.

LDMOS1의 유도전류에 의해 발생하는 오동작을 방지하기 위해 동일한 특성을 가지는 LDMOS2를 이용하였다. LDMOS2는 LDMOS1이 턴-오프일 때 발생하는 유도전류와 같은 유도전류가 흐르도록 항상 턴-오프 상태에 있으며 LDMOS1, LDMOS2 그리고 M1에 흐르는 전류 관계는 아래 식 (9)와 같다.

$$I_1 = I_2 = I_{oss1} = I_{oss2} \quad (9)$$

$$I_4 = I_2 \times \frac{W_2/L_2}{W_1/L_1} \quad (10)$$

M3의 양단 전압강하를 최소화하기 위해서 M1과 M2에 흐르는 전류관계를 이용한다. 식 (10)에 따라 M1의  $W_1/L_1$ 의 비와 M2의  $W_2/L_2$ 의 비를 같게 하였을 경우  $I_2$ 와  $I_4$  그리고  $I_1$ 의 전류 크기는 같다. 따라서  $I_3$ 전류는 거의 0 A이다. 다시 말해서, M3에 생기는 전압 강하는 거의 0 V이므로 플립플롭의 입력 클럭은 스위칭 잡음에 의해 변화하지 않는다. M3의 전압강하를 확실하게 줄여서 보다 안정된 동작을 하기 위해서는 M1과 M2의  $W/L$  비율은 1:1 이상으로 해야 한다.  $I_4$ 전류가  $I_1$ 전류보다 커지게 될 경우에는  $V_x$  노드 전압은 강하 될 수 없다. 따라서 플립플롭의  $V_y$  노드 전압은 변동이 생기지 않으며 두 개의 파워 MOSFET는 보다 안정적으로 동작한다.

**3.3 잡음 제거가 용이한 슈미터 트리거 회로**

그림 2와 같은 기존 상단 구동회로 레벨 슈프터의 출력을 입력으로 하는 인버터를 사용하였을 때는 스위칭 잡음에 민감하여 두 개의 파워 MOSFET가 동시에 턴-온이 된다. 본 논문에서는 스위칭 잡음 보호회로에서 제거하지 못한 잡음을 선택적으로 제거하기 위해 슈미터 트리거의 입력 전압을 정밀하게 조정하였다. 제안된 슈미터 트리거의 동작 특성은 그림 5와 같이  $On_{(th)}$ 전압은 13.3 V  $Off_{(th)}$ 전압은 2.4 V로 그리고  $\Delta V_{(hys)}$ 전압은 10.9 V이다. 2.4 V와 13.3 V 사이의 스위칭 잡음 입력에 슈미터 트리거의 출력은 변화하지 않는다. 이러한 잡음여유는 파워 MOSFET를 안정적으로 구동한다.

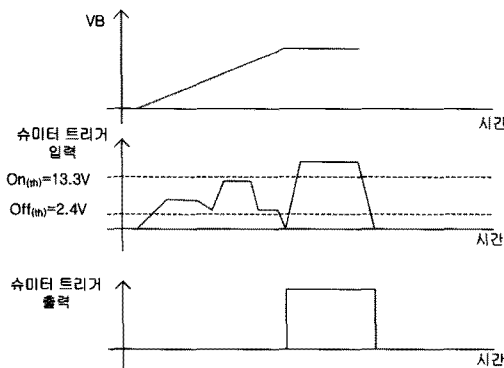


그림 5. VB 전압에 따른 노이즈 입력 대 출력 파형. Fig. 5. Noise input vs output waveform as a VB voltage.

**3.4 제안된 구동 IC의 시뮬레이션 결과**

본 논문에서 제안된 큰 잡음 내성을 가진 단일 출력 레벨 슈프터를 이용한 파워 MOSFET 구동 회로를 Spectre 시뮬레이션을 통해 검증하였다. 제안된 상단 구동 회로의 제어 신호 동작 주파수 125 kHz는, 듀티비는 50 %이고, dead time 제어 블록 출력은 330 ns의 dead time을 가지는 두 개의 구형파이다. 각각의 구형파의 상승에지와 하강에지는 short pulse 블록을 통해 120 ns의 짧은 펄스로 출력된다. 짧은 펄스는 레벨 슈프터에 의해 라인 전압까지 상승하게 된다. 상승된 짧은 펄스를 입력으로 하는 슈미터 트리거는 잡음을 필터링하여 출력한다. 슈미터 트리거의 출력에 의해 제어되는 플립플롭의 출력은 상·하단 파워 MOSFET를 반대로 턴-온 턴-오프 시킨다. 그림 6은 기존 플립플롭 방식의 상·하단 구동회로의 입력 제어 신호에 따른 오동작을 하는 시뮬레이션 결과이다. LD MOS1 GATE 파형은 상단 구동회로 제어 입력 신호이며  $V_x$ 와  $V_y$ 는 슈미터 트리거의 입·출력 파형이다. HVG, LVG 파형은 상단, 하단 파워 MOSFET의 구동 신호이며 VB는 상단 구동회로의 공급 전압이다. VB전압이 큰  $dv/dt$ 로 상승할 때 LD MOS의 유도 전류에 의해  $V_x$  전압은 매우 불안정하다. 그로인하여 상·하단 파워 MOSFET가 동시에 턴-온이 된다.

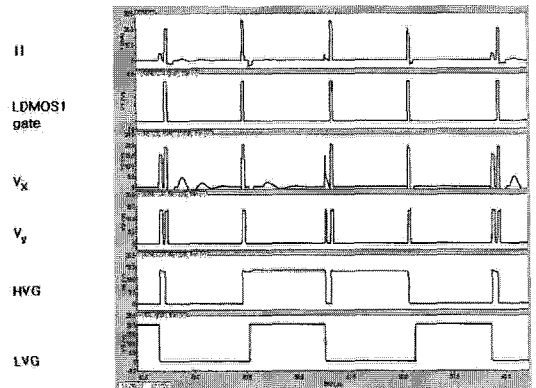


그림 6. 기존 플립플롭 방식의 상단 구동회로 파형. Fig. 6. High side driving circuit waveform of the conventional Flip Flop type.

그림 7은 본 논문에서 제안된 스위칭 잡음 보호 회로를 적용한 플립플롭 방식의 시뮬레이션 결과이다. VB 전압이 큰  $dv/dt$ 로 상승을 하여도 슈미터 트리거의 입력 전압인  $V_x$ 는 전압은 안정화되어

있다. 그리고 스위칭 잡음 보호회로에서 제거하지 못한 잡음을 슈미터 트리거를 이용하여 플립플롭 입력에 잡음이 인가되지 않게 한다. 따라서 상단 및 하단 파워 MOSFET 구동신호는 동시에 오버랩 되지 않는다.

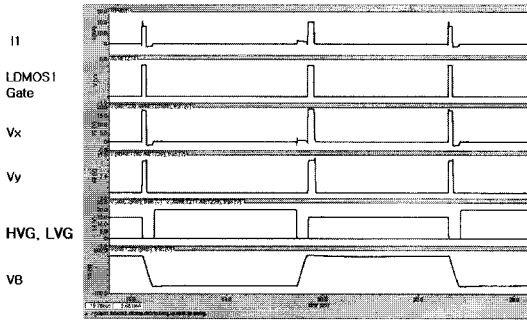


그림 7. 제안된 플립플롭 방식의 상단 구동회로 파형.

Fig. 7. High side driving circuit with proposed Flip Flop type.

#### 4. 제안된 구동 IC를 적용한 응용 회로 설계 및 검증

본 논문에서 제시한 하프브리지 컨버터용 구동 IC를 그림 8과 같은 직병렬 공진 방식의 LLC 공진 컨버터에 적용하였다.

공진 탱크는 트랜스포머의 1차측 인덕터  $L_m$ 과 공진 인덕터  $L_r$  그리고 공진 콘덴서  $C_r$ 로 구성되어 있다. LLC 공진 컨버터의 DC 특성은 식 (11), (12) 같다. 두 개의 공진 주파수  $f_1$ 과  $f_0$ 가 있으며  $f_1$ 은  $L_r$ 과  $C_r$ 에 의해 결정이 되며,  $f_0$ 는  $C_r, L_r$  그리고  $L_m$ 에 의해 결정 된다.

$$f_1 = \frac{1}{2\pi\sqrt{L_r C_r}} \quad (11)$$

$$f_0 = \frac{1}{2\pi\sqrt{(L_r + L_m) C_r}} \quad (12)$$

입력 전압이 400 V일 때, LLC 공진형 컨버터는 정상 동작을 하며 동작 주파수는 공진 주파수  $f_1$  부근이다. 따라서 제안된 하프브리지 구동 IC의 동작 검증을 위해 동작 주파수와 공진 주파수가 동일한 조건에서 시뮬레이션을 수행하였다. 제안된 하프브리지 구동 IC를 응용회로에 적용하기 위하여 PSpice용 1  $\mu$ m 650 V BCD 공정 변수를 이용하여 설계 검증하였다. LLC 공진형 컨버터의 입력 전압은 400 V, 출력 전압은 48 V 그리고 출력 전류는 6 A이다. 그리고 입력 구형파의 동작 주파수는 98 kHz이며, LLC 공진형 컨버터의 DC 특성곡식 (11), (12)에 적용한 공진 파라미터는 아래 표 2와 같다.

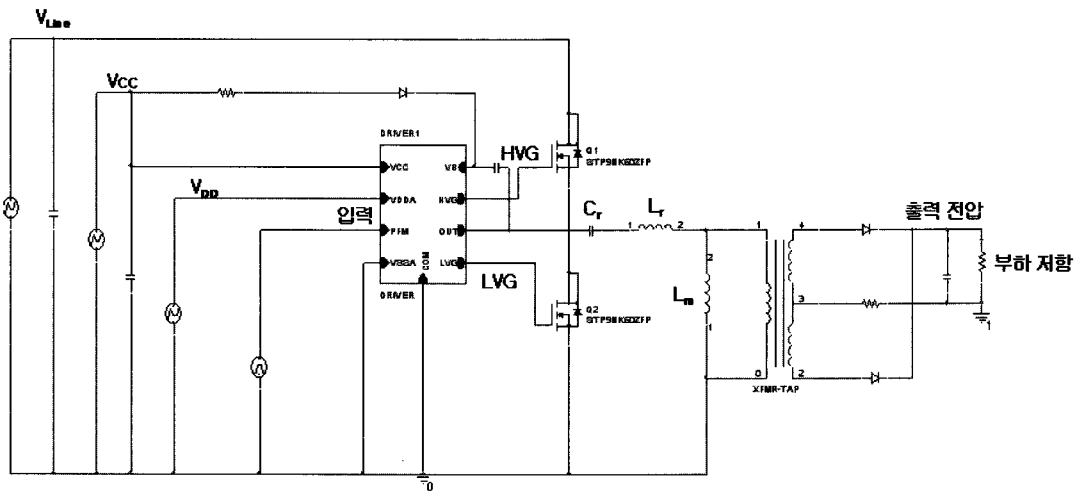


그림 8. 제안된 하프브리지 구동 IC와 응용회로.

Fig. 8. Proposed half-bridge driving IC and application circuit.

표 2. LLC 공진형 컨버터의 DC 특성 및 공진 파라미터.

Table 2. The characteristics and resonant parameter of LLC resonant converter.

DC 특성	출력 전압 : 48 V 출력 전류 : 6 A 부하 저항 : 8 Ω
공진 파라미터	트랜스 포머 턴 비율 : 0.25 공진 인덕터( $L_r$ ) : 70 μH 공진 콘덴서( $C_r$ ) : 39 nF 공진 주파수( $f_1$ ) : 96 kHz 동작 주파수( $f_{sw}$ ) : 96 kHz

그리고 파워 MOSFET는 STM사의 고전압 내압을 가지는 STP9NK60ZFP 모델을 이용하였다. MOSFET의 특성은 최대 드레인 소스 최대 전압은 600 V,  $dv/dt$ 는 4.5 V/ns, 문턱 전압은 3.75 V 그리고 온 저항은 0.85 Ω이다. 그리고 스위칭 특성은 턴-온 지연시간은 19 ns, 입력 커패시턴스는 1110 pF, 그리고 출력 커패시턴스는 135 pF이며 시뮬레이션 결과는 그림 9과 같다.

터의 전류는 피크 전류가 ±6 A인 사인과 형태에 가깝다. 스위칭 잡음 보호회로와 슈미터 트리거회로 이용하여 잡음 여유가 개선되어 그림 9과 같이 상단 및 하단 파워 MOSFET 구동신호가 동시에 턴-온되지 않고 안정적으로 동작하는 것을 시뮬레이션을 통해 검증하였다.

### 5. 결론

본 논문에서는 500 V 하프브리지용 구동 IC를 설계하였다. 잡음 내성이 개선된 단일 출력 레벨 슈프터를 제안하여 기존 복수 출력 레벨 슈프터에 비하여 50 %의 칩 면적과 25.3 %의 소비전력을 감소시켰다. 한편 기존의 단일 출력 레벨 슈프터의 문제점이었던 파워 소자에 의한 잡음의 영향을 받지 않는 잡음 보호회로 및 슈미터 트리거 회로를 설계하였다. 즉, 상단 MOSFET 구동 전압의 큰  $dv/dt$  상승 구간에서 발생하는 유도전류에 의하여 플리플롭의 클럭 입력이 임의로 변화하여 파워 소자를 동시에 온 시키는 문제를 해결하였다. 다음으로 입력 전압이 정밀하게 조정된 슈미터 트리거 회로를 설계하여 앞 단에서 제거하지 못한 잡음을 선택적으로 제거함으로써 보다 더 안정적인 동작을 한다.

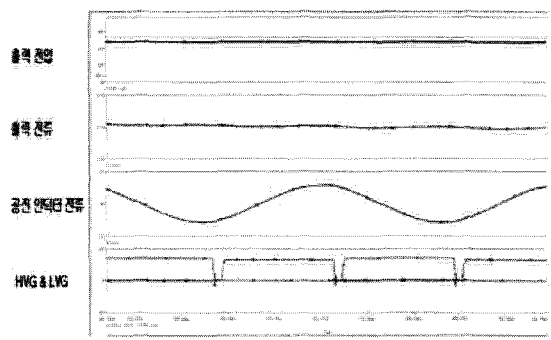
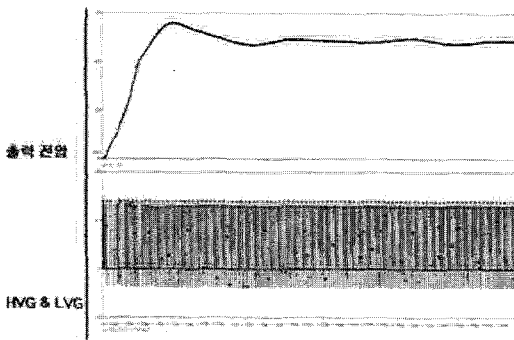


그림 9. 제안된 하프브리지 구동 IC의 출력 파형과 응용회로 출력 파형.

Fig. 9. Output waveform of the proposed half-bridge driving IC and application circuit.

위 파형은 제안된 하프브리지 구동 IC의 출력 전압과 LLC 공진형 하프브리지의 출력 전압, 전류, 공진 인덕터의 전류를 나타내는 시뮬레이션 결과이다. LLC 공진형 하프브리지 컨버터의 출력 전압은 48 V이며, 출력 전류는 6 A이다. 공진 인덕

본 논문에서 제안된 모든 회로를 650 V 1 μm BCD 공정 변수를 사용하여 Cadence사의 Spectre 및 PSpice로 시뮬레이션을 수행한 결과 제안된 회로의 타당성을 확인하였다. 앞으로 이 구동 IC를 다양한 응용회로에 적용하는 기술을 연구 할 예정이다.

### 감사의 글

본 연구는 지식경제부의 에너지·자원기술개발 사업인 '대형 가전용 대기전력 절감기술 개발 사업'의 지원과 IDEC 지원으로 이루어진 것입니다

### 참고 문헌

- [1] C. P. Basso, "Switch-mode Power Supplies", Mc Graw Hill, p. 19, 2008.
- [2] E. Segunda, "HV Floating MOS-gate Driver ICs", Application Note AN978 International Rectifier, Inc., 2001.
- [3] J. T. Hwang, M. S. Jung, J. S. Kim, and D. H. Kim, "Noise immunity enhanced 625 V high-side driver", Solid-State Circuits Conference, p. 572, 2006.
- [4] B. Murari, F. Bertotti, and G. A. Vignola, "Smart Power ICs", Springer, p. 365, 1996.
- [5] L. Balogh, "Design and Application Guide for High Speed MOSFET Gate Drive Circuits", Power Supply Design Seminar Manual, SEM1400, 2001.
- [6] D. R. H. Cater and R. A. Mc Mahon, "An integrated level shifter for use in high frequency half-bridges", Power Semiconductor Devices, IET CNF, 1996.
- [7] G. I. Virgil, "Pulse Transition Method from Low to High Voltage Level Half and Full Bridge Application", US patent, 2007.
- [8] A. Novelli, L. Giussani, and I. Bellomo, "New generation of half bridge gate driver ICs for use with low power 3.3 V control application", IEE CNF Power Electronics, Vol. 4, p. 3237, 2004.