

## SOI-MOSFET의 고온 동작에 관한 연구

### A Study on High Temperature Operation of SOI-MOSFET

최창용<sup>1</sup>, 문경숙<sup>2</sup>, 구상모<sup>1,a</sup>

(Chang-yong Choi<sup>1</sup>, Kyung-sook Moon<sup>2</sup>, and Sang-mo Koo<sup>1,a</sup>)

#### Abstract

The substrate bias effect on the current level of SOI-MOSFETs for high temperature operation has been investigated. In this work, we demonstrate the current level of SOI-MOSFETs can be controlled at different temperatures by applying a control bias to the substrate, showing that all current levels below  $T=150\text{ }^{\circ}\text{C}$  can be adjusted to a constant current level. 2D numerical simulation results show that substrate bias effectively controls the current conduction; as the substrate bias effectively lower the potential of the channel, inversion carrier generation is effectively controlled and consequently a constant current conduction level is achieved up to  $T=150\text{ }^{\circ}\text{C}$ . We also demonstrate that the device simulated in this work has same operation at any temperature below  $T=150\text{ }^{\circ}\text{C}$  through mixed mode simulation.

**Key Words** : High temperature, SOI-MOSFET, Simulation

#### 1. 서론

Silicon On Insulator Metal Oxide Semiconductor Field Effect Transistors (SOI-MOSFETs)은 오늘날 널리 사용되고 있는 마이크로 프로세서, 마이크로 컨트롤러, 디지털 로직, 메모리, 각종 센서와 같은 응용에 있어서 핵심을 이룬다[1,2]. SOI 기술을 이용하면 절연구조에 의해 소자들 간의 간섭이 줄어들어 전류이득, 고전압 내구성 등의 이득을 가지고 온다. 또한 방사선의 유입이나 기판에서 에너지에 의해 여기된 캐리어들을 Buried OXide layer(BOX)층이 효과적으로 차단함으로써 우주나 고온 상황에서의 응용이 가능한 장점이 있다[3].

고온 가스 센서, 자동차용 인버터, 집적화에 따른 자체 발열 등 소자의 고온 동작이 중요하다. 하지만 고온에서 lattice heating에 의한 격자진동에

의해 mobility가 감소하기 때문에 실온에 비해 고온( $T=150\text{ }^{\circ}\text{C}$ )에서의 전류 레벨은 현저히 떨어지게 된다[4]. 비록 Si기반의 소자이기 때문에  $150\text{ }^{\circ}\text{C}$  이상의 온도에서는 intrinsic 캐리어의 영향을 제어할 수 없지만 우리는 본 연구에서  $150\text{ }^{\circ}\text{C}$ 이내에서 안정적으로 동작할 수 있는 SOI-MOSFET에 관한 연구를 수행하였다.

#### 2. 실험

소자는 그림 1의 inset에서 보는 바와 같이 p-type SOI기판 위에 전통적인 MOSFET 공정으로 제작되었다. 채널의 두께는 수 나노미터 단위로 컨트롤 되어  $12\text{ nm}$ 의 두께( $t$ ), 길이( $L$ )와 폭( $W$ )은 모두  $30\text{ }\mu\text{m}$ , n+의 source와 drain을 갖는다. 실리콘 채널 위의 게이트 산화막은  $40\text{ nm}$ 의 두께( $t_{ox}$ )를 갖고, 게이트는 n+ polysilicon를 사용하였으며 Si-substrate 아래에는 substrate에 바이어스를 인가하는 contact이 존재하고, source, drain, substrate contact은 모두 aluminium을 사용하였다. 시뮬레이션은 그림 1의 inset과 동일한 구조로  $25\text{ }^{\circ}\text{C}$ (실온)에서  $25\text{ }^{\circ}\text{C}$ 단위로  $150\text{ }^{\circ}\text{C}$ 까지 수행되었다. 계산상

1. 광운대학교 전자재료공학과  
(서울시 노원구 월계동 447-1)  
2. 경원대학교 수학적정보학과  
a. Corresponding Author : smkoo@kw.ac.kr  
접수일자 : 2008. 5. 22  
1차 심사 : 2008. 7. 11  
심사완료 : 2008. 7. 23

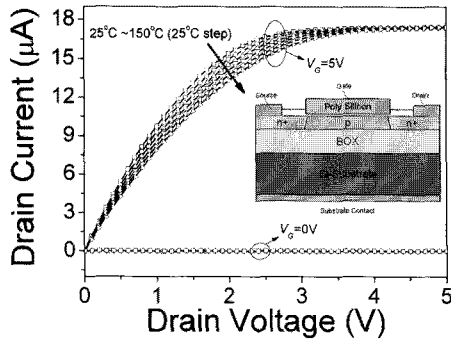


그림 1. (시뮬레이션) 기판 바이어스에 의해 보상된  $I_D-V_D$  특성. Inset은 제작 및 시뮬레이션된 구조의 schematic이다.

Fig. 1. Simulated drain characteristics that be corrected by substrate bias. Inset represents the schematic of processed and simulated structure.

의 시간을 절약하기 위해 BOX아래 기판 두께는 실제보다 얇게 제작되어 2차원 소자구조에서의 mesh의 수를 줄였다. 시뮬레이션을 통하여 각 온도별로 on상태와 off상태를 전류레벨을 일치시키기 위해 기판 바이어스 값을 계산하였고, 또한 온도 25 °C와 150 °C 상황에서 채널 내부의 전류 밀도 분포 및 potential line profile을 비교하였다. 시뮬레이션과 같은 방법으로 실제 측정에서 적당한 기판 바이어스를 설정하여 온도별 전류레벨을 일치시켰다. 또한 앞서 시뮬레이션 했던 구조를 이용하여 실제 회로에 적용시켰을 때 기판 바이어스의 효과를 알아보기 위해 mixed mode 시뮬레이션을 수행하였다. 시뮬레이션 된 회로는 common source 설정을 사용하였다.

### 3. 결과 및 고찰

25 °C(실온)에서부터 25 °C단위로 증가시켜 150 °C까지 시뮬레이션된  $I_D-V_D$  특성을 그림 1에 나타내었다. 기판 바이어스  $V_{SUB}$ 를 이용하여 25 °C~125 °C 동작조건에서의 전류레벨을 바이어스  $V_{SUB}$ 를 가하지 않고 150 °C인 동작조건에서의 전류레벨에 맞추었다. 각 온도 조건에서 on 동작( $V_G=5$  V)은 매우 좋은 동일한 포화 특성을 보이고, 또한 동일한 off 특성( $V_G=0$  V)을 보인다. 이 특성을 확인하기 위해 그림 2와 같이 각 조건에서의 전류밀도

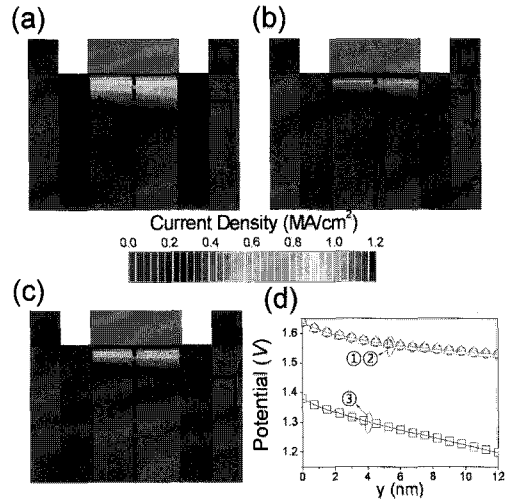


그림 2. (a) 25 °C에서 기판 바이어스에 의해 보상되지 않은 상태의 채널 전류밀도 분포. (b) 150 °C일 때의 채널 전류 밀도 분포. (c) 25 °C에서 기판 바이어스에 의해 보상되었을 때의 채널 전류밀도 분포. (d) (a),(b),(c) 구조에서 추출된 potential line profile.

Fig. 2. (a) Current density distribution in channel at 25 °C(not compensated). (b) Current density distribution in channel at 150 °C. (c) Current density distribution in channel at 25 °C (compensated by substrate bias) (d) Potential line profile extracted from structure (a), (b), (c).

및 potential profile을 비교하였다. 그림 2(a), (b), (c)는 각 조건에서 시뮬레이션을 수행한 구조의 채널 부분을 확대한 그림이다. 그림 2(a)와 (b)는 각각 온도 25 °C와 150 °C에서  $V_G, V_D=5$  V 및  $V_{SUB}=0$  V인 상황에서의 전류밀도 분포를 나타낸 그림이다. 예상한 것처럼 고온에서 mobility 감소에 의한 전도 전류 감소를 보이고 있다. 그림 2(a)와 같은 상황에서 기판 바이어스  $V_{SUB}$ 에 정확히 계산된 전압을 인가하여 150 °C 상황에서의 전류레벨에 맞추었다. 그림 2(c)에서 보는 바와 같이 전류 밀도가 그림 2(b) 즉 150 °C 상황에서의 전류밀도와 같은 수준으로 제한된 것을 볼 수 있다. 이것은 기판 바이어스에 의해 채널 내부의 포텐셜이 효과적으로 낮추어져 반전층 생성을 제한하였음을 예상할 수 있다. 이것은 그림 2(a), (b), (c)의

①,②,③ potential line profile에서 확인할 수 있다. 그림 2(d)는 각 line profile을 비교한 그래프이다. 예상한 바와 같이 기판 바이어스의 효과는 채널 내부의 포텐셜을 낮추는 것을 확인할 수 있었다. 시뮬레이션 방법과 마찬가지로 hot chuck을 이용하여 25 °C에서 25 °C단위로 150 °C까지 온도를 단계적으로 올리고 기판에 적당한 바이어스를 가하면서 측정을 하였다. 그림 3에서 보는 바와 같이 측정된 결과 또한 150 °C에서의 전류레벨에 정확히 맞는 것을 볼 수 있다. 하지만 그림 3의 inset에서 보는 바와 같이 기판에 가해진 바이어스가 시뮬레이션과 실측치 사이에 차이가 나는 것을 볼 수 있다. 이것은 시뮬레이션 구조의 기판 두께와 실제 소자의 웨이퍼 두께 차이로 인한 결과이다.

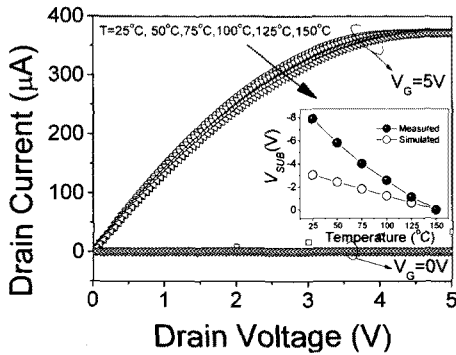


그림 3. (측정) 기판 바이어스에 의해 보상된  $I_D$ - $V_D$ 특성. Inset은 전류값을 보상하기 위해 가해진 기판 바이어스의 시뮬레이션과 측정된 값의 비교를 나타낸다.

Fig. 3. Measured drain characteristics that compensated by substrate bias. Inset represents the plot of substrate bias value as variation of temperature.

시뮬레이션 구조의 기판 두께에 비해 실제 웨이퍼의 두께가 두껍기 때문에 같은 보상 효과를 위해서는 더욱 큰 바이어스를 가해 주어야 함을 예상할 수 있다.  $V_G=5$  V,  $V_D=5$  V 일 때, 25 °C에서 최대의 드레인 전류가 나타남을 고려하여, 이 최대 전류값으로 온도별 전류를 정규화하여 온도가 증가함에 따라 줄어드는 전류의 비율을 계산하여 보았다. 그림 4에서 보는 바와 같이 단조 감소형태의 그래프를 볼 수 있다. 이는 그림 5와 같은 온도에 의한 lattice scattering에 따른 mobility감소의 결

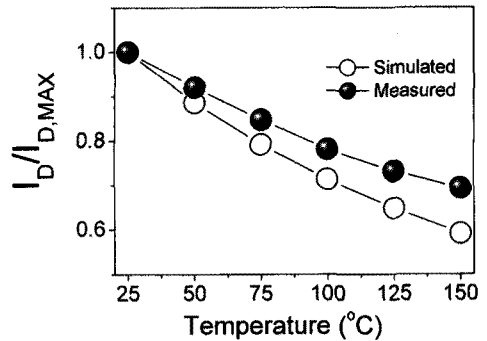


그림 4.  $V_G=5$  V,  $V_D=5$  V 일 때, 최대 드레인 전류(25 °C)값으로 정규화한 온도별 드레인 전류의 시뮬레이션과 측정된 값의 비교.

Fig. 4. Normalized variation of saturated drain current for different temperatures at  $V_G=5$  V,  $V_D=5$  V. (Comparison between simulated and measured results)

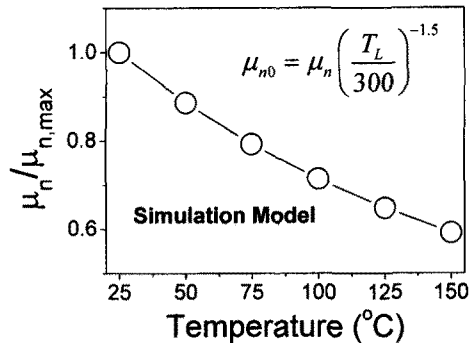


그림 5. Lattice temperature에 따른 정규화된 mobility.

Fig. 5. Normalized mobility as the variation of lattice temperature.

과와 유사하다. 시뮬레이션 결과만을 고려하면 온도에 따라 감소하는 mobility와 전류의 비율은 일치하는 것을 볼 수 있지만, 실제 측정된 전류값의 감소 비율은 차이가 있는 것을 볼 수 있다. 이것은 측정의 경우 BOX층의 낮은 열전달 계수로 인해 hot chuck으로부터 전달되는 열이 기판 바닥면을 통하여 소자로 전달되나, 시뮬레이션에서는 ambient의 온도가 소자 전체에 균일하게 적용되었기 때문이다. 또한 실제 웨이퍼 두께를 고려하면 시뮬레이션에서의 두께에 비해 두껍기 때문에 열

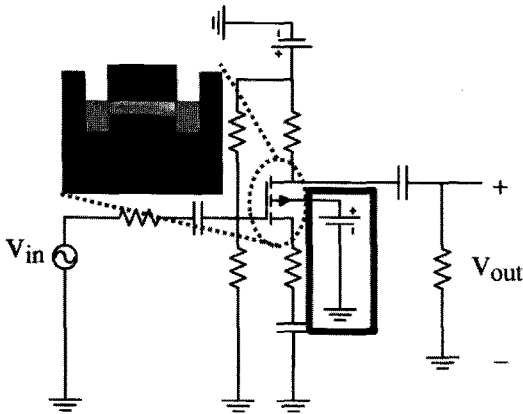


그림 6. Mixed mode 시뮬레이션(Common source 설정).

Fig. 6. Mixed mode simulation(Common source configuration).

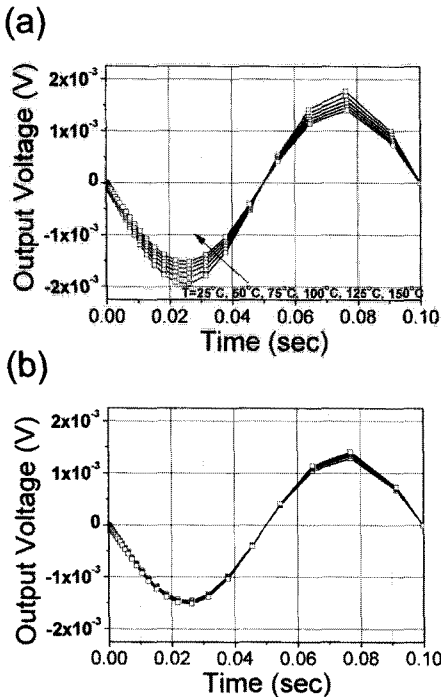


그림 7. (a) 기판 바이어스를 가하지 않은 상태의 출력 파형 (b) 기판 바이어스를 이용하여 dc 동작점을 맞추었을 때의 출력 파형.

Fig. 7. (a) Output characteristic when the substrate bias was not applied (not compensated) (b) Compensated output characteristic.

전달 측면에서 실제적인 경우가 적용되었음을 알 수 있다. 실제 응용에 있어서 SOI-MOSFET을 이용한 회로 외부에 한 개의 온도 sensing 회로와 feedback 회로를 추가하여 전체 웨이퍼 위의 모든 active 소자들의 온도 안정성을 동시에 유지할 수 있을 것으로 예상된다. 또한 본 연구에서 제작된 소자가 실제 회로에서 적용되었을 때를 고려하여 온도에 대한 효과에 관하여 그림 6과 같이 TCAD를 이용하여 시뮬레이션 된 구조에 spice 모델을 적용한 mixed mode 소신호 동작 시뮬레이션을 수행하였다. 회로에 입력된 파형은 sine 파형을 입력하였고 그림 7에서 보는 바와 같이 common source 특성인 위상 180° 반전된 모습을 확인할 수 있다. 그림 7(a)처럼 온도별로 출력 파형이 다른 것을 볼 수 있다. 이것은 dc 바이어싱 특성이 온도에 따라 바뀌었음을 예상할 수 있다. 이를 보정하기 위해 앞서 수행했던 방법과 마찬가지로 적당한 바이어스를 기판에 가하여 같은 dc 동작점을 갖게 하였다. 그림 7(b)에서 보는 바와 같이 온도별로 출력 파형이 일치하는 것을 볼 수 있다.

#### 4. 결론

고온에서 동작 가능한 SOI-MOSFET을 제작하고 측정 및 시뮬레이션을 수행하였다. 실리콘 기반의 소자는 intrinsic carrier의 영향으로 인해 150 °C 이상에서는 소자를 제어할 수 없지만, 150 °C 이내에서 안정적으로 동작시키기 위해 기판 바이어스를 이용하였다. 고온에서는 lattice heating에 의한 격자산란에 의해 mobility가 감소하게 되어 고온(T=150 °C)에서 전류레벨이 감소하는 현상이 있다. 150 °C 이하의 온도에서의 동작은 150 °C에서의 동작보다 전류레벨에 있어서 다소 높다. 기판 바이어스를 이용하여 이 높은 전류레벨을 150 °C에서의 전류레벨과 같게 제한하여 각 온도에 따라 모두 같은 동작 특성을 갖게 하였다. 각 온도의 on 상황에서 모두 매우 좋은 동일한 포화 특성을 보였고, off 상황 역시 같은 특성을 보였다. 저온에서 전류레벨을 낮출 수 있었던 이유는 기판 바이어스가 채널의 포텐셜을 효과적으로 낮추어 반전층 생성을 제한하였기 때문임을 시뮬레이션을 통하여 확인하였다. 이와 같은 방법으로 hot chuck을 이용하여 실제 소자를 측정된 결과 시뮬레이션과 마찬가지로 같은 동작점을 갖게 할 수 있음을 확인하였다. 이 때 사용된 기판 바이어스와 실제 나타난 전류 감소 효과는 시뮬레이션 구조에 비해 두꺼운 웨이퍼의 두께에 의해 더 많은 바이어스와가 필요

하게 되었고, 채널이 효과적인 열을 못 받았기 때문에 온도에 따른 전류 감소율은 더 작게 되었음을 예상할 수 있었다. 또한 mixed mode 시뮬레이션을 통하여 소신호 동작 또한 기판바이어스를 이용하여 온도별로 보정할 수 있음을 확인하였다.

### 감사의 글

본 논문은 학술진흥재단(KRF-2007-3310173)과 산업자원부가 지원하는 국가 반도체연구사업인 “시스템직접반도체기반기술개발사업(시스템 IC2010)”에 의해 개발된 결과임을 밝힙니다.

### 참고 문헌

[1] G. G. Shahidi, “SOI technology for the GHz era”, IBM J. Res. Dev., Vol. 46, No. 2/3, p. 121, 2002.

[2] S. B. Park, Y. W. Kim, Y. G. Ko, K. I. Kim, I. K. Kim, H.-S. Kang, J. O. Yu, and K. P. Suh, “A 0.25- $\mu\text{m}$ , 600-MHz, 1.5-V, fully depleted SOI CMOS 64-bit microprocessor,” IEEE J. Solid-State Cir., Vol. 34, No. 11, p. 1436, 1999.

[3] D. M. Fleetwood, F. V. Thome, S. S. Tsao, P. V. Dressendorfer, V. J. Dandini, and J. R. Schwank, “High-temperature silicon-on-insulator electronics for space nuclear power systems: requirements and feasibility”, IEEE Trans. on Nuc. Sci., Vol. 35, p. 1099, 1988.

[4] S.-M. Koo, C.-M. Zetterling, M. Ostling, S. Khartsev, and A. Grishin, “Multifunction integration of junction-MOSFETs and nonvolatile FETs on a single 4H-SiC substrate for 300 °C operation”, IEDM '03 Technical Digest, p. 23.4.1, 2003.