

---

# 다중 표준용 파라미터화된 비터비 복호기 IP 설계

박상덕\* · 전홍우\* · 신경욱\*

## A Design of Parameterized Viterbi Decoder for Multi-standard Applications

Sang-deok Park\* · Heung-Woo Jeon\* · Kyung-Wook Shin\*

---

이 논문은 2007년도 금오공과대학교 연구비를 지원받았음

---

### 요 약

부호화율과 구속장을 선택적으로 지정할 수 있는 다중 표준용 파라미터화된 비터비 복호기의 효율적인 설계에 대해 기술한다. 설계된 비터비 복호기는 부호화율 1/2과 1/3, 구속장 7과 9를 지원하여 4가지 모드로 동작하도록 파라미터화된 구조로 설계되었으며, 각 동작모드에서 공통으로 사용되는 블록들의 공유가 극대화되는 회로구조를 적용하여 면적과 전력소모가 최소화되도록 하였다. 또한, one-point 역추적 알고리즘에 최적화된 ACCS (Accumulate-Subtract) 회로를 적용하였으며, 이를 통해 완전 병렬구조에 비해 ACCS 회로의 면적을 약 35% 감소시켰다. 설계된 비터비 복호기 코어는 0.35-um CMOS 셀 라이브러리로 합성하여 79,818 게이트와 25,600비트의 메모리로 구현되었으며, 70 MHz 클럭으로 동작하여 105 Mbps의 성능을 갖는다. 설계된 비터비 복호기의 BER (Bit Error Rate) 성능에 대한 시뮬레이션 결과, 부호화율 1/3과 구속장 7로 동작하는 경우에 3.6 dB의  $E_b/N_0$ 에서  $10^{-4}$ 의 비트 오류율을 나타냈다.

### ABSTRACT

This paper describes an efficient design of a multi-standard Viterbi decoder that supports multiple constraint lengths and code rates. The Viterbi decoder is parameterized for the code rates 1/2, 1/3 and constraint lengths 7, 9, thus it has four operation modes. In order to achieve low hardware complexity and low power, an efficient architecture based on hardware sharing techniques is devised. Also, the optimization of ACCS (Accumulate-Subtract) circuit for the one-point trace-back algorithm reduces its area by about 35% compared to the full parallel ACCS circuit. The parameterized Viterbi decoder core has 79,818 gates and 25,600 bits memory, and the estimated throughput is about 105 Mbps at 70 MHz clock frequency. Also, the simulation results for BER (Bit Error Rate) performance show that the Viterbi decoder has BER of  $10^{-4}$  at  $E_b/N_0$  of 3.6 dB when it operates with code rate 1/3 and constraints 7.

### 키워드

채널 부호화, 오류정정 부호화, 길쌈부호, 비터비 복호

## I. 서 론

디지털 통신기술의 발전에 의해 전송되는 정보의 고속화, 대용량화 및 멀티미디어화가 빠르게 진행되고 있으며, 그 응용분야도 유선통신에서 무선통신, 방송 및 방송과 통신의 융합 등으로 급격히 확대되고 있다. 통신 시스템은 잡음, 다중경로 페이딩, 간섭 등 채널상의 여러 가지 요인들에 의해 정보의 손실이 발생하고, 이로 인해 전송오류가 발생하게 된다. 따라서 전송채널에서 발생하는 오류를 수신단에서 검출하여 정정하는 오류정정 부호화 (Error Correction Coding; ECC) 방법이 널리 사용되고 있다<sup>[1][2]</sup>.

전송채널에서 발생하는 에러를 정정하기 위한 채널 코딩 방법으로 길쌈부호 (convolutional code)와 길쌈부호화된 정보를 복호하기 위한 비터비 복호 알고리즘이 널리 사용되고 있다. 1967년 Viterbi에 의해 제안된 비터비 복호 알고리즘<sup>[3]</sup>은 송신과정의 채널에서 발생한 오류를 제거하여 원래의 송신 데이터를 검출하는 최대유사 복호화 (Maximum Likelihood Decoding; MLD) 알고리즘으로써 디지털 유·무선 통신 시스템의 순방향 오류 정정을 위해 가장 널리 사용되고 있다.

길쌈부호기와 비터비 복호기의 구체적인 사양은 통신 시스템마다 각각 다르게 정의되어 있다. 휴대형 인터넷 표준인 Wibro 시스템과 무선 랜에서는 구속장 7, 부호화율 1/2, 2/3, 3/4 등이 선택적으로 사용되며, UMTS와 WCDMA 시스템에서는 구속장 9, 부호화율 1/2, 1/3이 사용된다. 표 1은 디지털 무선통신 시스템들에서 사용되는 채널코딩 사양 (구속장, 부호화율, 최대 전송율)을 보이고 있다. 최근의 무선통신 시스템에서는 단일 플랫폼에 다중 표준이 구현되는 경향을 보이고 있다. UMTS와 WLAN을 하나의 PDA에 구현하거나, WLAN과 DMB를 단일 시스템에 구현하는 기술들이 등장하고 있다. 그러나 기존에 개발된 비터비 복호기들은 특정 시스템의 사양을 지원하도록 설계되어 있어 다중 표준 사양을 지원하지 못하며, 또한 범용 DSP를 기반으로 한 비터비 복호기의 구현은 처리속도가 낮다는 한계를 갖는다<sup>[5-8]</sup>. 따라서 다양한 규격을 지원하는 비터비 복호기 IP (Intellectual Property)의 사용이 필요하다.

본 논문에서는 다양한 디지털 무선통신 시스템에 적용될 수 있도록 구속장과 부호화율에 따라 비터비 복호기의 하드웨어 블록이 선택적으로 공유되는 파라미터

화된 비터비 복호기 IP를 설계하였으며, 이를 통해 면적과 전력소모가 최소화되는 효율적인 하드웨어 구현 방법을 제시하였다. 2장에서는 비터비 복호 알고리즘에 대해 기술하며, 3장에서는 파라미터화된 비터비 복호기의 효율적인 하드웨어 구현에 대해 기술한다. 4장에서는 설계된 비터비 복호기의 기능검증과 성능평가에 대해 기술하고, 5장에서 결론을 맺는다.

표 1. 디지털 무선통신 시스템의 비터비 복호기 사양  
Table. 1 Parameters for Viterbi decoder in digital wireless communication systems

사양 시스템	부호화율	구속장	최대 전송율 [Mbps]
ISDB-T	1/2	7	5.4
DVB-T	1/2, 2/3, 3/4, 5/6, 7/8	7	6 ~ 31.7
DAB T-DMB	1/2, 2/3, 3/4, 5/6, 7/8	7	< 5
WLAN	1/2, 2/3, 3/4	7	54
Wibro	1/2, 2/3, 3/4	7	30
UMTS	1/2, 1/3	9	< 5
WLL	1/2	7, 9	0.144
WCDMA	1/2, 1/3	9	2

## II. 비터비 복호 알고리즘

비터비 복호 알고리즘은 이산 무기억 채널로부터 수신된 시퀀스에 대해 확률적으로 가장 근사한 경로를 선택하는 최대 유사경로 (maximum likelihood path)를 찾는 복호화 방식이다<sup>[3-4]</sup>. 이 알고리즘은 수신된 시퀀스간의 거리를 반복적으로 계산하고, 각각의 상태에 입력되는 모든 경로들의 가지 메트릭 (Branch Metric; BM)을 비교하여 가장 작은 메트릭을 갖는 생존자 (survivor) 경로와 그 메트릭을 구한다. 또한, 구속장의 5~6배의 길이만큼 반복해서 각 단계마다 메트릭 값을 누적하여 가장 작은 메트릭을 가진 생존자 경로와 상태 메트릭 (Path Metric; PM) 값을 결정한다. 이렇게 결정된 생존자 경로는 수신된 시퀀스의 최대 유사경로가 되어 역추적 (traceback) 과정을 통해 원래의 데이터를 복호하게 된다.

수신된 시퀀스간의 거리를 계산하는 방법에는 이진 대칭채널 (binary symmetric channel)에서 '0'과 '1'의 두

값만을 나타내는 경판정 (hard decision) 방법과 가우시안 채널 (Gaussian channel)에서 가우시안 확률분포만큼의 값을 가질 수 있는 연판정 (soft decision) 방법으로 나눌 수 있다. 연판정 방법은 경판정 방법 보다 부호화 이득에서 약 2~3 dB의 성능 향상을 나타내는 것으로 알려져 있다<sup>[4]</sup>.

### III. 파라미터화된 비터비 복호기 구현

무선 통신 시스템에서 사용되는 비터비 복호기는 길쌈부호의 부호화율과 구속장, 연판정 비트수, ACCS 쌍의 수, PM의 비트 수, 역추적 깊이 등에 따라 설계사양이 영향을 받는다. 본 논문에서는 표 2와 같은 사양을 만족하도록 파라미터화된 비터비 복호기를 설계하였다. 입력 데이터는 3비트로 연판정된 값을 사용하며, 동작모드는 부호화율 1/2, 1/3과 구속장 7 또는 9가 선택되어 총 4가지 동작모드를 갖는다. BM의 합을 저장하는 PM의 크기는 10비트로 설계하였다. 역추적 깊이는 구속장 7과 9에 대해 각각 48과 60으로 결정하였다.

표 2. 파라미터화된 비터비 복호기의 설계 사양  
Table. 2 Specifications of parameterized Viterbi decoder

사 양	파라미터 값
입력 데이터	3 비트 (연판정)
동작모드	4가지
부호화 율	1/2, 1/3
구속장	7, 9
생성 다항식	$(171,133)_8, (557,663,711)_8$
역추적 깊이	48, 60
상태 메트릭 비트 수	10 bit

설계된 파라미터화된 비터비 복호기는 그림 1과 같이 BMU (Branch Metric Unit), ACSU (Add- Compare-Select Unit), TBU (Trace Back Unit) 3개의 블록으로 구성되며, 각 블록은 부호화율과 구속장 파라미터에 따른 4가지 모드로 동작한다. BMU는 채널을 통하여 수신된 3비트 연판정 신호와 코드워드 사이의 거리를 계산하여 BM 값을 생성한다. ACSU는 BMU에서 생성된 BM 값을 PM에 누적시켜 하나의 상태에 입력되는 두 개의 PM 값 가운데

작은 것을 선택하여 그 상태의 PM 값으로 저장하고, PM 선택 시의 정보를 담은 생존경로 정보 (Survival Path Information; SPI)를 TBU로 넘겨준다. TBU는 일정한 지연시간 후부터 생존경로 정보를 역추적하여 부호화된 데이터를 복호화 한다.

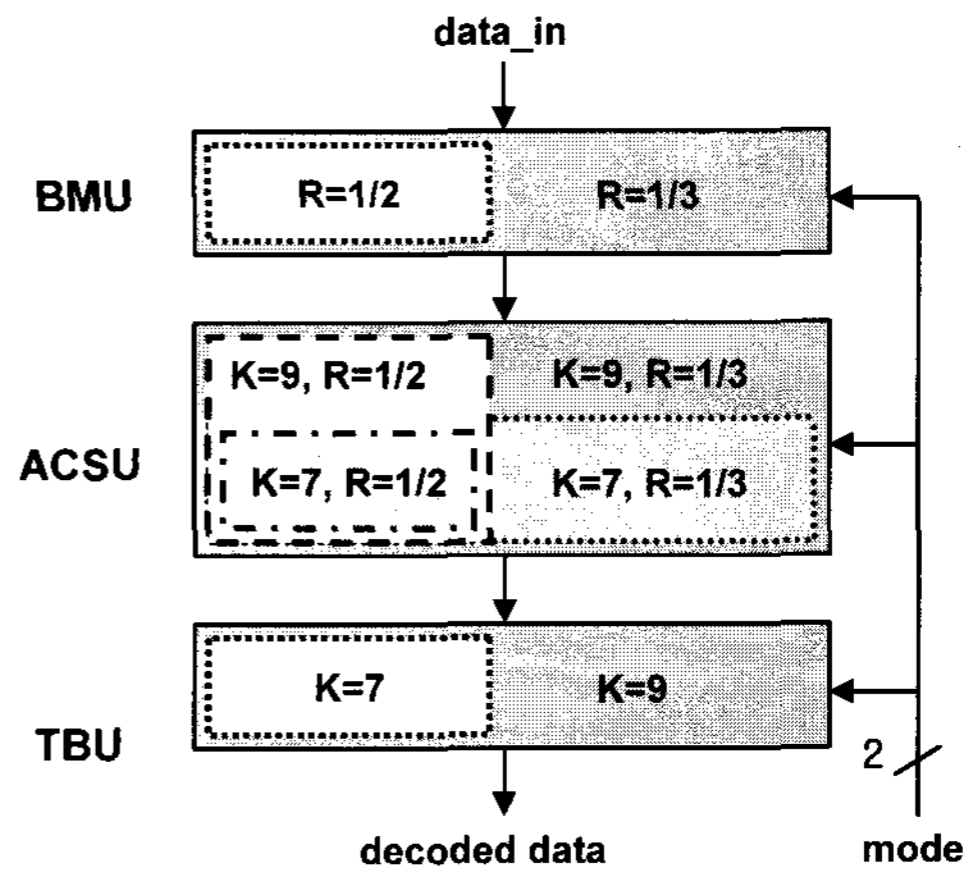


그림 1. 파라미터화된 비터비 복호기의 구조  
Fig. 1. Architecture of parameterized Viterbi decoder

본 논문에서 설계된 비터비 복호기는 구속장과 부호화율 파라미터에 따라 4가지 모드로 동작하므로, 각 동작모드에서 공통으로 사용되는 회로들의 공유가 극대화되도록 최적의 구조를 고안하여 적용하였다. 그림 1에서 보는 바와 같이, BMU 회로는 구속장에 무관하게 부호화율에만 영향을 받고, TBU 회로는 부호화율에 무관하게 구속장에만 영향을 받으며, ACSU 회로는 부호화율과 구속장 모두에 영향을 받는다. 이와 같이 비터비 복호기 파라미터와 하드웨어 구조 사이의 관계에 대한 분석을 토대로, BMU에서는 부호화율 1/3을 처리하는 회로가 부호화율 1/2을 처리하는 회로를 공유하도록 설계하였으며, TBU에서는 구속장 9를 처리하는 회로가 구속장 7을 처리하는 회로를 공유하도록 설계하였다. 또한, ACSU에서는 동작모드 (1/2, 9)와 (1/3, 7)를 처리하는 회로가 (1/2, 7)을 처리하는 회로를 공유하고, (1/3, 9)을 처리하는 회로가 다른 회로들을 모두 공유하도록 설계하였다 (단, (R, K)에서 R과 K는 각각 부호화율과 구속장을 나타낸다). 따라서 본 논문의 파라미터화된 비터비 복호기는 동작모드 (1/3, 9)을 처리하는 회로와 동작모드 선택에 필요한 약간의 부가회로만으로 4가지 동작모드 (1/2, 7), (1/3,

7), (1/2, 9), (1/3, 9)가 구현되도록 설계되었다.

### 3.1 BMU (Branch Metric Unit)

BMU는 무선채널을 통과하기 이전의 데이터와 채널의 오류가 섞인 수신신호 사이의 오류 발생을 판별하기 위한 유클리디안 거리 (Euclidean Distance)를 구하는 블록이다. BMU는 그림 2와 같이 S2P 블록과 6개의 유클리디안 거리 계산기 (EDC), 8개의 가산기 그리고 부호화율에 따라 선택적으로 동작하는 5개의 MUX로 구성된다. 부호화율 1/2에서는 4개의 EDC와 4개의 가산기만 사용되며, 부호화율 1/3에서는 6개의 EDC와 8개의 가산기가 사용된다. 3비트의 연관정 입력 데이터는 S2P 블록을 거치면서 병렬화되고 EDC에서 유클리디안 거리를 계산하여 그 정보를 ACSU로 전달한다.

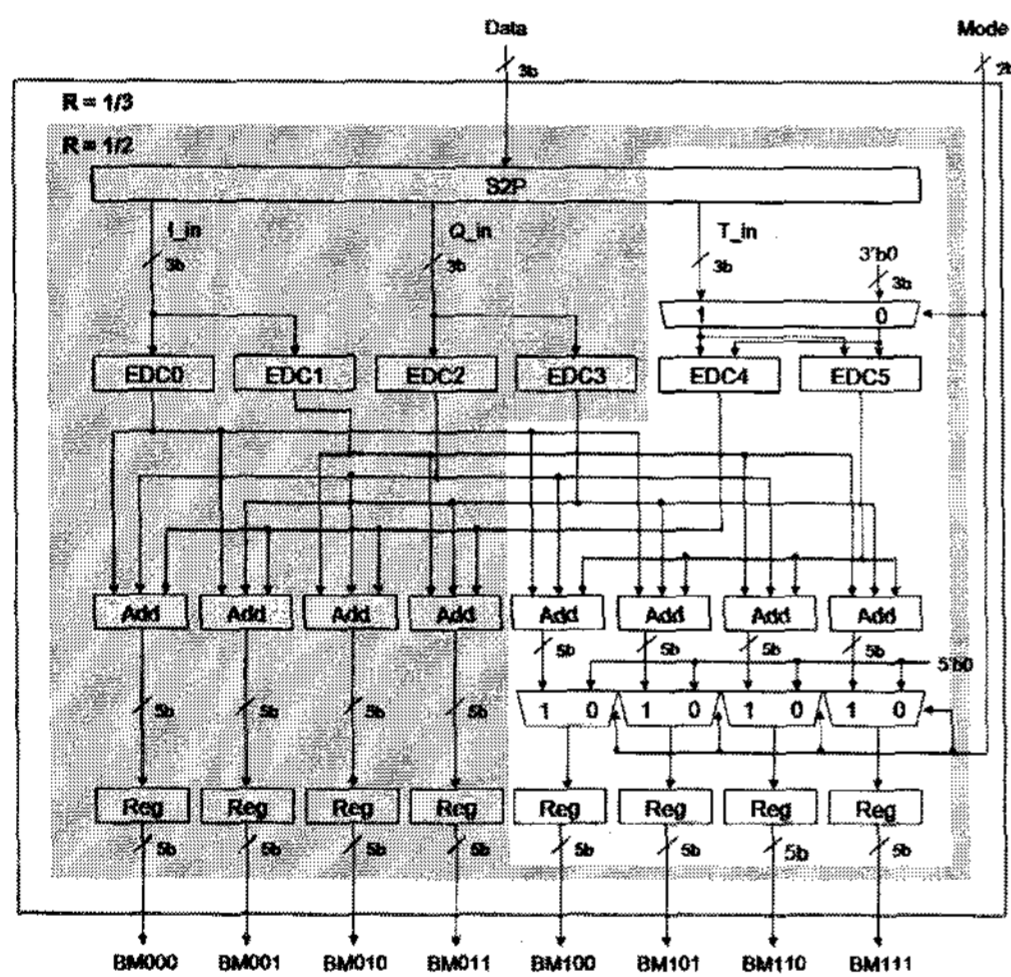


그림 2. 가지 메트릭 유닛  
Fig. 2 BMU (Branch Metric Unit)

### 3.2 ACSU (Add-Compare-Select Unit)

ACSU는 비터비 복호기의 동작성과 전체 면적에 큰 영향을 미치는 블록이다. ACSU는 BMU에서 생성된 BM 값과 이전상태에서 얻어진 상태 메트릭 값을 누적하고, 이전상태로부터 입력된 2개의 상태 메트릭 값을 비교하여 작은 값을 생존경로 정보로 결정하며, 이와 같은 ACSU의 동작은 그림 3과 같은 나비(butterfly) 구조로 표현할 수 있다.

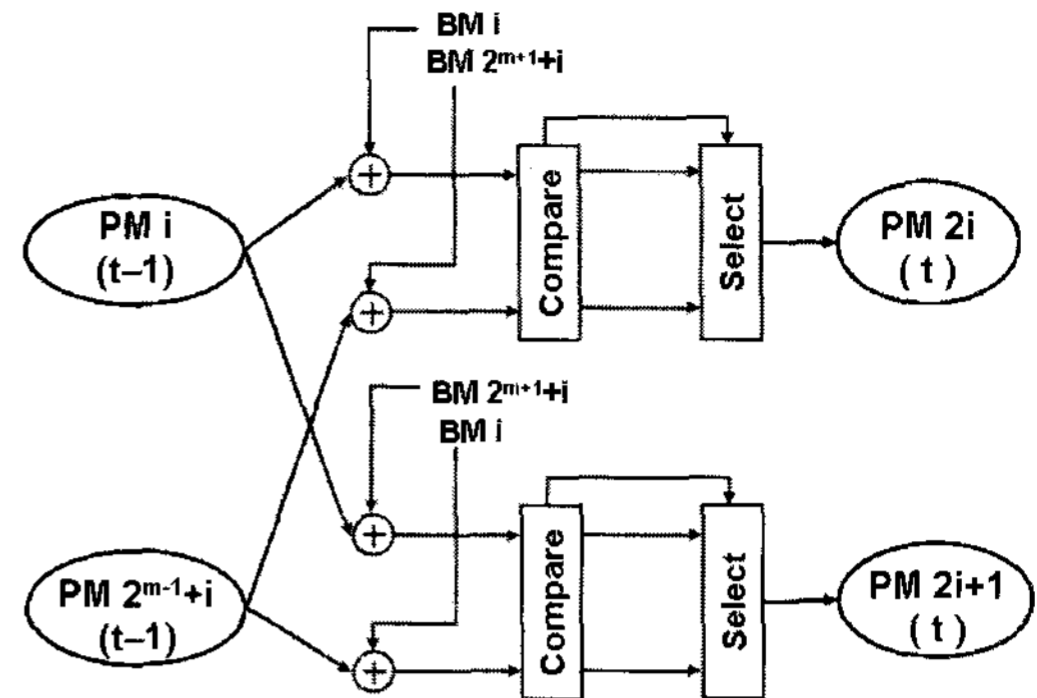


그림 3. Radix-2 나비연산  
Fig. 3 Radix-2 butterfly operation

그림 4는 ACSU의 전체 블록도이며, 그림 3의 나비연산을 수행하는 ACCS (Accumulate-Subtract) 블록들과 동작모드에 따라 이전상태의 상태 메트릭을 현재상태에 매핑시키는 부가회로와 데이터 레지스터로 구성된다. ACSU는 동작모드 (1/2, 9)와 (1/3, 7)를 처리하는 블록이 동작모드 (1/2, 7)를 처리하는 블록을 공유하고, 동작모드 (1/3, 9)를 처리하는 블록이 다른 블록들을 모두 공유하도록 설계하였다. 따라서 동작모드 (1/3, 9)를 처리하는 회로와 약간의 부가회로만으로 4가지의 동작모드가 수행되도록 하여 면적이 최소화되도록 설계하였다.

한편, ACSU의 전체 연산속도는 TBU의 메모리 쓰기 속도와 관련된다. TBU는 역추적 기법으로 one-point 알고리즘을 사용하며, 따라서 메모리 쓰기속도 보다 4배 빠르게 읽기동작이 가능하다. ACSU의 전체 연산속도는 TBU의 메모리 쓰기속도와 같으므로 TBU에서 메모리 읽기속도에 맞춰서 1개의 ACCS 블록으로 4개의 ACCS 기능을 처리하도록 설계하여 하드웨어 면적을 줄이면서 기존의 완전병렬 구조와 유사한 고속 데이터 처리가 가능하도록 하였다. 완전병렬 구조에서 구속장 7과 9에 대해 각각 32개와 128개가 소요되는 ACCS 쌍의 수를 각각 8개와 32개로 줄여 완전병렬 구조의 1/4에 해당하는 면적으로 동일한 성능을 구현하였으며, 데이터 저장 버퍼를 추가하여 ACSU 전체적으로 약 35%의 면적을 줄이는 효과를 얻었다.

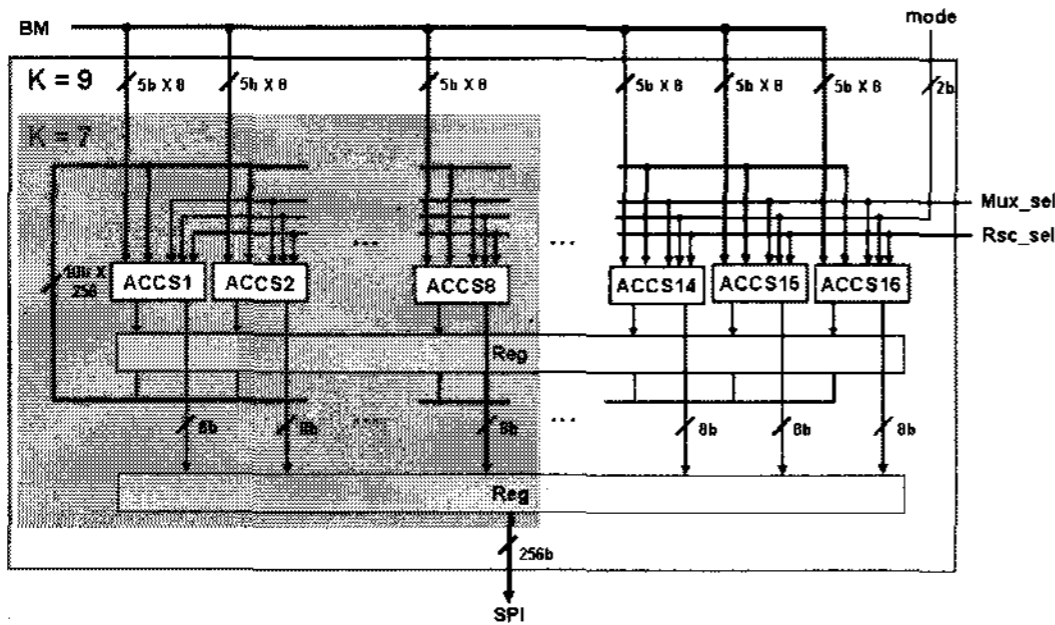


그림 4. 가산-비교-선택 유닛  
Fig. 4 ACSU (Add-Compare-Select Unit)

ACCS 블록은 그림 5와 같은 구조로 설계되었다. ACCS 블록은 이전상태까지의 BM이 누적된 PM과 현재 상태의 BM을 입력받아 이들을 누적하고 크기를 비교하여 현재상태의 PM과 생존경로 정보인 SPI를 결정한다. 그리고 Mux\_sel 신호로 현재상태까지의 BM이 누적된 PM을 다음상태의 PM으로 매핑될 수 있도록 해당 레지스터에 출력함으로써 하나의 ACCS 블록에서 4번의 ACCS 연산이 처리되도록 하였다. 또한, 모드신호에 의해서도 다음상태의 PM으로 매핑되므로 파라미터에 따라 재구성되어 동작되도록 하였다.

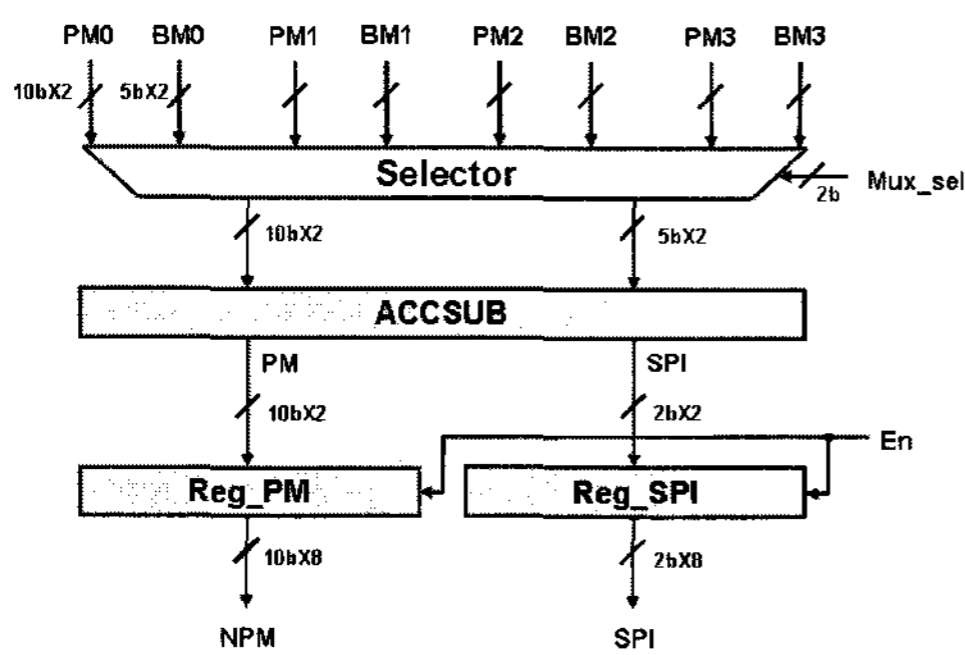


그림 5. 누적-감산 블록  
Fig. 5 ACCS block

### 3.3 TBU (Trace Back Unit)

TBU (Trace Back Unit)는 ACSU에서 입력된 생존경로 정보 데이터를 메모리에 저장하고 일정길이 동안 역추적하여 데이터를 복호화하는 블록이며, 그림 6과 같이 5개의 메모리 बैं크와 StateGen 및 LIFO으로 구성된다. ACSU에서 입력되는 생존경로 정보가 하나의 메모리 बैं크에 저장되는 동안 나머지 네개의 메모리 बैं크에서는

역추적 과정을 진행하여 복호화된 값을 StateGen 블록으로 보낸다. StateGen 블록에서는 메모리 बैं크에서 전달된 복호화된 데이터 가운데 하나의 데이터를 선택하여 LIFO (last-in first-out) 블록으로 전달한다. 메모리 बैं크에서의 역추적과 복호화 과정은 메모리의 쓰기동작과 역방향으로 수행되므로, LIFO 블록에서는 StateGen에서 입력된 데이터의 비트순서를 바로잡아 최종 복호화된 데이터를 출력한다.

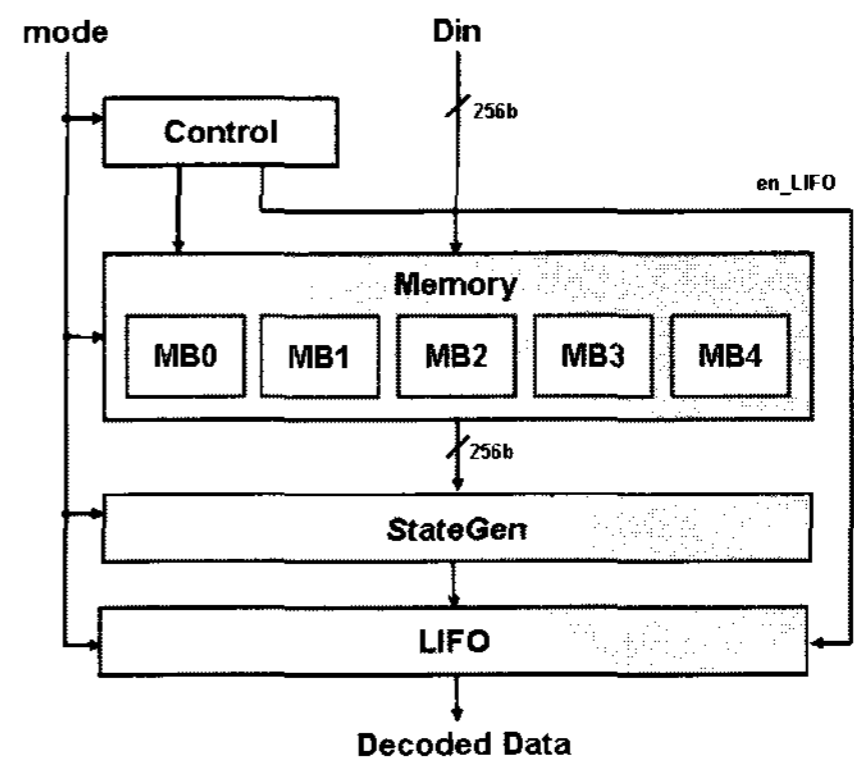


그림 6. 역추적 유닛  
Fig. 6 TBU (Trace Back Unit)

TBU의 역추적 방법은 읽기포인트에 따라 k-point even 알고리즘, k-point odd 알고리즘, one-point 알고리즘 등이 제안되고 있으며, 성능이 가장 우수한 것으로 알려진 one-point 알고리즘<sup>[8]</sup>을 사용하였다. 설계된 TBU의 동작 타이밍은 그림 7과 같으며, 5개의 메모리 बैं크를 사용하여 1개의 메모리 बैं크에 데이터가 쓰여 지는 동안 나머지 4개의 메모리 बैं크에서 데이터를 역추적하여 복호화하는 방식으로 동작한다. 따라서 메모리 बैं크의 읽기동작은 쓰기 클럭 보다 4배 빠르게 동작한다. 역추적 길이는 보통 구속장의 5~6배로 설계한다<sup>[8]</sup>.

TBU 내부의 메모리 बैं크의 깊이와 LIFO 블록의 메모리 크기는 구속장의 크기에 따라 달라진다. 메모리 बैं크의 크기는 구속장이 7인 경우 64비트이고, 구속장이 9인 경우에는 256비트이다. LIFO 블록의 메모리 크기는 구속장이 7인 경우에는 16비트이고, 구속장이 9인 경우에는 20비트가 된다. 이와 같이 TBU의 회로 크기는 구속장에 따라 달라지므로 구속장 9인 경우의 블록이 구속장 7인 경우의 블록을 공유하도록 설계하였으며, 이를 통해 회로 복잡도를 최소화하였다.

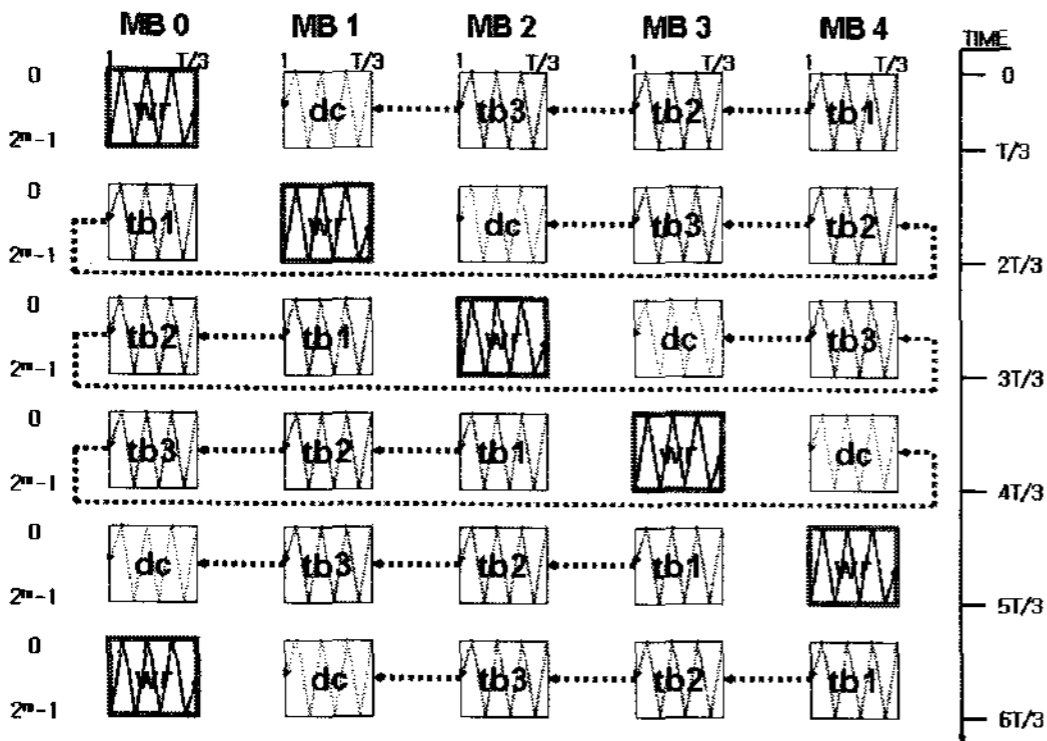


그림 7. TBU의 동작 타이밍 도  
Fig. 7 Timing diagram of TBU

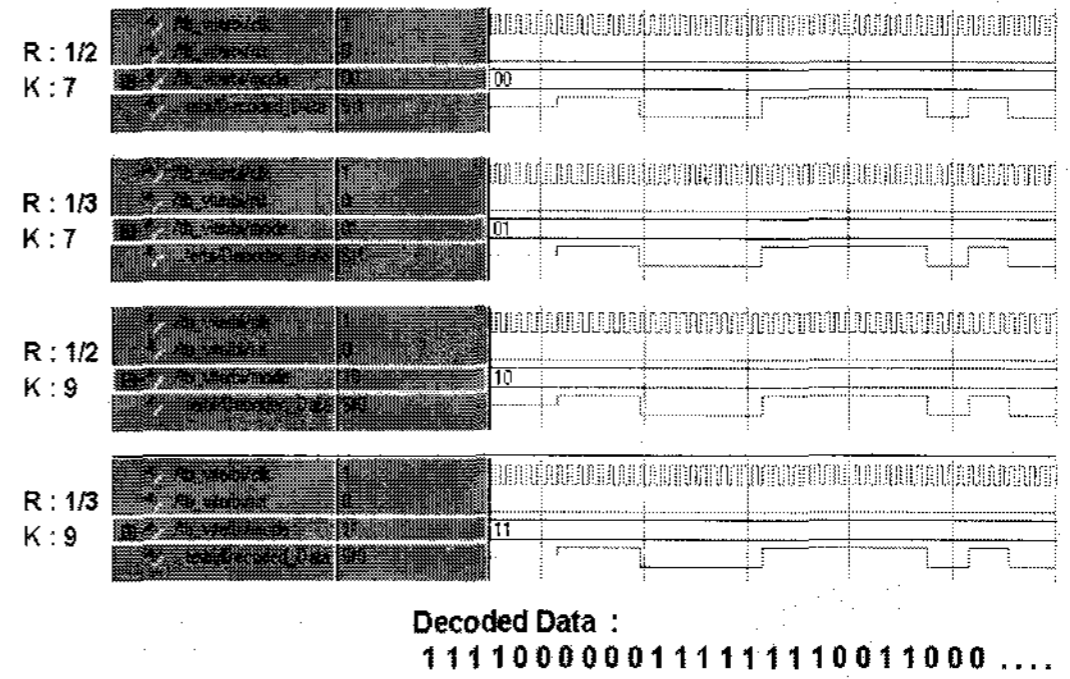


그림 9. 설계된 비터비 복호기 코어의 기능검증 결과  
Fig. 9 Simulation results of the designed Viterbi decoder

#### IV. 설계 검증 및 성능 평가

설계된 비터비 복호기 코어는 Verilog HDL을 이용하여 RTL 수준에서 모델링되었으며, 그림 8과 같은 과정으로 기능검증과 성능을 평가하였다. 기능검증과 성능평가를 위한 시뮬레이션 벡터는 Matlab을 사용하여 다음과 같은 과정으로 생성되었다. 랜덤 데이터를 생성하여 길쌈 부호화한 후 QPSK 변조와 백색 가우시안 채널잡음 (Additive White Gaussian Noise ; AWGN)을 삽입하고, 이를 다시 QPSK 복조하고 3비트로 연판정하여 생성된 데이터를 시뮬레이션 입력으로 사용하였다. ModelSim을 이용한 기능검증 결과는 그림 9와 같으며, 부호화율과 구속장 파라미터에 따른 4가지 동작모드에 대해 그림 8의 랜덤 데이터와 동일한 복호출력이 얻어져 설계된 비터비 복호기가 정상 동작함을 확인하였다.

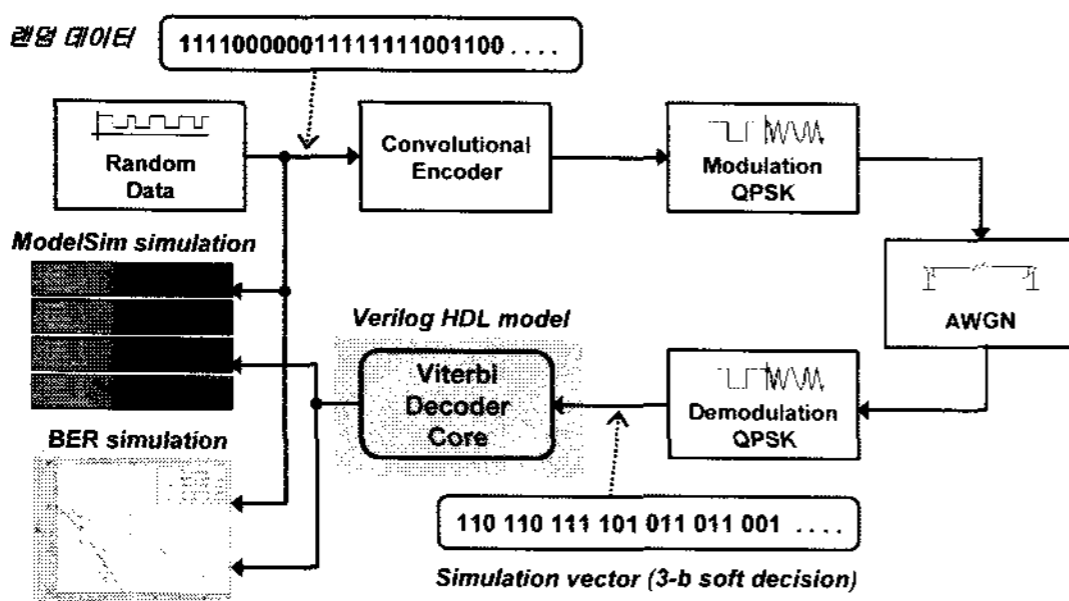
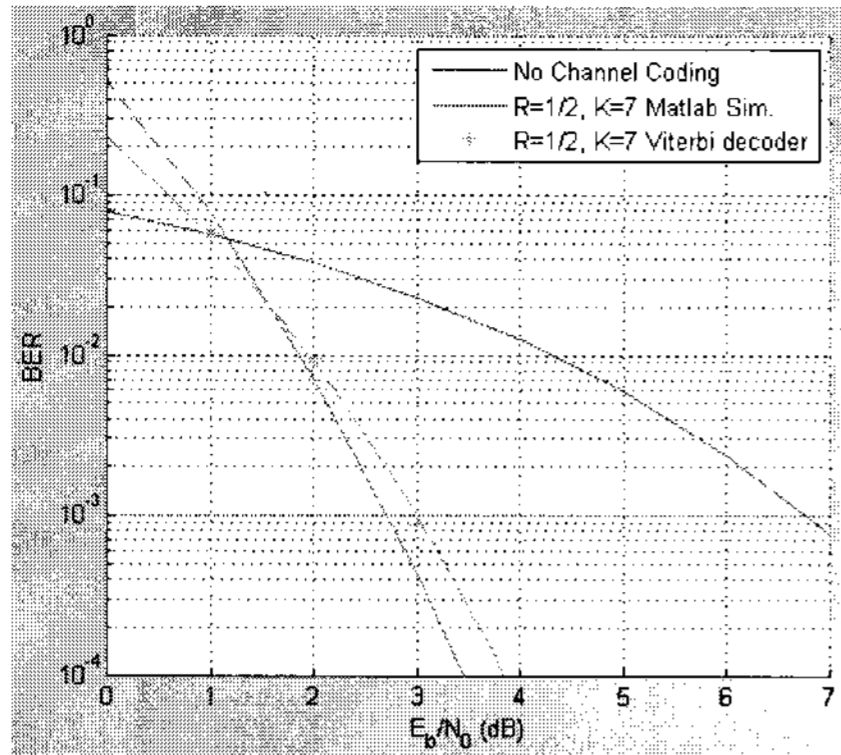
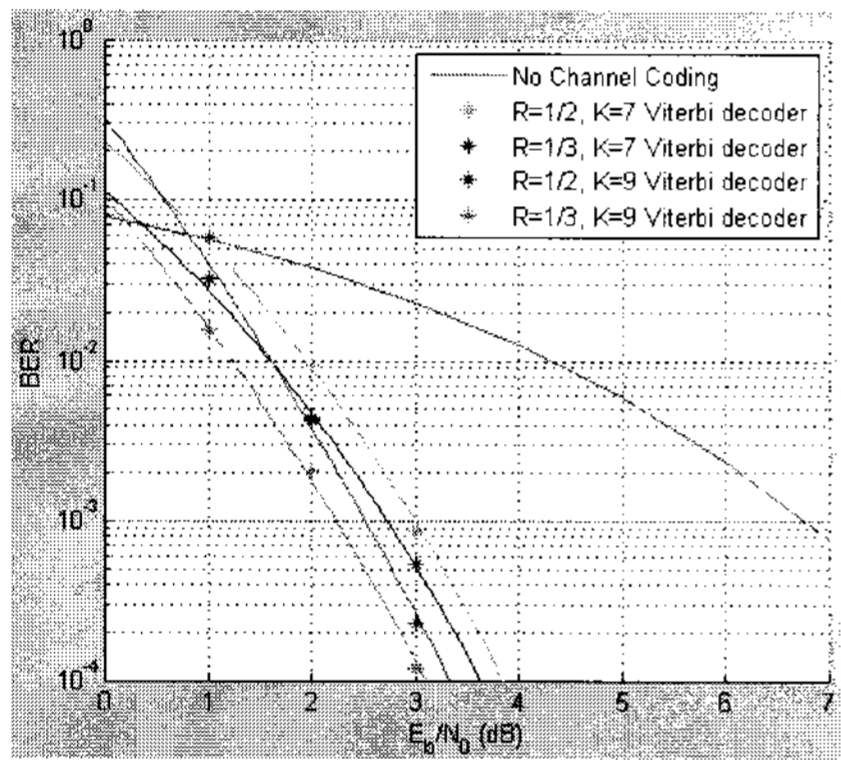


그림 8. 기능검증 및 BER 성능평가 방법  
Fig. 8 Functional verification and BER performance evaluation method

설계된 비터비 복호기의 복호 성능을 평가하기 위하여 BER (Bit Error Rate) 특성에 대해 시뮬레이션 하였다. 설계된 비터비 복호기의 Verilog HDL 모델을 Matlab에 연동시켜 BER 성능을 시뮬레이션 하였으며, 그림 8의 방법으로 생성된 100,000개의 랜덤 데이터를 사용하였다. 그림 10은 시뮬레이션을 통해 얻어진 BER 성능을 보인 것이다. 설계된 비터비 복호기 코어가 부호화율 1/2과 구속장 7로 동작하는 경우에, 3.8 dB의  $E_b/N_0$ 에서  $10^{-4}$ 의 비트 오류율을 나타냈으며, Matlab에서 계산된 이상적인 경우에 근접하는 BER 성능을 갖는 것으로 평가되었다. 그림 10-(b)는 설계된 비터비 복호기의 부호화율과 구속장 파라미터에 따른 4가지 동작모드의 BER 성능을 보인 것이며, 부호화율 1/3과 구속장 9로 동작하는 경우에 3.1 dB의  $E_b/N_0$ 에서  $10^{-4}$ 의 비트 오류율을 가져 가장 우수한 BER 성능을 보이고 있다. 오류정정 부호를 사용하지 않는 경우에는  $10^{-3}$ 의 비트 오류율을 얻기 위해 약 6.8 dB의  $E_b/N_0$ 가 요구되나, 설계된 비터비 복호기를 사용하는 경우에는 부호화율과 구속장 파라미터 (1/2, 7), (1/3, 7), (1/2, 9), (1/3, 9)에 대해 각각 3 dB, 2.8 dB, 2.5 dB, 2.2 dB의  $E_b/N_0$ 에서 동일한 비트 오류율이 얻어져 3.8~4.6 dB의 부호화 이득 (coding gain) 이 얻어짐을 확인하였다.



(a) 동작모드 (R=1/2, K=7)에서의 BER 성능



(b) 동작모드별 BER 성능

그림 10. 설계된 비터비 복호기 코어의 BER 성능  
Fig. 10 BER performance of the designed Viterbi decoder core

설계된 파라미터화된 비터비 복호기는 0.35-um CMOS 셀 라이브러리를 이용하여 Synopsys사의 Design Compiler로 합성한 결과 79,818개의 게이트와 25,600비트의 RAM으로 구현되었다. 타이밍 분석 결과, 설계된 비터비 복호기 코어는 70 MHz의 클록 주파수로 동작이 가능하며, 105 Mbps의 성능을 갖는 것으로 평가되었다. 합성이 완료된 회로를 자동 배치·배선 툴로 레이아웃 하였으며, 그림 11은 레이아웃 도면을 보인 것이다. 코어의 면적은 3.854×3.855 mm<sup>2</sup>이며, 설계된 비터비 복호기의 특성은 표 3과 같다.

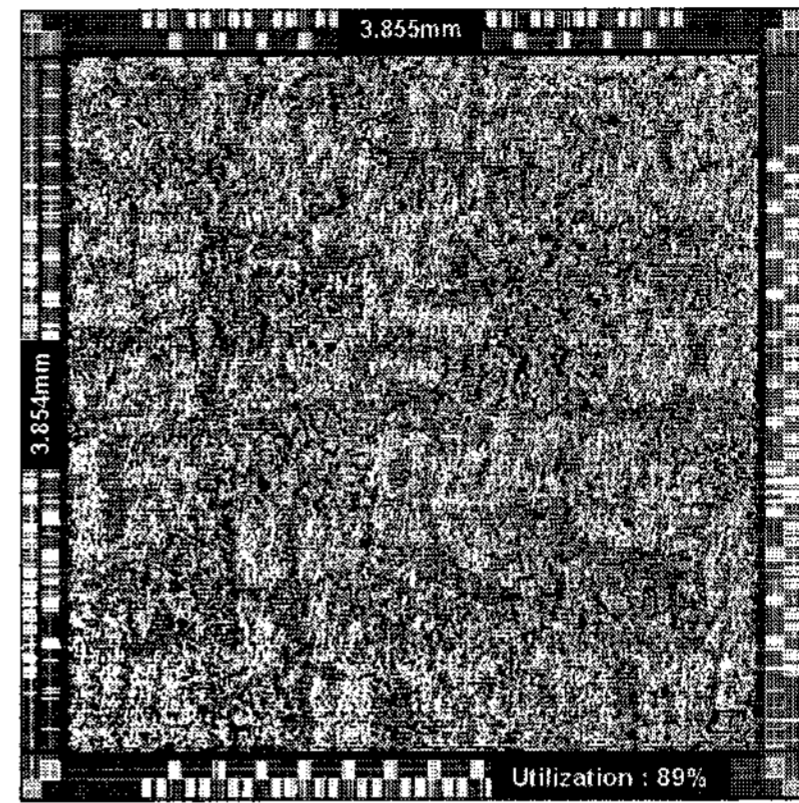


그림 11. 설계된 비터비 복호기 코어의 레이아웃  
Fig. 11 Layout of the designed Viterbi decoder core

표 3. 설계된 비터비 복호기 코어의 특성  
Table. 3 Summary of the designed Viterbi decoder core

구분		특성
동작 모드 (부호화율, 구속장)		(1/2, 7), (1/3, 7) (1/2, 9), (1/3, 9)
동작 주파수		70 MHz
동작 성능		105 Mbps
BER 성능	(1/2, 7)	10 <sup>-4</sup> at E <sub>b</sub> /N <sub>0</sub> =3.8 dB
	(1/3, 7)	10 <sup>-4</sup> at E <sub>b</sub> /N <sub>0</sub> =3.6 dB
	(1/2, 9)	10 <sup>-4</sup> at E <sub>b</sub> /N <sub>0</sub> =3.3 dB
	(1/3, 9)	10 <sup>-4</sup> at E <sub>b</sub> /N <sub>0</sub> =3.1 dB
Latency		구속장 7      365 cycles
		구속장 9      445 cycles
게이트 수		로직 : 79,818 게이트 메모리 : 25,600 비트
코어 크기		3.854mm × 3.855mm

### V. 결 론

본 논문에서는 T-DMB, WLAN, Wi-Fi, WCDMA 등 다양한 디지털 통신 시스템의 설계사양을 만족시키는 다중 표준용 파라미터화된 비터비 복호기를 설계하였다. 설계된 비터비 복호기는 부호화율 1/2과 1/3, 구속장 7과 9를 지원하여 4가지 모드로 동작하며, 각 동작모드에서 공통으로 사용되는 회로들의 공유가 극대화되도록 최적의 구조를 고안하여 적용하였으며, 이를 통해 면적이

최소화되도록 하였다. One-point 역추적 알고리즘에 적합한 ACCS 블록을 적용하여 완전 병렬구조의 ACCS 블록보다 약 35%의 면적을 감소시켰다. Verilog HDL로 설계된 비터비 복호기 코어는 0.35-um CMOS 라이브러리로 합성한 결과 79,818개의 논리 게이트와 25,600비트의 RAM으로 구현되었으며, 70 MHz 동작주파수에서 105 Mbps의 성능을 가져 다양한 무선 통신 시스템의 오류정정 하드웨어 설계에 IP 형태로 사용될 수 있을 것이다.

※ 반도체설계교육센터(IDECC)의 CAD Tool 지원에 감사드립니다.

### 참고문헌

- [1] John G. Proakis, *Digital Communications*, McGraw-Hill, 1995.
- [2] 강창언, *디지털 통신 시스템*, 청문각, 1992.
- [3] A.J. Viterbi, "Error bounds for convolutional codes and asymptotically optimum decoding algorithm," *IEEE Trans. Inf. Theory*, vol. IT-13, no. 2, pp. 260-269, Apr. 1967.
- [4] A.J. Viterbi, J.K. Omura, *Principles of Digital Communications and Coding*, McGraw-Hill Inc., 1979.
- [5] M. Quax, I. Held, "Multi-Standard Embedded Processor for Viterbi Decoding", *Global Signal Processing & Expos*, GSPx2005.
- [6] L. Bissi, P. Placidi, G. Baruffa, A. Scorzoni, "A Multi-Standard Reconfigurable Viterbi Decoder using Embedded FPGA blocks", *IEEE EURO- MICRO Conf. on Digital System Design (DSD'06)*, pp. 146-154, 2006.
- [7] I. Ahmed, T. Arclan, "A Reconfigurable Viterbi Decoder for a Communication Platform", *Int. Conf. on Field Programmable Logic Applications (FPL'06)*, pp. 1-6, Aug., 2006.
- [8] G. Feygin, P.G. Gulak, "Architectural Tradeoffs for Survivor Sequence Memory Management in Viterbi Decoders" *IEEE Transaction on Comm.*, vol. 41, No. 3, pp. 425-429, March 1993.



박상덕(Sang-Deok Park)

2007년 2월 금오공과대학교 전자공학과 졸업  
2007년 3월~현재 : 금오공과대학교 석사과정

※관심분야: 통신 및 신호처리용 SoC 설계, 정보보호 SoC 설계, 반도체 IP 설계



전흥우(Heung-Woo Jeon)

1980년 한국항공대학 전자공학과 (공학사)  
1988년 고려대학교 대학원 전자공학과(공학박사)

1989년 ~ 현재 금오공과대학교 전자공학부 교수

※관심분야: 신경망, 영상처리, 집적회로설계



신경욱(Kyung-Wook Shin)

1984년 2월 한국항공대학교 전자공학과(공학사)  
1986년 2월 연세대학교 대학원 전자공학과(공학석사)

1990년 8월 연세대학교 대학원 전자공학과(공학박사)

1990년 9월~1991년 6월 한국전자통신연구소 반도체 연구단(선임연구원)

1991년 7월~현재 금오공과대학교 전자공학부(교수)

1995년 8월~1996년 7월 University of Illinois at Urbana-Champaign(방문교수)

2003년 1월~2004년 1월 University of California at San Diego(방문교수)

※관심분야: 통신 및 신호처리용 SoC 설계, 정보보호 SoC 설계, 반도체 IP 설계