

도선에 커플링 되는 고출력 전자파에 의한 CMOS IC의 피해 효과 및 회복 시간

Damage Effect and Delay Time of CMOS Integrated Circuits Device with Coupling Caused by High Power Microwave

황선묵 · 홍주일 · 한승문 · 허창수

Sun-Mook Hwang · Joo-Il Hong · Seung-Moon Han · Chang-Su Huh

요 약

본 논문은 고출력 전자파에 따른 CMOS IC 소자의 피해 효과와 회복 시간을 알아보았다. 고출력 전자파 발생 장치는 마그네트론을 사용하였고, CMOS 인버터의 오동작/부동작 판별법은 유관 식별이 가능한 LED 회로로 구성하였다. 그리고 고출력 전자파에 의해 오동작된 CMOS 인버터의 전원 전류와 회복 시간을 관찰하였다. 그 결과, 전계 강도가 약 9.9 kV/m에서의 전원 전류는 정상 전류의 2.14배가 증가하였다. 이는 래치업에 의한 CMOS 인버터가 오작동된 것을 확인할 수 있었다. 또한, CMOS 인버터의 파괴는 컴포넌트, 온칩와이어, 그리고 본딩 와이어에서 다른 형태로 관찰하였다. 위 실험 결과로, 전자 장비의 고출력 전자파 장해에 대한 이해를 돕는데 기초 자료로 활용될 것으로 예측된다.

Abstract

This paper examines the damage effect and delay time of CMOS integrated circuits device with coupling caused by high power microwaves. The waveguide and magnetron was employed to study the influence of high power microwaves on CMOS inverters. The CMOS inverters were composed of a LED circuit for visual discernment. Also CMOS inverters broken by high power microwave is observed with supply current and delay time. When the power supply current was increased 2.14 times for normal current at 9.9 kV/m, the CMOS inverter was broken by latch-up. Three different types of damage were observed by microscopic analysis: component, onchipwire, and bondwire destruction. Based on the results, CMOS inverters can be applied to database to elucidate the effects of microwaves on electronic equipment.

Key words : CMOS, High Power Microwave(HPM), Delay Time, Supply Current

I. 서 론

현재 연구 개발하고 있는 고출력 전자파 발생 장치(High Power Microwaves: HPM, Ultra Wideband: UWB)들을 짧은 펄스(~100 nsec)에서 Giga-Watts 수준의 전자파를 발생하는데, 주로 중심 주파수는 1~

10 GHz이나 기타 파생 주파수는 이를 중심으로 30 GHz 이상까지도 방출할 수 있다. 미국, 러시아, 유럽 등 여러 나라에서 개발하고 있는 고출력 전자파 발생 장치들은 주로 군사적인 목적으로 연구되어지고 있다. 그러나 앞서 기술된 바와 같이 의적으로 발생하는 전자파는 정보기기에 심각한 수준의 피해를 줄

「본 연구는 방위사업청과 국방과학연구소 지원에 의한 연구 결과입니다.」

인하대학교 전기공학과(School of Electrical Engineering, Inha University)

· 논문 번호 : 20080219-020

· 수정완료일자 : 2008년 5월 19일

수 있다.

고출력 전자파에 의한 반도체 소자의 오동작은 회로에 커플링(coupling) 되는 에너지로써 정해질 수 있다. 커플링이란, 어떤 반도체에 연결되어 있는 회로를 통해 소자에 에너지가 전달되는 메커니즘이며, 커플링에는 두 가지 모드가 있다. 첫째, front door coupling은 전자파가 레이더나 통신 장비의 안테나를 통해서 커플링 되는 것이다. 안테나 시스템은 장비로 들어오고 나가는 전력을 전달되게 설계되어 있어서 전자파는 이러한 전력 흐름 경로를 통해서 장비에 들어가 오동작 및 파괴를 일으킨다. 둘째, back door coupling은 전자파가 구멍이나 틈을 통해 통신망이나 장비와 연결해주는 전선 또는 정보기기의 부품에 커플링 되어 장비를 오동작을 일으키거나 파괴하는 것을 말한다^{[1],[2]}.

현대 정보기기들은 마이크로파에 민감한 IC 소자로 구성되어 있다. 고출력 전자파로 인하여 발생하는 thermal secondary breakdown은 정보기기의 심각한 고장 및 파손을 일으킬 수 있다. PN 접합에 항복전압 이상의 역 전압이 인가되면 PN 접합으로 과도한 전류가 흐르게 되는데, 이 역전류로 인한 발열이 정보기기의 심각한 고장 및 파손을 일으킨다^[3]. 따라서 고출력 전자파에 의해 IC 소자가 어떻게 피해를 받는지 연구가 필요하다.

본 연구는 고출력 전자파가 도선에 커플링될 때, 반도체 소자의 오동작 및 파괴를 일으키는 조건을 알아봄으로써 반도체 소자의 민감성 분석과 오동작된 반도체의 회복 시간을 알아보았다.

II. 실험 방법

그림 1은 의도적으로 고출력 전자파를 도선에 노출시켜 CMOS IC 소자가 어떻게 반응하는지 알아보기 위한 실험 장치이다. 고출력 전자파를 의도적으로 만들기 위하여 실험장치 오른쪽에 HPM 소스인 마그네트론을 위치하고, 마그네트론에서 발생한 고출력 전자파는 런처를 지나 WR-340 도파관으로 전파한다. 그리고 리본 케이블은 도파관 내에 설치하고, 터미네이션은 도파관 말단에 설치하였다. 고출력 전자파로 인해 터미네이션에 발생한 열을 냉각시키기 위해 터미네이션에 냉각기를 설치하였다. 전기

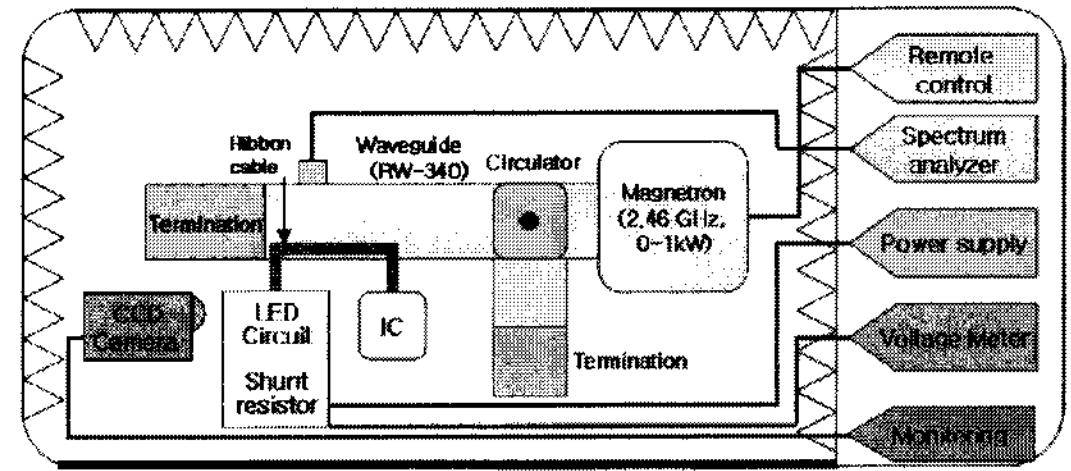


그림 1. 고출력 전자파에 의한 IC 소자의 피해 실험 개략도

Fig. 1. The schematic of experimental setup by high power microwaves.

장의 세기는 도파관 윗부분에 위치한 전기장 프로브와 스펙트럼 분석기를 이용하여, 측정된 출력 세기를 가지고, 도파관 내의 전기장을 측정하였다.

고출력 과도 전자파에 의해 CMOS IC 소자의 오동작 및 파괴는 그림 2와 같이 정의하였다. 오동작 (malfunction)은 물리적 손상을 의미하지 않고 단지 reset(self-, external- or power reset)을 통해 원래의 기능으로 회복되었을 경우를 의미하는 용어로 사용하였다. 그리고 파괴(destruction)는 물리적 손상을 의미하며, 하드웨어적 교체를 통해서만 회복되었을 경우를 정의하였다.

그림 3은 MFR과 DFR을 설명하기 위한 그림이다. MT(Malfunction Threshold)는 임계 전계 강도 값으로 MFR의 임계 5%를 나타낸 것이다. 그리고 MR (Malfunction Range)는 전계 강도의 대역폭으로 MFR의 임계 5%에서 95%까지의 변화를 나타낸 것이다. DFR의 DT와 DR도 위와 같이 똑같이 설명할 수 있다^[4].

고출력 전자파가 리본 케이블에 커플링될 때, CM-

| Malfunction | Destruction |
|---|---|
| $MFR = \frac{\text{Number of Malfunctions}}{\text{Total Number of Tested Devices}}$ <p>MFR (Malfunction Failure Rate)</p> | $DFR = \frac{\text{Number of Destructions}}{\text{Total Number of Tested Devices}}$ <p>DFR (Destruction Failure Rate)</p> |
| | |

그림 2. 오동작 및 파괴 정의

Fig. 2. The definition of malfunction and destruction.

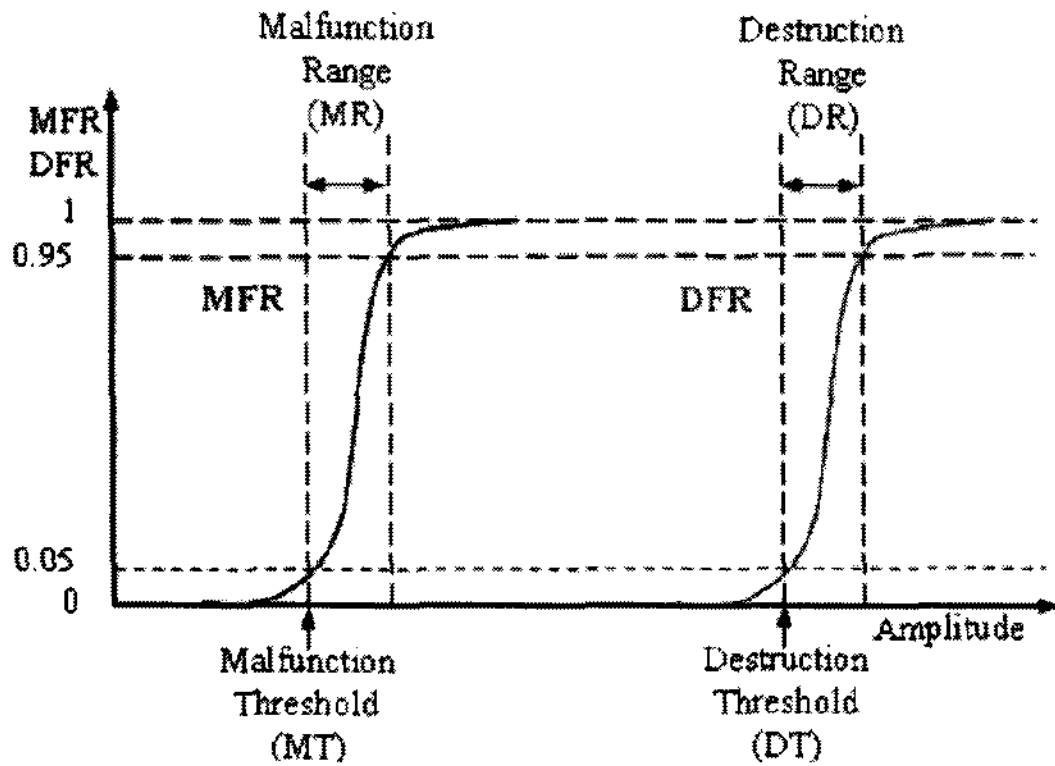


그림 3. MFR, DFR의 원리와 정의
Fig. 3. The principle and definition of MFR, DFR.

표 1. CMOS IC 소자
Table 1. Tested CMOS gate families.

| |
|---|
| CMOS(Complementary Metal Oxide Semiconductor) Inverter |
| - High Speed(HC) |
| - High Speed-TTL Inputs(HCT) |

OS IC 소자의 오동작 및 파괴를 알아보기 위해 다음과 같은 방법으로 사용하였다. 우선 실험용 CMOS IC 소자에 연결된 리본 케이블은 도파관 내부에 넣고, CMOS IC 소자에 의하여 작동되는 LED 회로를 구성하였다. CMOS IC 소자가 이상이 생기면 CMOS IC 소자에 의하여 작동되는 LED 회로를 통해 오동작 및 파괴 특성을 확인하였다. 측정에 사용된 또 다른 방법으로는 리본케이블과 연결된 CMOS IC의 전원 전류를 측정하여 고출력 전자파가 인가될 때, CMOS IC 소자의 전원 전류의 변화를 측정하였다. 그리고 원상태로 돌아가는 CMOS IC 소자의 회복 시간을 관찰하였다. 실험에 사용된 CMOS IC 소자는 로직 소자인 CMOS 인버터를 사용하였다.

III. 실험 결과 및 고찰

그림 4는 고출력 전자파에 의한 CMOS 인버터 소자의 고장률(MFR, DFR)을 나타낸 그림이다. 그림에서 알 수 있듯이 CMOS 인버터 소자는 전원 스위치 off 후 on 동작했을 때 원상태로 되돌아오는 오동작

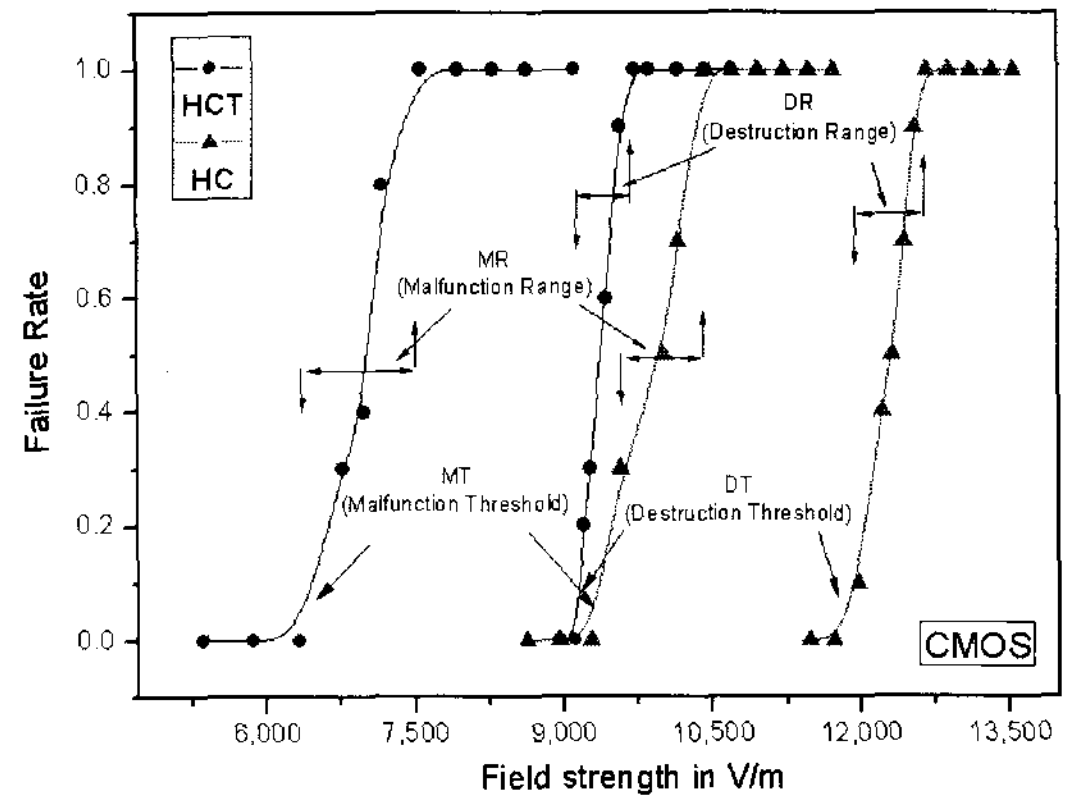


그림 4. 고출력 전자파에 의한 CMOS 인버터의 MFR 과 DFR
Fig. 4. The MFR and DFR of CMOS inverters by impact of high power microwaves.

이 발생하였다. 그리고 그 점에서 더욱 높은 전계 강도에서는 원상태로 되돌아 올 수 없는 파괴가 발생하였다. 이때 오동작이 발생한 이유는 CMOS IC에서의 n과 p채널 트랜지스터 부근에서 기생 사이리스터에 의한 것으로 사료된다^[4]. 또한, 실험 결과의 바탕으로 반도체 소자의 피해 효과를 다음과 같이 생각할 수 있다. 위에 그림에서 고장률이 1보다 작다면 반도체 소자의 오동작 및 파괴는 각각의 반도체에 대해서 불규칙하게 일어나 일정한 오동작 및 파괴를 예측할 수 없다. 반도체 소자의 오동작 및 파괴는 어떤 임계 전계 강도를 초과했을 때 발생한다. 이때 이 임계 전계 강도는 많은 요소들에 의존한다. 이를테면 반도체 소자의 칩 제조 기술 또는 칩 layout 등과 같은 일정한 영향의 요소들에 있다. 또한, 트랜지스터의 스위칭 상태와 같은 가변적인 경우에도 영향을 받을 수 있다^[6]. 이러한 요소들 때문에 임계 전계 강도는 불규칙하게 변화하는 값을 갖는다. 그러므로 고출력 전자파에 의한 반도체 소자의 피해 전계 강도 고장률을 정의함으로써 이 IC 소자의 피해 전계 강도를 정량화할 수 있을 것으로 생각된다.

그림 5는 고출력 전자파에 의해 오동작하는 CMOS 인버터의 전원 전류의 변화를 나타낸 그림이다. 그림에서 보는 바와 같이, HCT 인버터 소자의 전계 강도가 약 6.8 kV/m일 때 전원 전류가 28 mA에서 75 mA로 급증하는 것을 볼 수 있다. 또한, 고출력 전자파에 의해 오동작이 처음 발생한 지점(1 Point)에

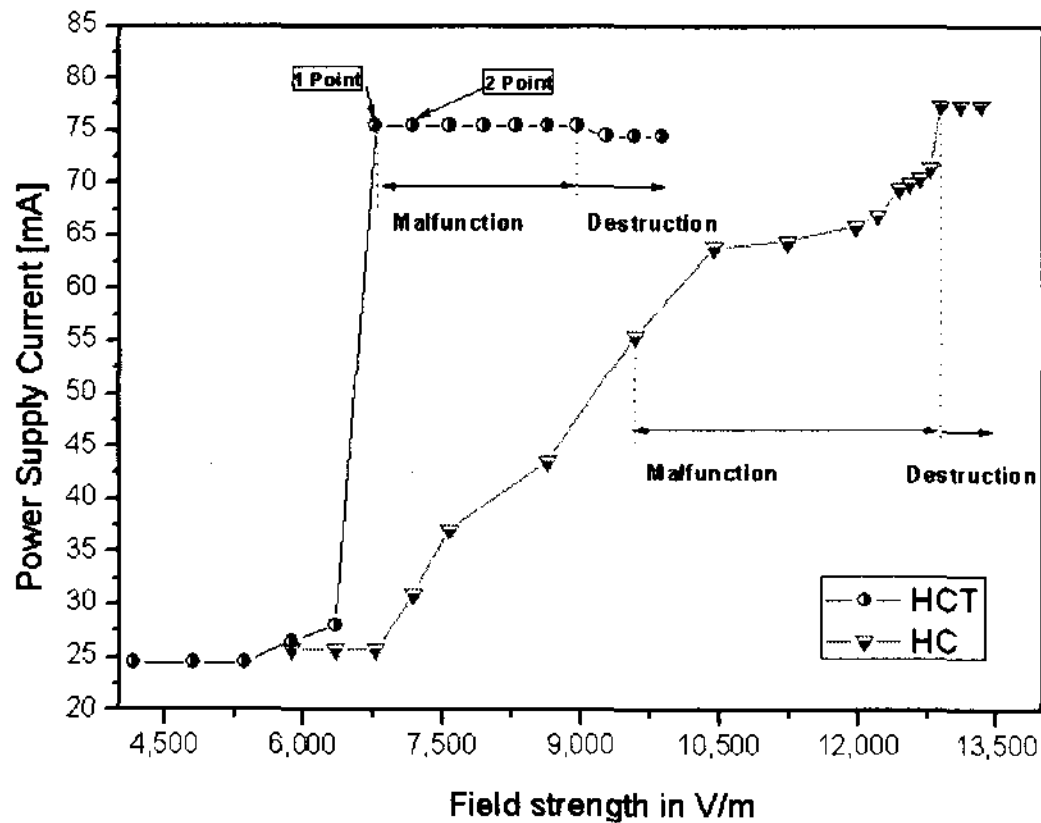


그림 5. 전계 강도에 따른 반도체 소자의 전원 전류 변화량

Fig. 5. The power supply current of CMOS inverter by impact of high power microwaves with electric field strength.

는 약 1초간 전원 전류가 급증하다가 다시 원래 상태의 전류로 회복하였다. 그러나 두 번째(2 Point)에서 발생한 지점에서는 전원을 차단할 때까지 계속 전류는 급증한 상태로 유지되었다. 이러한 결과는 CMOS에 n형과 p형 채널 트랜지스터 부근에서 기생하는 바이폴라 성분에 의해 래치업 현상이 일어난 것으로 생각된다^[7]. 래치업이란 PNP 구조의 CMOS에 기생하는 바이폴라 성분인 수직 구조의 PNP(또는 NPN) 트랜지스터와 수평 구조의 NPN(또는 PNP) 트랜지스터가 동시에 작동하여 전원과 접지 사이가 낮은 임피던스 상태로 되는 경우를 말한다. 래치업 상태가 되면 공급 전압(V_{dd})과 접지(V_{ss}) 사이에 갑자기 많은 전류가 흐르게 되고 래치업은 정상적인 CMOS의 작동을 방해하거나 주변 회로를 파괴시키기도 한다. CMOS의 래치업의 특성을 파악하는 데 중요하고 가장 널리 사용되는 방법은 그림 6의 4-터미널 구조가 사용된다^[7]. 여기서 R_{s1} 은 NPN의 에미터-베이스간 기생 저항이며, R_{w1} 은 PNP의 에미터-베이스간 기생저항을 의미한다. 또, VPNP는 수직 구조의 PNP 트랜지스터를 의미하며, LNPN은 수평 구조의 NPN 트랜지스터를 의미한다. HC 인버터 소자는 래치업이 잘 되는 단점을 개선한 소자이므로 래치업 특성이 잘 나타나지 않은 것으로 생각된다.

그림 7은 전계 강도에 따른 CMOS 인버터 소자의 회복 시간을 나타낸 그래프이다. HCT 인버터 소자

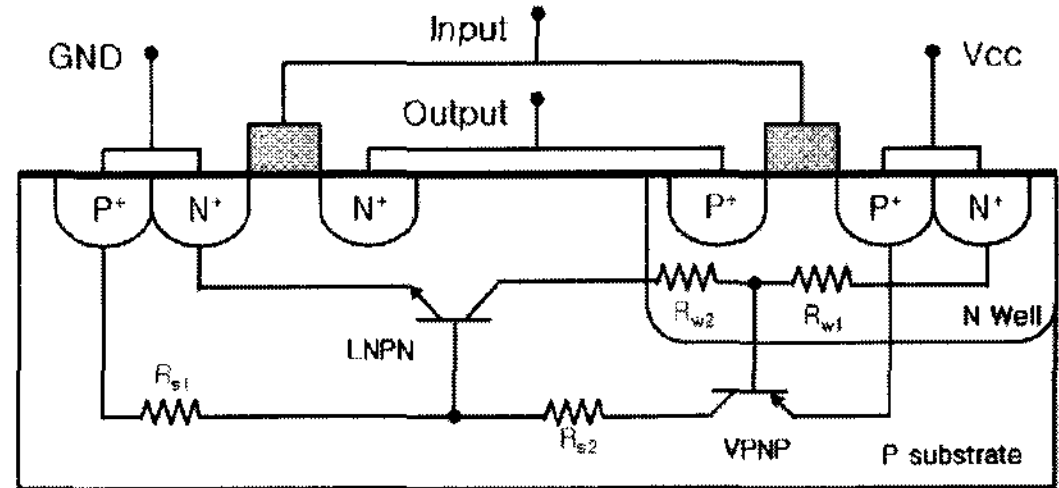


그림 6. PNP 구조에 기생하는 바이폴라 성분

Fig. 6. Parasitic bipolar components of PNP structure.

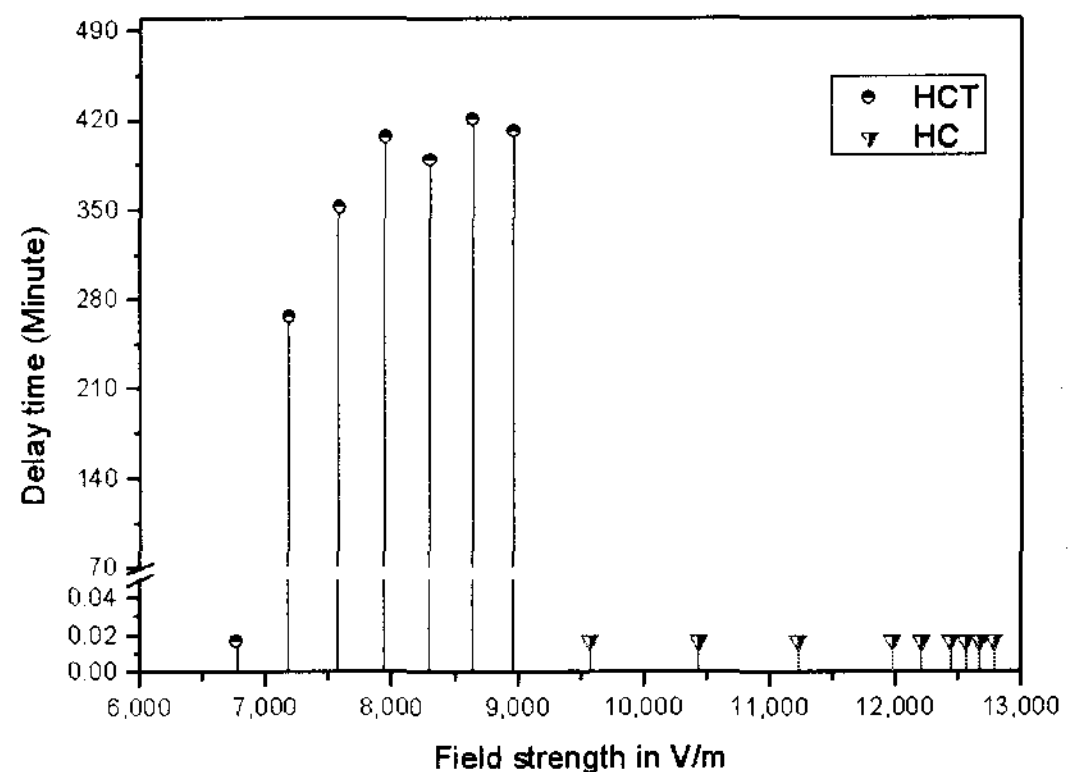


그림 7. 고출력 전자파에 의해 오동작된 CMOS 인버터 소자의 회복 시간

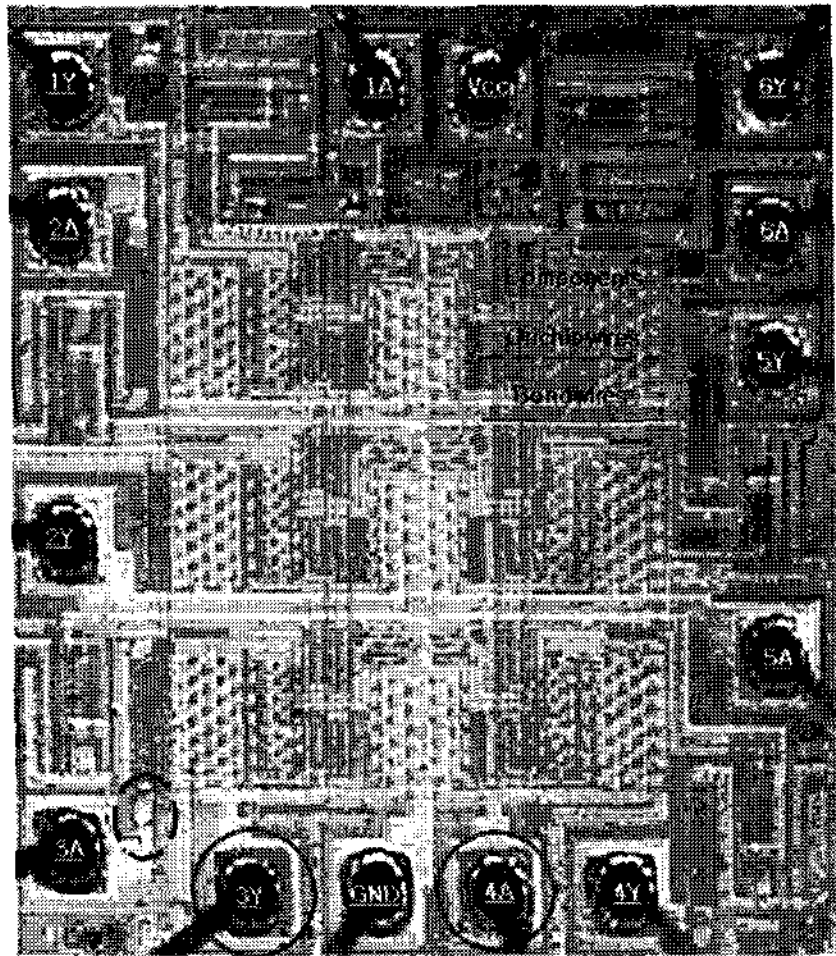
Fig. 7. Delay time of the CMOS inverters from malfunction.

는 전계 강도에 따른 회복 시간이 1초에서 407분까지 증가하다가, 이 이후부터는 일정하게 유지되는 것을 보여준다. 그러나 HC 인버터 소자는 1초 동안의 빠른 회복 시간을 보여주었다.

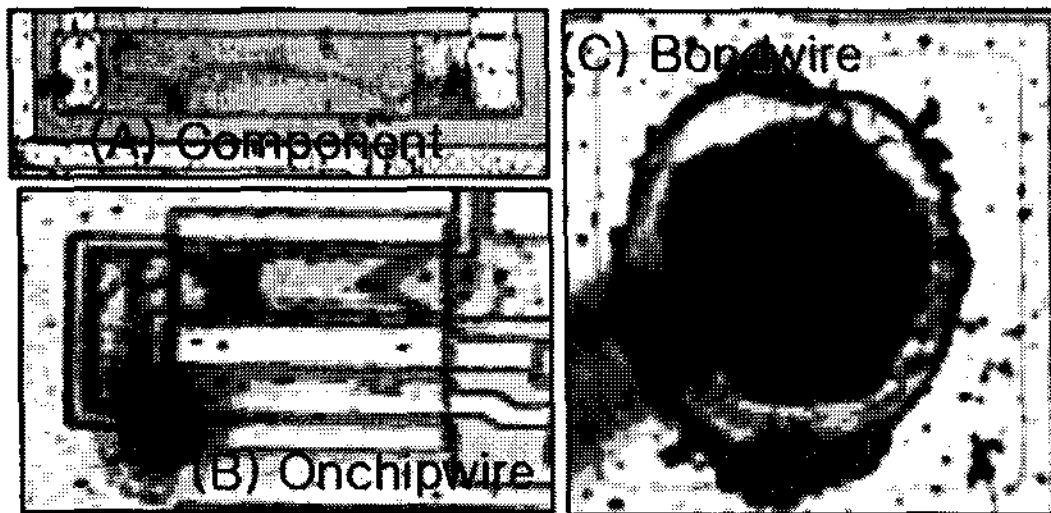
고출력 전자파에 의해 유지되는 전류는 기판(substrate)이나 well에 인가되어 latch-up 원인이 된다. 이 래치업 상태가 계속 유지되기 위해서는 유지전류(holding current) 이상의 전원 전류가 계속 공급되어야 한다. 래치업 상태에서는 두 바이폴라 트랜지스터가 모두 포화 영역에서 동작되어야 하므로 유지전류는 다음 식으로 설명이 가능하다^[7].

$$I_h = \frac{\beta_p(\beta_n + 1)I_{rw} + \beta_n(\beta_p + 1)I_{rs}}{\beta_p\beta_n - 1}$$

여기서 I_{rw} 및 I_{rs} 는 각각 R_{w1} 및 R_{s1} 에 흐르는 전류로 트랜지스터의 에미터-베이스간 전류에 해당된다. 따라서 유지 전류는 R_{w1} 과 R_{s1} 에 반비례한다. 만일 고



(a) CMOS 인버터
(a) CMOS inverter



(b) 전계 강도 레벨에서의 피해 손상
(b) Damage at the field strength level

그림 8. 고출력 전자파에 의한 CMOS 인버터 소자의 피해 효과

Fig. 8. Damage effect of CMOS inverter by high power microwaves.

출력 전자파에 의해 유지 전류가 증가했다면 R_{w1} 과 R_{s1} 은 감소하여 래치업이 발생한다. 그러나 이 IC 소자는 시간에 따라 R_{w1} 과 R_{s1} 이 증가하므로 래치업이 사라져 원래 상태의 기능으로 돌아가는 것으로 생각된다^[8].

그림 8은 고출력 전자파에 의해 파괴된 반도체 IC 소자의 내부 칩 상태를 광학현미경으로 관찰한 그림이다. 그림에서 알 수 있듯이 CMOS 인버터 소자는 입력(A)과 출력(Y), 그리고 V_{cc} 와 GND 총 6개의 게이트로 구성되어 있다. 고출력 전자파에 의해 파괴된 내부 IC 칩 파괴 분포는 V_{cc} 와 GND 주변에서 파괴되는 것을 알 수 있었다. 그리고 고출력 전자파에 의해 형성된 전계 레벨에 따라 IC 소자는 3개의 다

른 피해 효과를 보여준다. 이러한 실험 결과는 다른 연구 결과와 유사하였다^[4]. 전계 강도가 11.7 kV/m에 노출되면, IC 소자의 내부 칩에 있는 다이오드 트랜지스터 또는 저항과 같은 주로 컴포넌트에서 파괴되었다. 그리고 12.6 kV/m에서는 PCB 트레이 녹는 온칩 와이어의 파괴가 일어났다. 여기서 더욱 더 전계 강도(13.5 kV/m)를 증가하면 주로 본딩 와이어의 파괴로 진전되는 것을 알 수 있다. 이러한 현상은 IC 소자의 내부 칩으로 에너지가 전도되어 래치업을 발생시키고, 이에 따른 컴포넌트, 온칩 와이어 그리고 본딩 와이어가 높은 온도 상승으로 열적 파괴로 일어난 것으로 사료된다.

IV. 결 론

본 연구는 CMOS IC 소자의 대상으로 고출력 전자파에 의해 IC 소자의 피해 효과 및 회복 시간을 조사한 것이다.

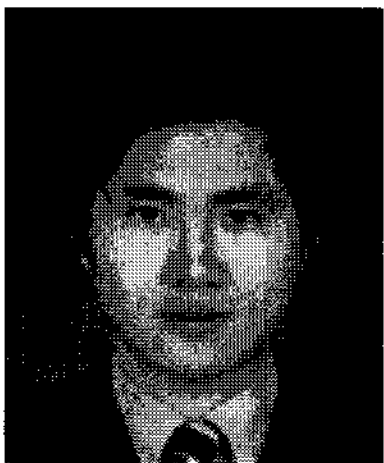
고출력 전자파에 의한 CMOS 인버터 소자의 피해 메커니즘은 먼저 오동작이 일어나고, 그 다음에 파괴로 일어난다. 이때 오동작 및 파괴 효과는 n형과 p형 채널 트랜지스터 부근에서 기생 사이리스터에 의한 래치업 현상과 이로 인해 열적 파괴로 일어나는 것으로 생각된다. 또한, 고출력 전자파에 의한 IC 소자의 피해 전계 강도 레벨을 정의함으로써 이 IC 소자의 오동작 및 파괴하는 전계 강도를 정량화할 수 있을 것으로 생각된다. 또한, 전계 강도가 약 6.8 kV/m 지점에서 CMOS 인버터 소자의 전원 전류는 28 mA에서 75 mA로 급증하였다. 이러한 결과는 n형과 p형 채널 트랜지스터 부근에서 기생하는 바이폴라 성분에 의해 낮은 임피던스로 래치업 현상 일어난 것으로 사료된다. 그리고, 회복 시간은 1초에서 407분까지 증가하다가 이 이후부터는 일정하게 유지하였다. 이때 오동작된 회복 현상은 시간에 따라 R_{w1} 및 R_{s1} 이 증가하므로 래치업이 사라져 원래 상태의 기능으로 돌아가는 것으로 생각된다.

따라서 본 연구 결과를 통해 의도적으로 고출력 전자파에 노출된 CMOS IC 소자를 보호하기 위한 방안이 제시되어야 할 것이다. 그리고 고출력 전자파 시뮬레이터 개발을 위한 기초 자료로 활용될 것으로 기대된다.

참 고 문 헌

- [1] Mats G. Bäckström, "Susceptibility of electronic systems to high power microwaves: Summary of test experience", *IEEE Transactions on Electromagnetic Compatibility*, vol. 46, no. 3, Aug. 2004.
- [2] Mats G. Bäckström, "The threat from intentional EMI against the civil technical infrastructure", *Reprint from ESW2006, 3rd European Survivability Workshop*, pp. 16-19, May 2006.
- [3] D. Taylor, D. V. Giri, *High-power Microwave Systems and Effects*, Washington, D.C., Taylor & Francis, 1994.
- [4] M. Camp, H. Garbe, and D. Nitsch, "Influence of the technology on the destruction effects of semiconductors by impact of EMP and UWB pulses", *IEEE Trans. on EMC*, vol. 1, pp. 87-92, 2002.
- [5] "JESD78 latch-up testing standard", Electronic Industry Association JEDEC standards, Arlington, VA.
- [6] M. Camp, H. Gerth, H. Garbe, and H. Haase, "Predicting the breakdown behavior of microcontrollers under EMP/UWB impact using a statistical analysis", *IEEE Trans. on Electromagnetic Compatibility*, vol. 46, pp. 368-379, 2004.
- [7] D. B. Estreich, "The physics and modeling of latch-up and CMOS integrated circuits", *Stanford Electron. Labs., Stanford, CA, Tech. Rep. G201-9*, Nov. 1980.
- [8] J. E. Hall, J. A. Seitchik, L. A. Arledge, P. Yang, and P. K. Fung, "Analysis of latchup susceptibility in CMOS circuits", *Electron Devices Meeting, 1984 International*, vol. 30, pp. 292-295, 1984.

황 선 목



2003년: 원광대학교 전기공학과 (공학사)
 2005년: 인하대학교 전기공학과 (공학석사)
 2005년~현재: 인하대학교 전기공학과 박사과정
 [주 관심분야] EMC, EMI, HPEM,

HEMP

한 승 문



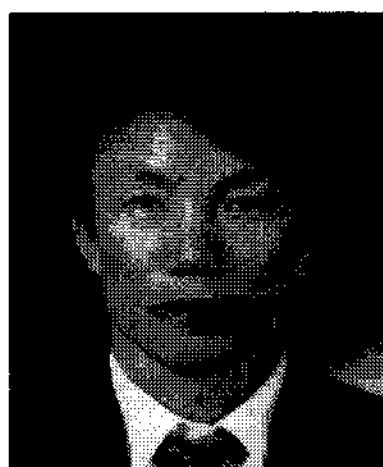
2007년: 인하대학교 전기공학과 (공학사)
 2007년~현재: 인하대학교 전기공학과 통합과정
 [주 관심분야] EMC, EMI, HPEM

홍 주 일



2003년: 세명대학교 전기공학과 (공학사)
 2005년: 인하대학교 전기공학과 (공학석사)
 2005년~현재: 인하대학교 전기공학과 박사과정
 [주 관심분야] EMC, EMI, HPEM

허 창 수



1981년: 인하대학교 전기공학과 (공학사)
 1983년: 인하대학교 전기공학과 (공학석사)
 1987년: 인하대학교 전기공학과 (공학박사)
 1993년~현재: 인하대학교 전자전기공학부 교수

[주 관심분야] GIL, GIS, EMI, EMC, HPEM