논문 2008-45SD-7-6

Charge Pumping Method를 이용한 Silicon-Al2O3-Nitride-Oxide-Silicon Flash Memory Cell Transistor의 트랩과 소자 특성 분석

(Analysis Trap and Device Characteristic of Silicon-Al2O3-Nitride-Oxide-Silicon Memory Cell Transistors using Charge Pumping Method)

박 성 수*, 최 원 호*, 한 인 식*, 나 민 기*, 이 가 원**

(Sung-Soo Park, Won-Ho Choi, In-Shik Han, Min-Gi Na, and Ga-Won Lee)

요 약

본 논문에서는 전하 펌프 방법 (Charge Pumping Method, CPM)를 이용하여 서로 다른 질화막 층을 가지는 N-Channel SANOS (Silicon-Al_2O_3-Nitride-Oxide-Silicon) Flash Memory Cell 트랜지스터의 트랩 특성을 규명하였다. SANOS Flash Memory에서 계면 및 질화막 트랩의 중요성은 널리 알려져 있지만, 소자에 직접 적용 가능하면서 정확하고 용이한 트랩 분석 방법은 미흡하다고 할 수 있다. 기존에 알려진 분석 방법 중 전하 펌프 방법은 측정 및 분석이 간단하면서 트랜지스터에 직접 적용이 가능하여 MOSFET에 널리 사용되어왔으며 최근에는 MONOS/SONOS 구조에도 적용되고 있지만 아직까지는 Silicon 기판과 tunneling oxide와의 계면에 존재하는 트랩 및 tunneling oxide가 얇은 구조에서의 질화막 벌크 트랩 추출 결과만이 보고되어 있다. 이에 본 연구에서는 Trapping Layer (질화막)가 다른 SONOS 트랜지스터에 전하 펌프 방법을 적용하여 Si 기판/Tunneling Oxide 계면 트랩 및 질화막 트랩을 분리하여 평가하였으며 추출된 결과의 정확성 및 유용성을 확인하고자 트랜지스터의 전기적 특성 및 메모리 특성과의 상관 관계를 분석하고 Simulation을 통해 확인하였다. 분석 결과 계면 트랩의 경우 트랩 밀도가 높고 trap의 capture cross section이 큰 소자의 경우 전자이동도, subthreshold slop, leakage current 등의 트랜지스터의 일반적인 특성 열화가 나타났다. 계면 트랩은 특히 Memory 특성 중 Program/Erase (P/E) speed에 영향을 미치는 것으로 나타났는데 이는 계면결함이 많은 소자의 경우 같은 P/E 조건에서 더 많은 전하가 계면결함에 포획됨으로써 trapping layer로의 carrier 이동이 억제되기 때문으로 판단되며 simulation을 통해 서도 동일한 결과를 확인하였다. 하지만 data retention의 경우 계면 트랩보다 charge trapping layer인 질화막 트랩 특성에 의해 더 크게 영향을 받는 것으로 나타났다. 이는 P/E cycling 횟수에 따른 data retention 특성 열화 측정 결과에서도 일관되게 확인할 수 있었다.

Abstract

In this paper, the dependence of electrical characteristics of Silicon-Al_2O_3-Nitride-Oxide -Silicon (SANOS) memory cell transistors and program/erase (P/E) speed, reliability of memory device on interface trap between Si substrate and tunneling oxide and bulk trap in nitride layer were investigated using charge pumping method which has advantage of simple and versatile technique. We analyzed different SANOS memory devices that were fabricated by the identical processing in a single lot except the deposition method of the charge trapping layer, nitride. In the case of P/E speed, it was shown that P/E speed is slower in the SANOS cell transistors with larger capture cross section and interface trap density by charge blocking effect, which is confirmed by simulation results. However, the data retention characteristics show much less dependence on interface trap. The data retention was deteriorated as increasing P/E cycling number but not coincides with interface trap increasing tendency. This result once again confirmed that interface trap independence on data retention. And the result on different program method shows that HCI program method more degraded by locally trapping. So, we know as a result of experimentthat analysis the SANOS Flash memory characteristic using charge pumping method reflect the device performance related to interface and bulk trap.

Keywords : SANOS, Charge pumping method, Interface & Bulk Trap, P/E speed, Data Retention, Endurance.

* 학생회원, ** 정회원, 충남대학교 전자공학과
(Department of Electronics Eng.,Chungnam National University)
접수일자: 2007년9월18일, 수정완료일: 2008년6월30일

Ⅰ. 서 론

Silicon-Oxide-Nitride-Oxide-Silicon(SONOS) Flash memory 소자는 기존의 Floating Gate (FG)를 사용하는FG Flash memory 소자와 달리 ONO의 질화막층에 존재하는 트랩에 전하를 트랩 시킴으로써 데이터를 저장한다. 이러한 SANOS 소자는 트랩에 전하를 고립시키기 때문에 FG memory 소자에 비해 data retention 및 endurance 특성이 향상되며, 기존의 CMOSFET (Complementary Metal Oxide Field Effect Transistor) 공정과 호환이 가능한 장점을 가지고 있다[1-4]. 더욱이, 저 전압으로 프로그램/소거 (Program/Erase: P/E)의 구동이 가능하고[3], 적층 구조인 메모리의 소형화가 가능하다는 장점을 가지고 있어서 차세대 메모리로서 활발히 연구되고 있다[4]. 그러나 SONOS 소자의 저 전압 구동을 위해 tunnel-oxide를 얇게 가져가면 data retention 특성이 열화 되는 단점이 발생하기 때문에 최근에는 blocking-oxide를 SiO2 대신 유전율이 높은 Al_2O_3를 사용한 Silicon-Al_2O_3-Nitride- Oxide-Silicon (SANOS) 구조가 주목 받고 있다[5]. 이러한 SONOS/SANOS Flash memory 소자의 전기적 특성 개선을 위해서는 Silicon 기판과 tunneling oxide 계면에 존재하는 트랩 및 질화막에 존재하는 트랩의 특성 규명이 매우 중요하다.

본 논문에서는 다른 트랩 특성을 갖는 SANOS Flash memory transistor에 전하 펌프 방법을 적용하여 Silicon 기판/Tunneling Oxide 계면 및 질화막에 존재하는 트랩을 분리하여 추출하였으며 이를 토대로 각 트랩이 P/E speed, Data Retention 및 신뢰성 (Endurance)과 같은 메모리 동작 특성에 미치는 영향을 파악하였다.

Ⅱ. 실험방법

본 논문에서 사용된 N-channel SANOS 소자의 구조는 control gate와 Silicon-substrate 사이에 Al_2O_3-Nitride-Oxide (ONO)의 적층 구조로 제작되었으며, 트랩 특성이 다른 소자들이 보이는 전기적 특성과 신뢰성을 분석하기 위해 질화막 형성 조건을 달리하여 이를 Split 1, Split 2로 정의하였다. 그림 1은 본 논문에 사용된 SANOS Flash memory 소자의 단면도 및 각 layer의 두께를 나타낸다. 제작된 소자의 전기적 특성 측정은 반도체 분석기 (Agilent 4156C)를 통해 이

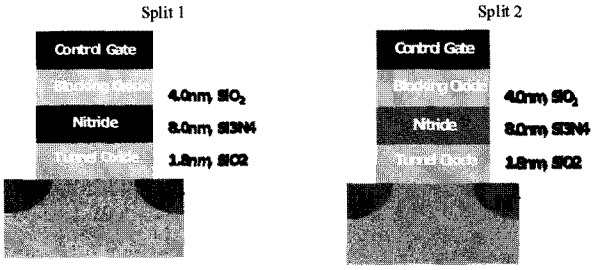


그림 1. SANOS Flash Memory 단면도로 질화막 증착 방식에 따라 Split 1과 Split 2로 정의
Fig. 1. Schematic diagram of an SANOS.

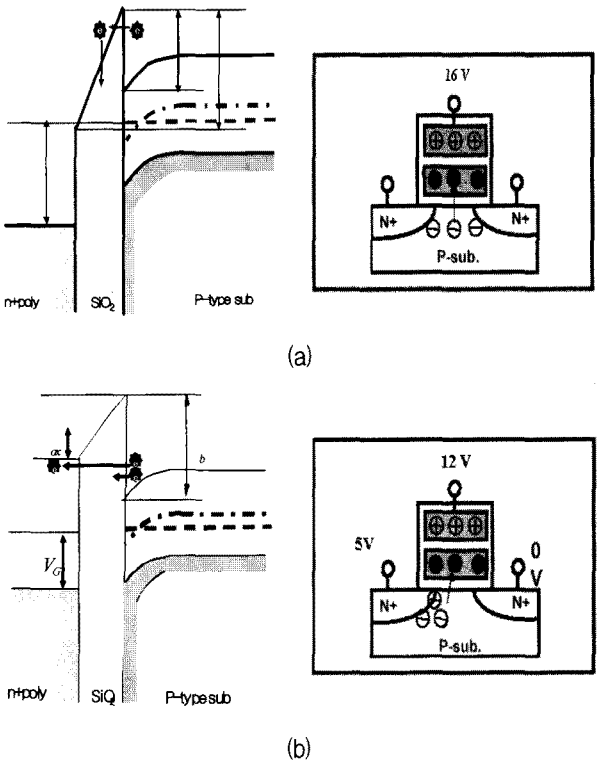


그림 2. FN 프로그램 방식, (b) HCI프로그램 방식
Fig. 2. (a) FN program method,
(b) HCI program method.

루어졌다. 또한 기판과 tunnel oxide 계면에 존재하는 계면 트랩 밀도(Nit)와 capture cross section 및 질화막 트랩을 추출하기 위해 전하 펌프 방법을 이용하였으며 이를 위해Agilent 41501B를 통해 게이트에 펄스를 인가하였다.

메모리 특성 평가 시 P/E 방법은 그림 2와 같이 Fowler-Nordheim(FN)과 Hot carrier injection(HCI)를 모두 적용하였으며 FN 전압 조건은 $V_G/V_D/V_S/V_B$ = |16|/0/0/0V이며 HCI 조건은 $V_G/V_D/V_S/V_B$ = |12|/5/0/0V 이다. FN은 channel의 hot-electron들이 inversion layer로부터 높은 field가 걸린 gate dielectric 쪽으로 injection 되는 방식으로 NAND Flash memory

구조에서 주로 사용되는 프로그램 방식이며 HCI는 channel의 drain 부근에서 electron들이 oxide로 injection되는 것으로 Multi-bit memory에서 적용되는 방식이다. Data retention의 경우 상온과 고온 두 경우 문턱전압 (V_{TH}) 변화를 2시간 동안 측정하였으며, 이 경우 V_{TH}는 V_{DS}=0.5V에서의 드레인 전류가 1μA 지점의 전압 값으로 정의 하였다. 또한 계면 트랩 밀도가 P/E speed에 미치는 영향을 검증하기 위해 Synopsys TCAD Simulator를 이용하였으며 계면 트랩 밀도에 따른 V_{TH}변화가 1.2V인 Program time을 추출하였다.

Ⅲ. 실험결과 및 고찰

제작된 소자의 전기적 특성은 그림 3과 같으며 이로부터 기본적인 트랜지스터 파라미터 (On, Off current, SS, Mobility, V_{TH})를 추출하였다.

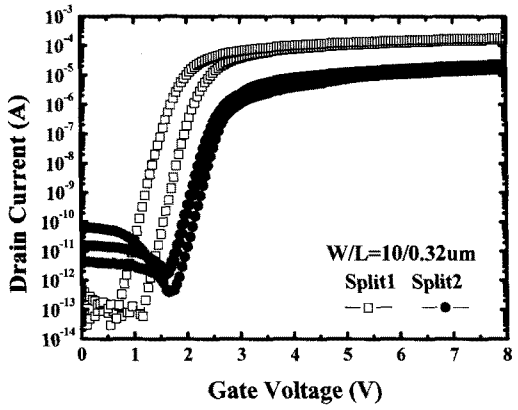


그림 3. 질화막 증착 조건(split)에 따른 V_G-I_D
Fig. 3. V_G-I_D graph with different nitride layer.

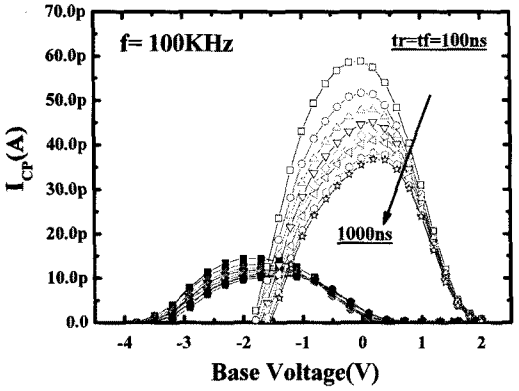


그림 4. Capture cross section과 Mean trap density를 위한 tr, tf에 따른 I_{CP}변화 그래프
Fig. 4. Variation of charge pumping current on tr, tf for extraction of capture cross section and mean trap density.

또한 전하 펌프 방법을 이용하여 Silicon/tunnel oxide 계면 트랩 밀도 (N_{it})를 추출하였으며 이와 함께 게이트 펄스의 Tr/Tf (rising time/falling time)을 변경

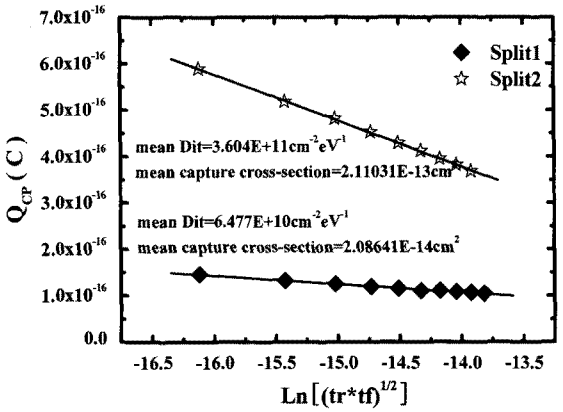


그림 5. 질화막 증착 조건에 따른 평균 계면 트랩 밀도 및 capture cross section
Fig. 5. Mean interface trap density and capture cross section of device with different nitride layer.

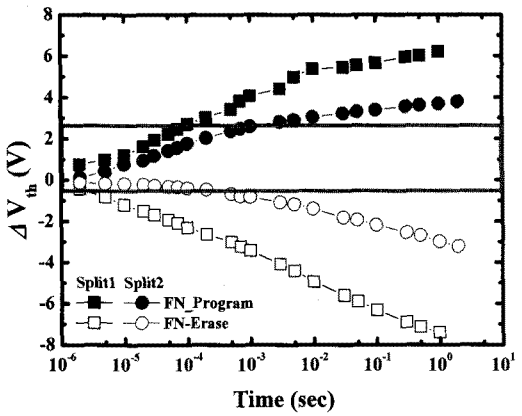


그림 6. 질화막 증착 조건에 따른 FN program방식의 P/E speed 특성
Fig. 6. Measurement results of P/E speed of device with different nitride layer under FN program condition

표 1. 질화막 증착 조건에 따른 전기적 특성과 계면 트랩 밀도 비교
Table1. Interface trap density and device electrical characteristic of devices with different nitride layer.

	Unit	Split1	Split2
Mean trap density	$cm^{-2}eV^{-1}$	6.48 x 10^{10}	3.60 x 10^{11}
Capture cross section	cm^2	2.09 x 10^{-14}	2.11 x 10^{-13}
V_{TH}	V	1.70	2.84
Mobility	cm^2/V-sec	598.94	183.55
Subthreshold slope	mV/dec	66.56	68.73
On current	uA/um	2.02 x 10^2	3.97 x 10^1
Off current	A/um	7.83 x 10^{-13}	8.03 x 10^{-11}

시키면서 계면 트랩의 capture cross section (σ)을 추출하였고, 과정과 결과를 그림 4, 5에 나타내었다. 이상의 결과를 정리하면 표 1과 같다. 즉 질화막 증착 방법이 달라진 경우에도 계면 트랩 특성이 크게 차이가 날 수 있으며 계면 트랩 밀도 및 트랩의 capture cross section이 큰 소자의 경우 (Split 2) 낮은 mobility와 높은 문턱 전압 및 누설 전류 등의 특성을 보이며 이는 기 발표된 계면 트랩이 트랜지스터 소자 특성이 미치는 영향과 일치 한다.

제작된 소자의 P/E speed 측정 결과는 그림 6과 같다. 질화막 증착 조건에 따라 상이한 특성을 보이며 이는 계면 트랩의 영향으로 사료된다. 즉, capture cross section이 큰 계면 트랩이 많은 소자는 같은 P/E 조건에서 더 많은 전하가 계면결함에 포획됨으로써

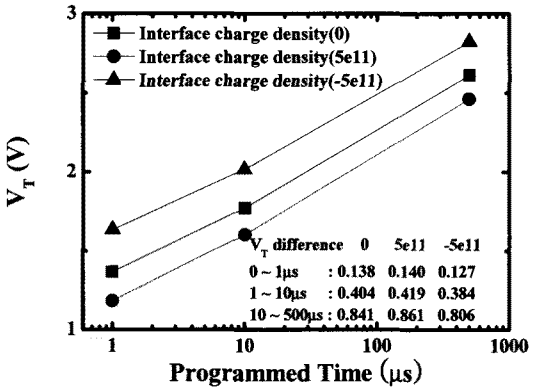


그림 7. 계면 전하 밀도에 의한 V_{TH}변화에 대한 Simulation 결과

Fig. 7. Simulation Results of VTH change on interface charge density.

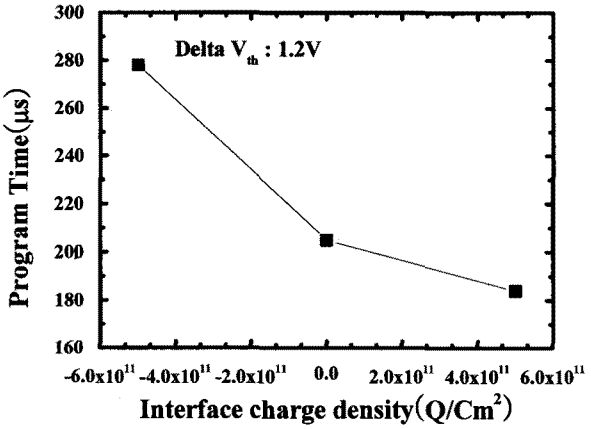


그림 8. 계면 전하 밀도에 의한 program speed 변화에 대한 simulation 결과. 여기서 program time은 initial V_{th}에서 1.2V 증가하는데 걸리는 시간으로 정의함

Fig. 8. Simulation results of program speed change on interface charge density.

trapping layer로의 carrier 이동을 방해할 수 있다.

이러한 charge blocking 효과를 확인하기 위해 Simulation을 통해 계면에서의 전하밀도를 조절하면서 Program 시간에 따른 V_{TH}의 변화를 관찰하였으며 결과는 그림 7과 같다.

이를 다시 그림 8과 같이 계면전하에 따른 Program speed로 나타내보면 계면에 음의 전하가 증가 할수록 Program speed가 느려지는 것을 확인할 수 있다. 여기서 Program time은 initial V_{TH}에서 1.2V 증가하는데 걸리는 시간으로 정의하였다.

그림 9에 프로그램 이후의 data retention 특성을 비교하여 나타내었다. 질화막 증착 조건에 따라 data retention 특성 역시 상이하게 나타나고 있으나 앞선 P/E speed 결과와는 반대로 계면 트랩 특성이 우수한 Split 1 group의 경우 동일한 시간 내에서 ΔV_{TH}가 크고 ΔV_{TH}의 열화 기울기 역시 급격하게 증가하는 것을 볼 수 있다. 이는 data retention은 계면 트랩의 영향을 크게 받지 않다는 것을 의미한다. 소자의 retention 특성 차이를 설명하기 위해서 질화막 트랩 핑 층에 존재하는 트랩 평가가 필요하였으며 이를 위해 기존의 전하 펌프 방법을modify 한 새로운Ramping Amplitude Multi-Frequency Charge Pumping Technique을 제안하였다. 측정 결과 계면 트랩이 낮았던 Split 1 group이 tunneling oxide와 질화막 계면에 capture cross section이 보다 크면서 트랩 밀도가 훨씬 더 작은 트랩 특성을 보여주고 있었다[6]. 프로그램 방식에 따라서는 두 group 모두 HCI 프로그램의 경우가 FN 방법 보다 ΔV_{TH} 변화가 심하게 나타나고 있다. HCI 방식의 심한 열화는

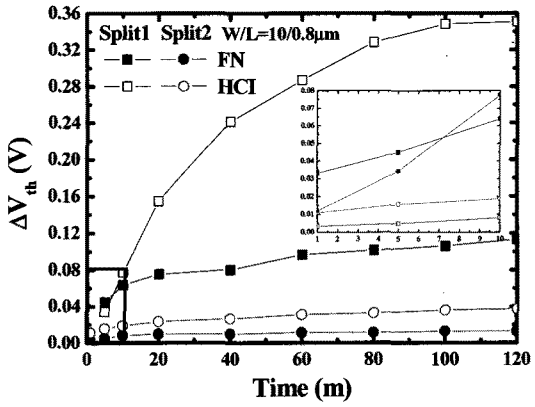


그림 9. 질화막 증착 조건에 따른 data retention 측정 결과

Fig. 9. Measurement results of data retention characteristic of devices with different nitride layer.

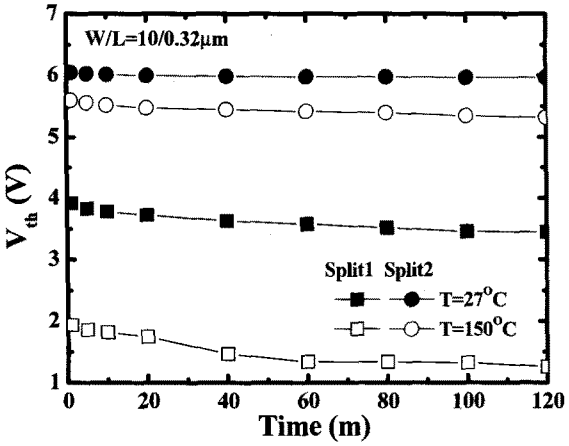


그림 10. 증착 조건에 따른 온도에 따른 data retention 의존성 측정 결과

Fig. 10. Experimental results of data retention characteristic on temperature in two different device groups

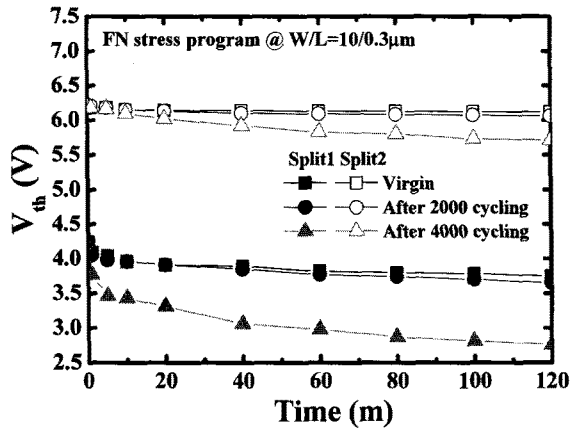


그림 11. 질화막 증착 조건에 따른 cycling후의 data retention 특성

Fig. 11. Data retention characteristic after cycling in two different device groups.

carrier가 drain 부근에 국부적으로 trapping 됨에 따른 SiO_2/Si 계면의 결함 형성 및 lateral charge migration 때문으로 설명 되어지고 있다[7-8].

이러한 data retention 특성은 그림 10에 보여지는 바와 같이 온도 증가 시에 훨씬 심화되어 나타나는데 이는 잘 알려진 바와 같이 charge loss가 가속되기 때문이다[9].

그림 11은 P/E cycling 횟수에 따른 문턱 전압의 시간에 대한 변화율을 측정한 것으로 P/E cycling 횟수가 증가할수록data retention 특성이 크게 열화 됨을 알 수 있다. 질화막 층을 가진 SANOS의 charge 보존력은 훌륭하지만 P/E cycling후의 data retention 특성의 열화의 원인 규명은 소자의 신뢰성과 깊은 연관성이 있다

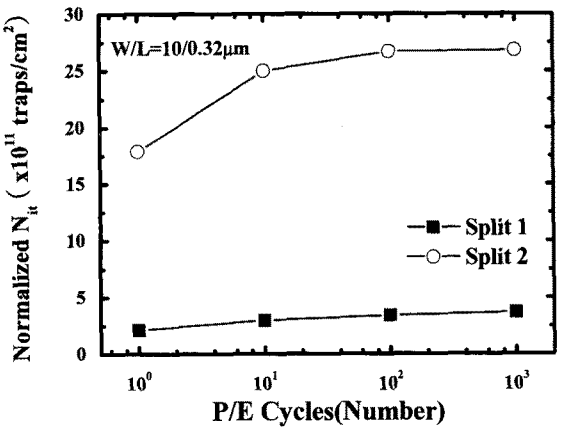


그림 12. P/E cycling횟수에 따른 전하펌프 방법을 이용한 계면 트랩 밀도의 변화 측정 결과

Fig. 12. Experimental results of change of N_{it} using CPM on P/E cycling number in two different device groups.

[10]. V_{TH}의 변화는 질화막 층에 트랩 된 charge의 변화를 의미하는데 보통 P/E cycling 후 oxide traps의 발생으로 인해 charge loss가 발생하는 것으로 알려져 있다[11]. 이를 확인하기 위해 P/E cycling 횟수에 따른 계면 트랩 밀도 변화를 측정하였다. 추출 결과는 그림 12과 같으며 P/E cycling에 따라 계면 트랩의 증가는 일관되게 나타나고 있으나 data retention 특성이 우수한 group이 오히려 훨씬 더 많은 계면 트랩 증가율을 보이고 있다.

따라서 P/E cycling 후의 data retention 특성의 열화는 계면 트랩 밀도 변화보다는 질화막 층 자체 특성의 열화에 의해 더 크게 영향을 받고 있는 것으로 판단된다. 이는 Pryor RW 에 의해, 높은 electric field를 가지는 P/E cycling의 반복 과정에서 전자나 홀이 질화막 층에 트랩 핑 (trapping)되었다가 디-트랩 핑 (de-trapping)하는 과정 중에 질화막 층으로 주입된 전하들은 미세한 bond structure의 변화를 야기 하고 질화막 층의 트랩 사이에 있는 conduction을 증가 시킬 수 있기 때문에 data retention 특성의 열화가 발생된다고 보고한 바와 같이 계면 트랩과는 큰 영향이 없다는 것으로 판단된다[12].

Ⅳ. 결 론

본 논문에서는 Charge Trapping Layer인 질화막이 다른 SANOS 소자에 Charge Pumping Method를 적용하여 Silicon기판/Tunneling Oxide 계면 및 질화막에

존재하는 트랩 특성을 추출하고 이를 소자 특성 및 신뢰성과 상관 분석하였다. 질화막 증착 방법이 다른 경우에도 계면 트랩 밀도와 capture cross section의 차이가 크게 나타나고 있으며 추출된 계면 트랩의 경우 이미 알려진 바와 같이 전자이동도, 문턱전압, subthreshod slop, leakage current 등의 트랜지스터의 기본 전기적 특성과 깊은 상관 관계를 보임을 확인하였다. 메모리 특성의 경우, 계면 트랩 밀도가 클수록 P/E speed가 감소하였으며 Simulation도 동일한 결과를 보였다. 반면 data retention 특성의 경우 계면 트랩보다는 질화막에 존재하는 트랩의 밀도와capture cross section의 영향을 크게 받는 것으로 나타났다. 신뢰성의 경우도 유사하여 결국 data retention, endurance 특성은 Si/SiO_2 계면보다 질화막의 특성에 영향을 크게 받는다는 것을 CPM을 통해 알 수 있었다.

참 고 문 헌

[1] Jeong-Hyong Yi; Jin-Hong Ahn Hyungeheol Shin; Young-June Park; Hong Shick Min, "Device degradation model for stacked-ONO gate structure with using SANOS and MOS transistors", *Reliability Physics Symposium, 2005. Proceedings. 43rd Annual.* 2005 IEEE International

[2] Jeong-Hyong Yi; Jin-Hong Ahn; Hyungeheol Shin; Young-June Park; Hong Shick Min, "Device degradation model for stacked-ONO gate structure with using SANOS and MOS transistors" , *Reliability Physics Symposium, 2005. Proceedings.* 43rd Annual. 2005 IEEE International

[3] Yang (Larry) Yang, Ansha Purwar and Marvin H. White, "Reliability considerations in scaled SANOS nonvolatile memory devices", *Solid-State Electronics*,Volume 43, Issue 11, 1999, 2025-2032

[4] Stephen J. Wrazien, Yijie Zhao, Joel D. Krayer and Marvin H. White, "Characterization of SANOS oxynitride nonvolatile semiconductor memory devices", *Solid-State Electronics*, vol47, pp885-891, 2003.

[5] Kerber, A.; Cartier, E.; Degraeve, R.; Pantisano, L.; Roussel, P.; Groeseneken, G., "Strong correlation between dielectric reliability and charge trapping in SiO/sub 2//Al/sub 2/O/sub 3/ gate stacks with TiN electrodes", VLSI Technology, 2002. *Digest of Technical Papers. 2002 Symposium* on 11-13 June 2002 Page(s):76 -77

[6] Won-Ho Choi, Han-Soo Joo, In-Shik Han, Sung-Soo Park, Hyuk-Min Kwon, Tae-Gyu Goo, Ook-Sang Yoo, Min-Ki Na, Jae-Chul Om, Seaung-Suk Lee, Gi-Hyun Bae, Hi-Deok Lee, and Ga-Won Lee, "Ramping Amplitude Multi-Frequency Charge Pumping Technique for Silicon-Oxide-Nirtride-Oxide-Silicon Flash EEPROM Cell Transistors", submitted to *SSDM* 2007.

[7] N. K. Zous, M. Y. Lee, W. J. Tsai, Albert Kuo, L. T. Huang, T. C. Lu, C. J. Liu, Tahui Wang, Senior Member, IEEE, W. P. Lu, Wenchi Ting, Joseph Ku, and Chih-Yuan Lu, Fellow, IEEE "Lateral Migration of Trapped Holes in a Nitride Storage Flash Memory Cell and Its Qualification Methodology", *IEEE ELECTRON DEVICE LETTERS*, VOL. 25, NO. 9, SEPTEMBER 2004.

[8] Wellekens, D.; Van Houdt, J.; Faraone, L.; Groeseneken, G.; Maes, H.E., "Write/erase degradation in source side injection flash EEPROM's: characterization techniques and wearout mechanisms", *Electron Devices, IEEE Transactions* on Volume 42, Issue 11, Nov. 1995 Page(s):1992 - 1998.

[9] Arnaud Furnémont, Student Member, IEEE, Maarten Rosmeulen, Koen van der Zanden, Jan Van Houdt, Senior Member, IEEE, Kristin De Meyer, Senior Member, IEEE, and Herman Maes, Fellow, IEEE ,"Root Cause of Charge Loss in a Nitride-Based Localized Trapping Memory Cell", IEEE *TRANSACTIONS ON ELECTRON DEVICES*, VOL. 54, NO. 6, JUNE 2007.

[10] Baglee, D.A. Smayling, M.C.., "The effects of write/erase cycling on data loss in EEPROMs", *IEDM* 85

[11] B. Eitan, P.Pavan, I. Bloom, E. Aloni, A. Frommer, D. Finzi " Can NROM, a 2 Bit, Trapping Storage NVM cell, Give a Real Challenge to Floating Gate Cells"Ext, Abst. 1999 conf. *Solid State Devices and Materials*, p522, 1999.

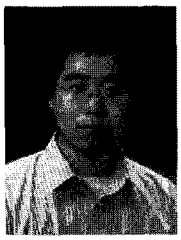
[12] W. J Tsai, S. H. Gu, N.K. Zous, C.C. Liu, C. H. Chen, Tahui Wang, Sam Pan, and Chih-Yuan Lu, "Cause of Data Retention Loss in a Nitride-Based Localized Trapping Storage Flash Memory Cell", *IEEE Annual International Reliability Physics Symposium*, Dallas, Texas, 2002.

저 자 소 개

박 성 수(학생회원)
2007년 충남대학교
전자공학과 학사졸업
2008년 현재 충남대학교
전자공학과 석사 2년
<주관심분야 : SONOS소자, OTFT 및 산화물 TFT 소자 신뢰성>

한 인 식(학생회원)
2003년 여수대학교 반도체
물리학과 학사 졸업.
2007년 충남대학교
전자공학과 석사 졸업.
2008년 현재 충남대학교
전자공학과 박사 2년차.
<주관심분야 : 나노 CMOS 소자 및 High-K 절연체 신뢰성>

이 가 원(정회원)
1994년 한국과학기술원 전기 및
전자공학과 학사 졸업.
1996년 한국과학기술원 전기 및
전자공학과 석사 졸업.
1999년 한국과학기술원 전기 및
전자공학과 박사 졸업.
1999년~2005년 LG반도체 및 하이닉스 반도체
책임연구원.
2005년~현재 충남대학교 전자공학과 조교수.
<주관심분야 : 다결정 실리콘 반도체 소자, 신뢰성, DRAM 및 FLASH 메모리 소자, 반도체 소자 평가 기술>



최 원 호(학생회원)
2006년 충남대학교
전자공학과 학사 졸업.
2008년 현재 충남대학교
전자공학과 석사 2년차.
<주관심분야 : 나노 CMOS 소자, SONOS, High-K 절연체 신뢰성>

나 민 기(학생회원)
2007년 충남대학교
전자공학과 학사 졸업.
2008년 현재 충남대학교
전자공학과 석사 2년차.
<주관심분야 : 나노 CMOS 소자>