

Spectroscopic Ellipsometer를 이용한 a-Si:H/c-Si 이종접합 태양전지 박막 분석

지광선*, 어영주, 김범성, 이헌민, 이돈희

A Novel Analysis Of Amorphous/Crystalline Silicon Heterojunction Solar Cells Using Spectroscopic Ellipsometer

Kwang Sun Ji*, Young-Ju Eo, Bum-Sung Kim, Heon-Min Lee and Don-Hee Lee

Abstract

It is very important that constitution of good hetero-junction interface with a high quality amorphous silicon thin films on very cleaned c-Si wafer for making high efficiency hetero-junction solar cells. For achieving the high efficiency solar cells, the inspection and management of c-Si wafer surface conditions are essential subjects. In this experiment, we analyzed the c-Si wafer surface very sensitively using Spectroscopic Ellipsometer for $\langle \epsilon_2 \rangle$ and u-PCD for effective carrier life time, so we accomplished $\langle \epsilon_2 \rangle$ value 43.02 at 4.25eV by optimizing the cleaning process which is representative of c-Si wafer surface conditions very well. We carried out that the deposition of high quality hydrogenated silicon amorphous thin films by RF-PECVD systems having high density and low crystallinity which are results of effective medium approximation modeling and fitting using spectroscopic ellipsometer. We reached the cell efficiency 12.67% and 14.30% on flat and textured CZ c-Si wafer each under AM1.5G irradiation, adopting the optimized cleaning and deposition conditions that we made. As a result, we confirmed that spectroscopic ellipsometry is very useful analyzing method for hetero-junction solar cells which need to very thin and high quality multi layer structure.

Key words

Heterojunction(이종접합), Amorphous Si(비정질 실리콘), Ellipsometry(편광타원분석기), Solar cell(태양전지), EMA, Epitaxial growth(에피성장)

(접수일 2008. 6. 5, 수정일 2008. 6. 12, 게재확정일 2008. 6. 19)

* LG Electronics Advanced Research Institute

■ E-mail : ksji1101@lge.com ■ Tel : (02)526-4971 ■ Fax : (02)575-1403

Subscrip

τ (eff) : effective carrier life time, μs
EMA : Effective Midium Approximation
SE : Spectroscopic Ellipsometer

1. 서론

a-Si:H/c-Si 이종접합 태양전지는 구조가 간단하고, 일반적으로 250°C이하의 저온 공정이 가능하고 우수한 온도계수 특성과 높은 개방전압을 갖는 고효율 태양전지로 차세대

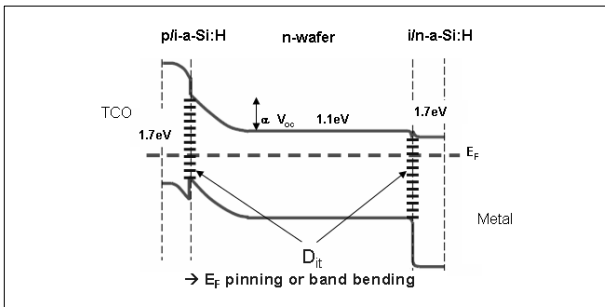


Fig. 1 비정질/실리콘 이종접합 밴드구조

초박형 기관에 적용할 수 있는 기술이다. 산요의 HIT⁽¹⁾로 대표되는 본 소자는 intrinsic a-Si:H을 사용하여 Si wafer 표면을 passivation함으로써 20% 이상의 변환효율과 0.7V 이상의 개방전압을 달성하였다.

이종접합 태양전지는 결정질 태양전지와 같이 c-Si wafer를 사용하지만 적절한 세정공정과 우수한 비정질 실리콘 및 TCO 증착기술 등 수준 높은 박막기술을 요구한다. 고효율이 가능한 차세대 태양전지임에도 불구하고, 국내의 연구 현황은 아직 그렇게 활발하지 않으며, 소자 특성상 wafer 표면 및 각 thin layer의 물성을 분석할 수 있는 적절한 방법이 많지 않은 게 사실이다.

Fig. 1에 도시한 a-Si:H/c-Si간의 이종접합 밴드구조에서 보듯, 높은 개방전압과 F.F를 얻기 위해서 계면 결합 밀도를 낮추는 것이 중요함이 이미 보고 되었다.^(2,3)

본 연구에서는 Spectroscopic Ellipsometer(이하 SE) 모델링과 분석을 통해 Si wafer 세정과 더불어 passivation 효과를 분석하고, 증착조건에 따른 a-Si:H 박막의 물성에 대해 평가할 수 있는 방법을 제시하고자 한다.

2. 실험방법

2.1 Wafer Cleaning

기관으로 사용한 실리콘 웨이퍼는 CZ 법으로 제조된 N 타입의 4"(100) EG 등급의 Double Side Polished, 두께 약 500um, 표면 저항은 1~10Ω의 것을 사용하였다. 세정은 RCA 세정법에 따라, 아세톤/메탄올을 초음파와 함께 사용하는 유기 세정, H₂SO₄/H₂O₂/DIW를 사용하는 SPM, NH₄OH/H₂O₂/DIW

를 사용하는 SC1 세정법을 그대로 사용하였으며, DIW rinse 후, wafer 표면의 산화막 제거와 H-Termination을 위해 BOE(Buffered oxide etchant, 1:7)와 HF를 조건에 맞게 사용하였다. DIW를 이용한 Hot-water oxidation 법⁽⁴⁾은 약 80°C의 DIW에 dipping 하여, passivation용 산화막을 성장시켰으며 BOE 또는 HF로 H-termination를 완료하였다. 세정된 wafer는 정확도를 기하기 위해 세정 즉시 엘립소미터 분석과 μ-PCD 측정을 실시하였다.

2.2 박막 증착

세정된 wafer 상에 비정질 실리콘 막을 증착은 RF(13.56 MHz)의 PECVD 장치를 사용하였으며, Si 박막은 SiH₄ gas를, N과 P 도핑은 각각 PH₃와 B₂H₆ 가스를 사용하였다. 가능한 낮은 결정분율과 높은 밀도를 가지는 우수한 a-Si:H 박막을 위해 증착온도와 반응가스 종류, 희석비를 변화시켰으며, 그 조건을 Table 1에 도시하였다. 또한, cell 제작에 있어 Front TCO 로는 ZnO:Al₂O₃ 2wt%를 RF 스퍼터링 법으로 증착하였으며, 전/후면 전극은 Ag과 Al를 각각 e-beam evaporating과 DC 스퍼터링으로 성막하였다.

2.3 특성 분석

각 세정조건에 따른 wafer 표면 상태 분석을 위해 J.A. Woollam(USA)사의 Spectroscopic Ellipsometer (M2000U)를 250~1000nm의 범위에서 측정하였으며, H-termination 효과는 μ-PCD(SEMIlab.)를 사용하여 유효 캐리어 수명시간을 측정하여 평가하였다.

비정질 실리콘 단위막 및 cell, TCO의 두께, 막 특성 분석 역시 SE를 사용하였으며, HRTEM으로 다시 확인하였다. cell의 I-V 특성은 WACOM(Japan)사의 solar simulator로 AM1.5(100mW/cm²) 조건에서 측정하였다.

Table 1. 비정질 실리콘 증착 조건

증착온도	150°C		
반응가스	H ₂	SiH ₄	Ar
희석비	H ₂ /SiH ₄	0~4.0	
	H ₂ /Ar	0~4.0	
공정압력	0.1~0.3 Torr		

3. 실험결과 및 분석

3.1 wafer 표면 분석

Si Wafer 세정에 의한 표면 defect 및 H-termination 수준을 평가하는 방법으로 SE로 측정된 data중 imaginary dielectric 값인 $\langle \epsilon_2 \rangle$ 값을 사용하였다. 약 4.25eV에서의 $\langle \epsilon_2 \rangle$ 값은 Si wafer 표면의 정보를 내포하고 있으며, 그 값이 클수록 표면 결합능도가 감소함이 이미 보고되었다.^(5,6)

최적의 세정 조건을 도출하기 위해, 각 세정단계별로 $\langle \epsilon_2 \rangle$ 값과 실제 유효 캐리어 수명시간을 측정하여 그 관계를 고찰하였다. Fig. 2에서 보는 바와 같이 일반적인 RCA 세정에 의해 $\langle \epsilon_2 \rangle$ 가 증가하였음을 알 수 있으며, HF 처리시 $\langle \epsilon_2 \rangle$ 값이 다소 감소하였는데, 이는 적절한 조건이 아닐 경우, HF에 의해 Si wafer 표면이 오히려 손상될 수 있음을 보여준다.

본 연구에서 시도한 Hot-water oxidation 결과(2회 반복)

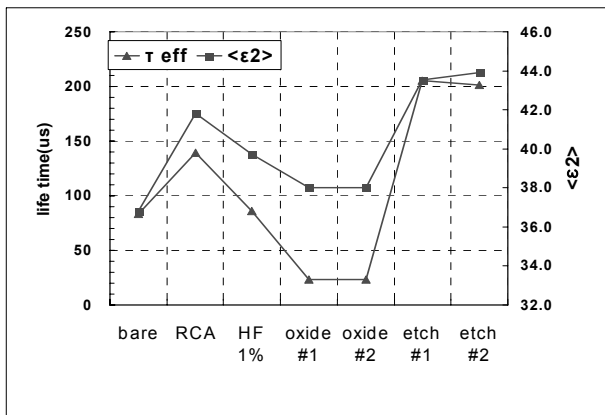


Fig. 2 세정단계에 따른 $\langle \epsilon_2 \rangle$ 및 τ_{eff} 변화

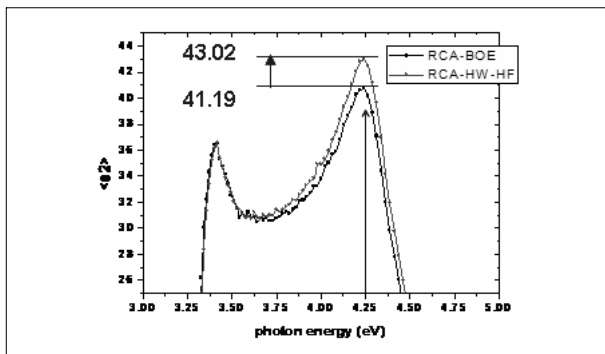


Fig. 3 세정 최적화로 인한 $\langle \epsilon_2 \rangle$ 변화

생성된 표면 산화막 의해 그 값이 감소되었다가 BOE 처리를 통해 일반 RCA 세정의 경우보다 더욱 $\langle \epsilon_2 \rangle$ 가 증가됨을 관찰하였다.

이는 표면 산화막의 제거와 동시에 H-termination이 일어나 Si wafer 세정에 효과적임을 의미한다. 또한 유효 캐리어 수명시간 측정결과, 각 단계별 $\langle \epsilon_2 \rangle$ 값과 동일한 거동을 보였다. 이는 앞서 보고된^(5,6) 결과와 더불어 $\langle \epsilon_2 \rangle @ 4.25\text{eV}$ 를 측정함으로써 Si wafer의 표면 상태를 적절히 평가할 수 있음을 나타낸다.

세정 최적화를 통해 $\langle \epsilon_2 \rangle$ 값이 증가하여 43이상에 도달하였으며(Fig. 3) 이는 Si(100)의 보고된 값인 43.3⁽⁵⁾에 거의 근접하였음을 알 수 있다.

3.2 비정질 실리콘 특성 최적화

비정질 실리콘막의 SE 분석을 위해 Fig. 4에 도시한 바와 같이 3개 층으로 모델링하였으며, 주요 분석 대상인 비정질 층은 비정질 실리콘 + 결정질 실리콘 + 기공으로 구성된 3성분계 EMA Effective Medium Approximation)에 Tauc-Lorentz equation 적용하여 분석하였다.

H₂/SiH₄ 희석비 및 H₂/Ar 희석비를 변화시켜 증착한 결과, 0.4의 희석비를 가질 때, 거의 결정성이 없는 비정질 실리콘막을 얻을 수 있었다(Fig. 5(a)). 희석비가 0.4 이상에선 점차 결정성이 증가하였으며 그 비가 4.0이 되는 순간, 결정성 분율이 급격히 증가하였는데, 이는 느린 증착속도(0.7Å/s) 인해 Si wafer 상에서 에피성장이 일어났음을 예상할 수 있다.⁽⁷⁾

희석비 0.4에서 결정성이 낮은 비정질 박막이 얻어졌지만 4.2Å/s의 비교적 빠른 증착속도 인해 실제 이중접합 태양전지에 적용하기에는 다소 무리가 있다.

따라서, 플라즈마내 각 반응가스의 상대적인 상황은 그대로 유지하면서 조절 가능한 증착속도를 얻기 위해 공정압력

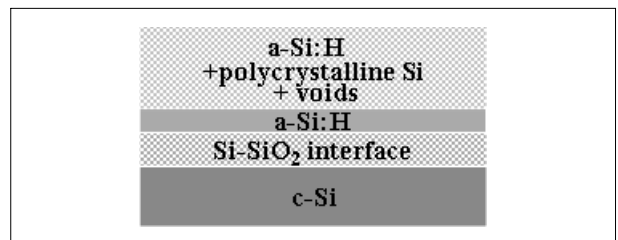
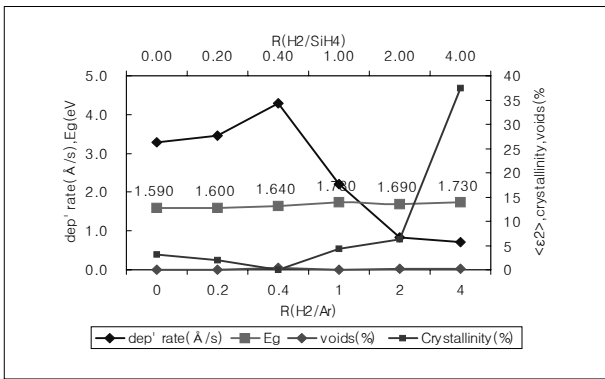


Fig. 4 SE 분석시 비정질 실리콘 박막 모델링

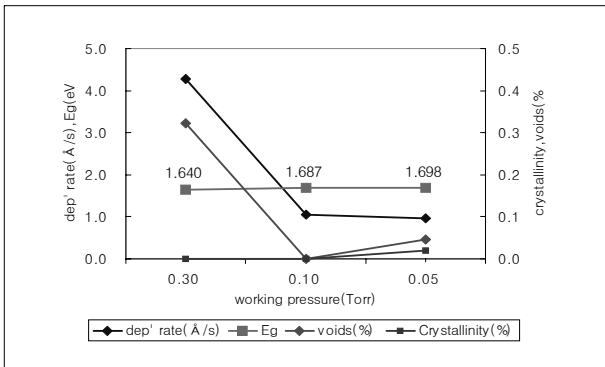
을 변화하였다.

Fig. 5(b)에 공정압력이 변화함에 따라 비정질 실리콘 박막의 특성변화를 나타내었는데, Eg값은 그대로 유지되었으며, 모두 0.5 vol% 이하의 낮은 결정분율을 가짐을 알 수 있다.

앞의 결과와 비교하였을 때, 4배 정도의 증착속도 감소 (~1.0 Å/s)에도 에피성장이 일어나지 않고 우수한 비정질 박

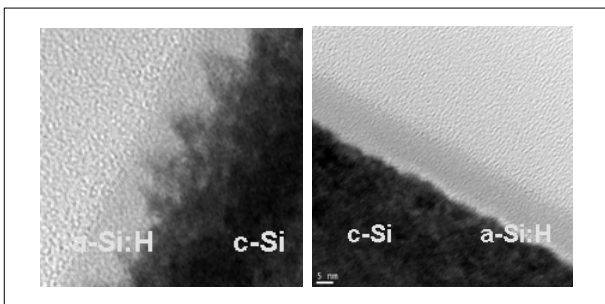


(a)



(b)

Fig. 5 H₂/SiH₄, H₂/Ar 희석비 및 공정압력에 따른 비정질 실리콘 박막의 특성 변화



(a)

(b)

Fig. 6 결정성 분율 18.4 vol%의 a-Si:H(a)와 0.3 vol% 이하의 a-Si:H 박막(b)의 HRTEM 결과

막이 증착되었으며, 0.1 Torr에서 가장 낮은 voids 분율을 나타내는데, 이는 더욱 고밀도의 비정질 박막이 얻어졌음을 의미한다.

Fig. 6에 SE분석결과 18.4 vol%와 0 vol%로 모델링된 비정질 박막의 HRTEM 분석결과를 나타내었다. 결정성이 높은 경우(Fig. 6(a)) Si wafer 표면에서 에피성장⁽⁷⁾을 하였음을 관찰할 수 있으며, 결정성이 없는 경우 역시 SE결과와 잘 일치함을 확인할 수 있다.

3.3 Cell 적용 결과

본 실험에서 최적화된 wafer 세정 및 비정질 실리콘 박막 증착 조건을 이용하여 이종접합 태양전지를 제작하였다. 세정 조건은 상기 언급한 바와 같이, 유기세정과 SPM, 그리고, Hot water oxidation(90분)을 통해 oxide passivation을 형성하였으며, 표면 수소 처리는 BOE(1분)를 사용하였다. 비정질 실리콘 층은 RF-PECVD를, TCO는 스퍼터링 공정을 사용하였다. AZO 타겟은 ZnO:2wt% Al₂O₃를 사용하여 약 150°C에서 증착하였으며, back electrode와 front electrode는 각각 Al과 Ag를 사용하였는데, 스퍼터링과 e-beam evaporating방식을 적용하였다.

AZO(90nm) /p(6nm) /i(2nm) /c-Si/n+(20nm)의 구조의 cell을 구현한 후, 두께 측정 역시 SE를 사용하였다. SE 측정 및 모델링 결과를 Fig. 7에 도시하였다. 증착 결과, 원하는 두께가 잘 증착되었음을 알 수 있으며, 매우 낮은 결정질 분율과 voids를 가지는 intrinsic 과 p-doped 비정질 층이 형성되었음을 다시 한 번 확인할 수 있었다.

상기 셀의 AM1.5 조건에서 측정한 결과를 Fig. 8에 도시하였다. Flat wafer를 사용한 셀의 경우, 12.67%의 변환효율을 얻을 수 있었는데, 특히, 우수한 F.F(0.79)를 얻을 수 있었

5	azo	88.804 nm
4	EMA (p)/3.18% void	5.597 nm
3	p	0.299 nm
2	EMA (i)/2.88% void/2.73% si_asp	2.335 nm
1	i	0.061 nm
0	si_jaw	0.23 mm
	n	20nm

Fig. 7 Cell structure modeling on Flat wafer.

다. 이는 금속전극 접촉이 우수하고, TCO 층의 isolation 공정시 cell 구조에 damage가 일어 나지 않았기 때문으로 사료된다.

동일한 셀 구조를 Textured wafer상에서 구현한 결과, 14.30%의 변환효율을 얻을 수 있었는데, Flat wafer와 비교하여, J_{sc} 와 V_{oc} 가 증가한 것에 기인하였다. 전류량은 Texturing으로 인해 반사도가 감소하고, 광 경로가 증가한 게 그 원인으로 쉽게 짐작할 수 있으며, 개방전압 V_{oc} 의 경우는 texturing에 의해 c-Si wafer 표면이 (100)에서 (111)로 변화한 것에 그 일부 원인을 찾을 수 있다.

(100) 면에 비해 (111) 면이 더욱 높은 원자충진 밀도를 가지므로 dangling bond 밀도 역시 낮으며, How water passivation과 Hydrogen passivation 시 더욱 우수한 표면이 형성되며⁽⁶⁾, intrinsic 비정질 실리콘 층의 증착시에도 (100) 면에 비해 결정 성장이 더욱 억제되었기 때문으로 짐작할 수 있다. 따라

서, Flat wafer의 경우보다 상당히 증가된 개방전압을 얻을 수 있었다.

하지만, F.F의 경우 우수한 특성을 보이지 못하였는데, 이는 texturing 한 표면의 경우, morphology 영향에 의해 texture valley가 비정질 실리콘 층으로 충분히 덮여 passivation 되지 못하거나, texture peak의 경우, 실리콘층과 TCO 층 사이에 leakage current가 다소 발생한 것으로 그 원인을 짐작할 수 있다.

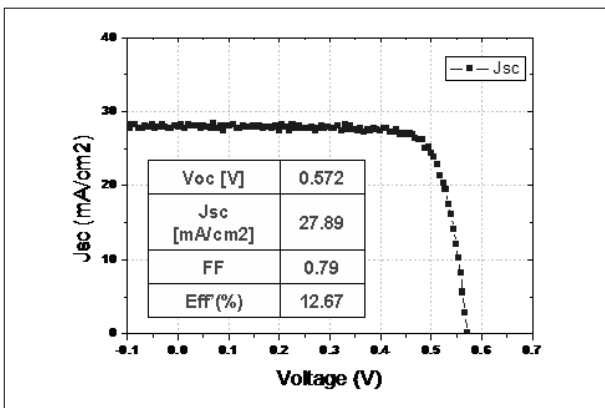
일본 산요社의 셀 특성 수준을 감안한다면, 앞으로 texturing 공정으로 더욱 최적화하고 각 기판별 특성에 맞도록 비정질 실리콘 층의 물성 및 두께 조절이 요구된다.

4. 결론

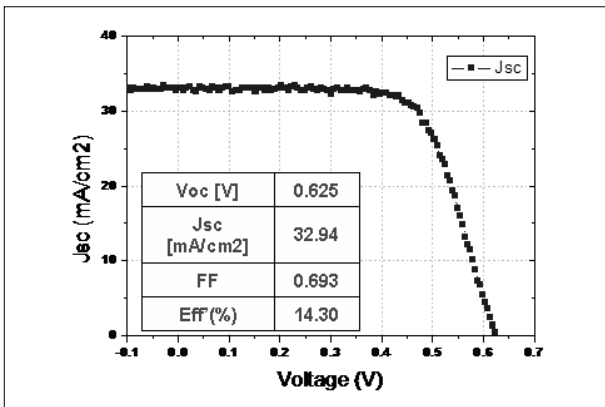
이종접합 태양전지를 구현하는 데 있어 가장 중요한 요소라 할 수 있는 c-Si wafer 표면 상태와 a-Si:H 박막 증착 조건을 도출하는데 있어 Spectroscopic Ellipsometer를 이용한 분석은 매우 유용한 방법임이 확인되었으며, 셀 적용 결과, Flat wafer의 경우, 12.67%, texturing 한 wafer의 경우 14.3%의 변환효율을 얻을 수 있었다.

후 기

본 연구는 지식경제부의 “유리기판 대면적 적층형 실리콘 박막 태양전지 모듈개발”의 일환으로 수행되었습니다.



(a)



(b)

Fig. 8 Heterojunction cell on Flat wafer (a), on textured wafer (b).

References

[1] Toru Sawada, 1994, "HIGH-EFFICIENCY a-Si/c-Si HETEROJUNCTION SOLAR CELL", First WCPEC; Dec. 5-9, Hawaii.
 [2] Luc Fesquet, 2007, "HIGH QUALITY SURFACE PASSIVATION AND HETEROJUNCTION FABRICATION BY VHF-PECVD DEPOSITION OF AMORPHOUS SILICON ON CRYSTALLINE SI: THEORY AND EXPERIMENTS", Presented at the 22nd EU PVSEC, September 2007, Milano, Italy.

[3] Mikio Taguchi, 2005, "Obtaining a Higher Voc in HIT Cells", Prog. Photovolt: Res. Appl. 13:481-488.
 [4] H. Angermanna, 2004, "Wet-chemical preparation and spectroscopic characterization of Si interfaces", Applied Surface Science, 235, 322-339.
 [5] H. Angermann, 1997, "Characterization of chemically prepared Si-surfaces by UV-vis and IR spectroscopic

ellipsometry and surface photovoltage", Surface Science, 388, 15-23.
 [6] V. Nayar, 1992, "Spectroscopic ellipsometry of epitaxial Si(100) surfaces", Appl. Phys. Lett. 61,11.
 [7] T.H. Wang, 2005, "Effective Interfaces in Silicon Hetero-junction Solar Cells", IEEE, 0-7X03-8707-4.

지 광 선



2000년 한양대학교 금속공학과 공학사
 2002년 한양대학교 재료공학부 공학석사
 2004년 삼성SDI 중앙연구소 전임연구원

현재 LG전자기술원 소재재료연구소 SE그룹 선임연구원
 (E-mail : ksji1101@lge.com)

어 영 주



1996년 KAIST 무기재료공학과 공학사
 1999년 KAIST 재료공학과 공학석사
 2005년 KASIT 신소재공학과 공학박사

현재 LG전자기술원 소재재료연구소 SE그룹 책임연구원
 (E-mail : dicaprioE@lge.com)

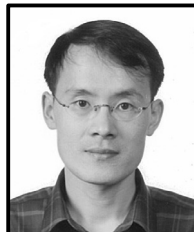
김 범 성



1998년 한양대학교 금속재료공학과 공학사
 2000년 한양대학교 재료응용학과 공학석사
 2003년 Osaka University 물질화학학과 공학박사

현재 LG전자기술원 소재재료연구소 SE그룹 책임연구원
 (E-mail : bskim15@lge.com)

이 현 민



1992년 성균관대학교 물리학과 이학사
 1994년 포항공과대학교 물리학과 이학석사
 2005년 KAIST 전기 및 전자과 공학박사

현재 LG전자기술원 소재재료연구소 SE그룹 책임연구원
 (E-mail : hmlee@lge.com)

이 돈 희



1984년 한양대학교 무기재료공학과 공학사
 1986년 한양대학교 무기재료공학과 공학석사
 2008년 한양대학교 정밀화학공학과 공학박사

현재 LG전자기술원 소재재료연구소 연구위원(상무)
 (E-mail : leedh@lge.com)