

삼차원 집적화를 위한 초박막 실리콘 웨이퍼 연삭 공정이 웨이퍼 표면에 미치는 영향

최미경¹ · 김은경*

¹서울테크노파크
서울산업대학교 NID융합기술대학원

Effect of Si Wafer Ultra-thinning on the Silicon Surface for 3D Integration

Mi Kyeong Choi¹ and Eun-Kyung Kim*

¹Seoul Technopark
Graduate School of NID Fusion Technology, Seoul National University of Technology

초 록: 전자산업의 소형화와 경량화 추세에 맞추어 최근 집적 칩(IC)이나 패키지를 적층시키는 삼차원 집적화(3D integration) 기술 개발은 차세대 핵심기술로 중요시 되고 있다. 본 연구에서는 삼차원 집적화 공정 기술 중 하나인 초박막 실리콘 웨이퍼 연삭(grinding) 공정이 웨이퍼 표면에 미치는 영향에 대해서 조사하였다. 실리콘 웨이퍼를 약 30 μm 과 50 μm 두께까지 연삭한 후, 미세연삭(fine grinding) 단계까지 처리된 시편을 건식 연마(dry polishing) 또는 습식 에칭(wet etching)으로 표면 처리된 시편들과 비교 분석하였다. 박막 웨이퍼 두께는 전계방사형 주사전자현미경과 적외선 분광기로 측정하였고, 표면 특성 분석을 위해선 표면주도(roughness), 표면손상(damage), 경도를 원자현미경, 투과전자현미경 그리고 나노 인덴터(nano-indentor)를 이용하여 측정하였다. 표면 처리된 시편의 특성이 표면 처리되지 않은 시편보다 표면주도와 표면손상 등에서 현저히 우수함을 확인 할 수 있었으나, 경도의 경우 표면 처리의 유무에 관계없이 기존의 벌크(bulk) 실리콘 웨이퍼와 오차범위 내에서 동일한 것으로 보였다.

Abstract: 3D integration technology has been a major focus of the next generation of IC industries. In this study Si wafer ultra-thinning has been investigated especially for the effect of ultra-thinning on the silicon surface. Wafers were grinded down to 30 μm or 50 μm thickness and then grinded only samples were compared with surface treated samples in terms of surface roughness, surface damages, and hardness. Dry polishing or wet etching treatment has been applied as a surface treatment. Surface treated samples definitely showed much less surface damages and better roughness. However, ultra-thinned Si samples have the almost same hardness as a bulk Si wafer.

Keywords: 3D Integration, Silicon Thinning, Ultra-thinned Wafer, WLP

1. 서 론

전자산업의 소형화와 경량화 추세에 맞추어 최근 집적 칩(IC, integrated chip)이나 패키지를 적층

시키는 삼차원 직접화(3D integration) 기술 개발은 차세대 핵심기술로 중요시 되고 있다. 특히 모바일 시장에서는 칩의 소형화와 함께 더욱 향상된 다양한 기능을 가지면서 경량화된 제품들이 요구

*Corresponding author
E-mail: eunkyung@snut.ac.kr

된다. 이러한 요구에 따라 현재의 패키징 기술이 반도체 소자의 두께가 얇으면서 열적 신뢰성도 우수해야 하는 점에서 많은 제약이 있다. 집적 칩(IC) 스마트카드(smart card)와 같은 응용분야에서는 이미 150 μm 이하의 박막 실리콘 웨이퍼 공정이 가능하고 실제로 이 두께까지 공정이 가능한 새로운 기술들이 많이 이용되고 있다.¹⁾ 최근에는 칩과 패키징 전 분야에서 적층 기술의 연구개발과 함께 50 μm 이하의 초박막 실리콘 웨이퍼가 요구되고 있는 실정이다.

일반적으로 연삭 공정은 80% 이상의 연삭 공정이 이루어지는 첫 단계인 거친 연삭(course grinding) 공정에서 실리콘의 대부분의 결정결함이 생긴다. 그 다음 미세 연삭(fine grinding) 공정에서는 거친 연삭 과정에서 발생한 결정결함이 어느 정도 제거되며, 표면주도(roughness)도 어느 정도 조절이 가능하다. 하지만 미세 연삭 공정 이후에도 실리콘 표면에는 손상(damage)이나 결함(defect)들이 남아 있게 되고, 이러한 표면손상이나 결함들은 실리콘 표면에 응력(stress)을 초래하기 때문에 표면손상이나 결함을 최소화하는 표면처리 공정이 반드시 필요하다.

표면처리 방법으로는 일반적으로 4가지 방법을 들 수 있다. 전통적인 연마(polishing) 방법으로 웨이퍼 표면의 손상을 제거하는 기계적 연마(mechanical polishing) 방법, 웨이퍼 표면의 응력(stress)을 줄이고 미세 틈(crack)을 줄이는데 좋으나 속도가 느리고 비싼 화학기계연마(chemical mechanical polishing) 방법, 화학적 반응으로 부드럽게 손상을 제거하는 습식 애칭(wet etching) 방법, 마지막으로 플라즈마(plasma) 반응으로 손상을 제거하는 특히 가장자리(edge) 부분을 둥글게 할 수 있고 표면주도 조정

이 가능한 건식 애칭(dry etching) 방법이 있다.²⁾ 하지만 실리콘 두께가 점점 얇아지고 50 μm 이하가 되면서 휘거나(warping) 초박막 실리콘 웨이퍼 핸들링(handling) 문제가 나타났으며, 또한 웨이퍼나 칩 적층 공정 시 실리콘 표면에 남아있는 결정결함이 소자들의 전기적 특성에도 영향을 미칠 뿐 아니라 핸들링, 다이싱(dicing) 또는 패키징 조립 공정 시 수율을 저하시키는 위험 요소를 만들기도 한다.³⁾ 초박막 실리콘 웨이퍼 공정 시 고려해야 할 중요한 요소 중 하나는 박막 웨이퍼 핸들링이다. 웨이퍼를 적층할 경우 웨이퍼 본딩(bonding)과 연삭 중 어느 공정을 먼저 하느냐에 따라 캐리어(carrier)의 종류나 집적화(integration) 시스템이 정해지고, 이는 초박막 실리콘 웨이퍼 핸들링 시스템과 연삭 공정에 직접적인 영향을 미친다.

본 연구에서는 삼차원 집적화 기술 중 하나인 초박막 실리콘 웨이퍼 연삭 공정이 웨이퍼 표면에 미치는 영향에 대해서 조사하였다. 실리콘 웨이퍼를 약 30 μm 까지 연삭한 후, 표면 처리된 시편들과 표면주도, 표면손상 그리고 경도 측정을 통하여 비교 분석하였다.

2. 실험 방법

실리콘 웨이퍼를 Disco 8760 연삭 장비(DGP8760 DISCO Fully Automatic Grinder/Polisher)를 이용하여 거친 연삭 단계와 미세 연삭 단계를 거쳐 각각 30 μm 과 50 μm 의 두 가지 두께로 연삭하였다. 표 1은 본 실험에서 준비된 시편들의 조건을 설명하고 있고, 공정 방법은 표 2에 설명하였다. 연삭 후 표면 처리방법으로는 건식 연마 공정과 습식 애칭 공정을 하였으며, 습식 애칭의 경우 KOH 25% 용

Table 1. Sample Preparation

Sample	Coarse grind	Fine grind	Surface treatment	Si thickness after grinding (μm)
1	Yes	Yes	Dry polishing	30
2	Yes	Yes	Dry polishing	50
3	Yes	Yes	None	30
4	Yes	Yes	None	50
5	Yes	Yes	Wet Etching	30
6	Yes	Yes	Wet Etching	50

[Note] Si Wafer Size = 8 inch

Table 2. Si Wafer Grinding Conditions

Sample	Coarse grinding	Fine grinding	Dry polishing
Mesh size	#320	#600	
Tooth width	4mm	3mm	The company recommend was used.
Spindle	3200min ⁻¹	-3000min ⁻¹	
Total amount of removal	As Suitable	50 μm	

액을 사용하였다. KOH 용액의 실리콘 애칭 속도는 대략 0.14 μm/sec 정도였으며, 본 실험에서는 표면처리로 약 4초를 애칭하였다.

연삭 후 박막 상태의 실리콘 두께 측정은 전계 방사형 주사전자현미경(field emission scanning electron microscopy, 이하 FESEM)과 적외선 분광기(fourier transform infrared spectroscopy, 이하 FTIR)를 사용하여 측정하였으며, 시편들의 표면 상태를 살펴보기 위해서는 표면주도, 표면손상, 그리고 경도를 원자현미경(atomic force microscope, 이하 AFM), 투과전자현미경(transmission electron microscopy, 이하 TEM)과 나노인덴터(nano-indentor)를 이용하여 측정 분석하였다. 표면주도의 경우 각 시편마다 열 포인트씩 측정하였다.

3. 실험 결과 및 고찰

정확한 초박막 실리콘 웨이퍼 두께 측정을 위해서 연삭된 실리콘 웨이퍼를 레이저 다이싱(laser dicing)으로 자른 후 실리콘 웨이퍼 조각에 붙여 고정 시킨 다음 FESEM 측정을 진행하였다. 실리콘 웨이퍼는 30 μm과 50 μm 두께로 연삭되었고, FESEM 측정 결과 각각의 두께는 약 32 μm과 50 μm이었다. 그림 1은 FESEM 측정 결과를 보여주고, 그림 2는 30 μm 두께의 실리콘 웨이퍼를 보여주고 있다. 비파괴 측정을 위해서 30 μm 시편을 FTIR 측정을 시도하였고, FESEM 측정 결과 값과 일치하였다. 최근 IMEC에서는 근적외선(near-infrared) 광원(light source)을 이용한 특수 결맞음성 간섭측정(spectral coherence interferometry, 이하 SCI)으로 캐리어에 붙은 초박막 실리콘 웨이퍼의 두께 측정을 연구 발표하였다.⁴⁾ 초박막 웨이퍼의 두께는 그 균일성 측정을 위하여 웨이퍼 상에 많은 위치를 비파괴적으로 측정하여야 하고, 적외선을 이용한 비파괴 방법으로 두께를 측정하는 경우 초박막 실

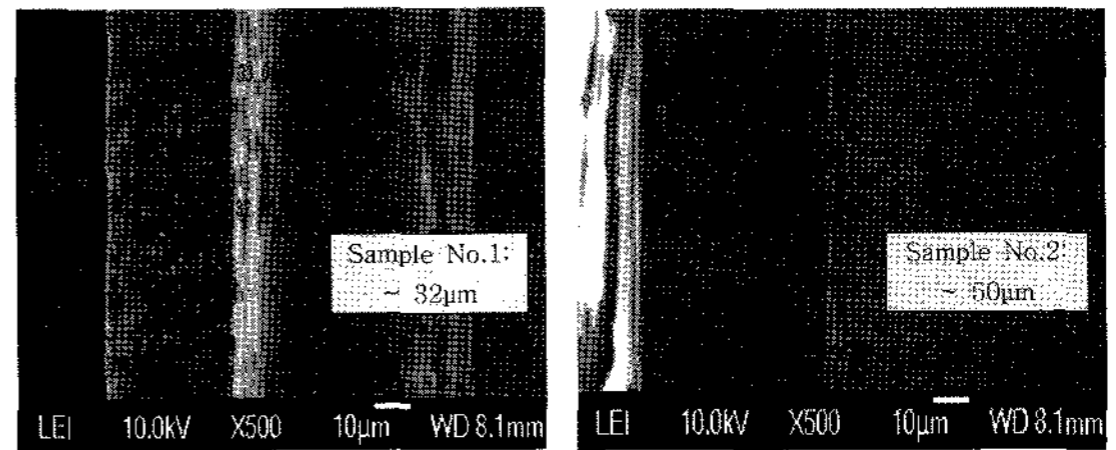


Fig. 1. Thickness measurement after Si thinning (SEM).

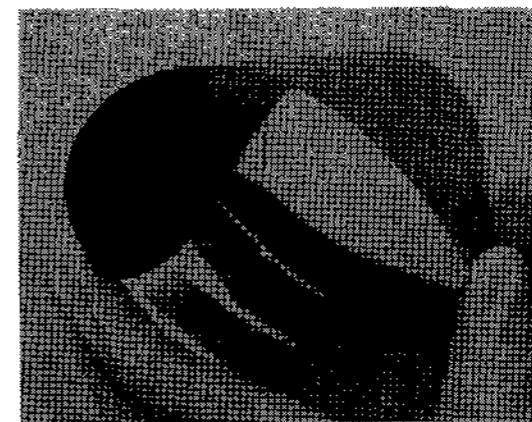


Fig. 2. Approximately 30 μm-thick Si wafer.

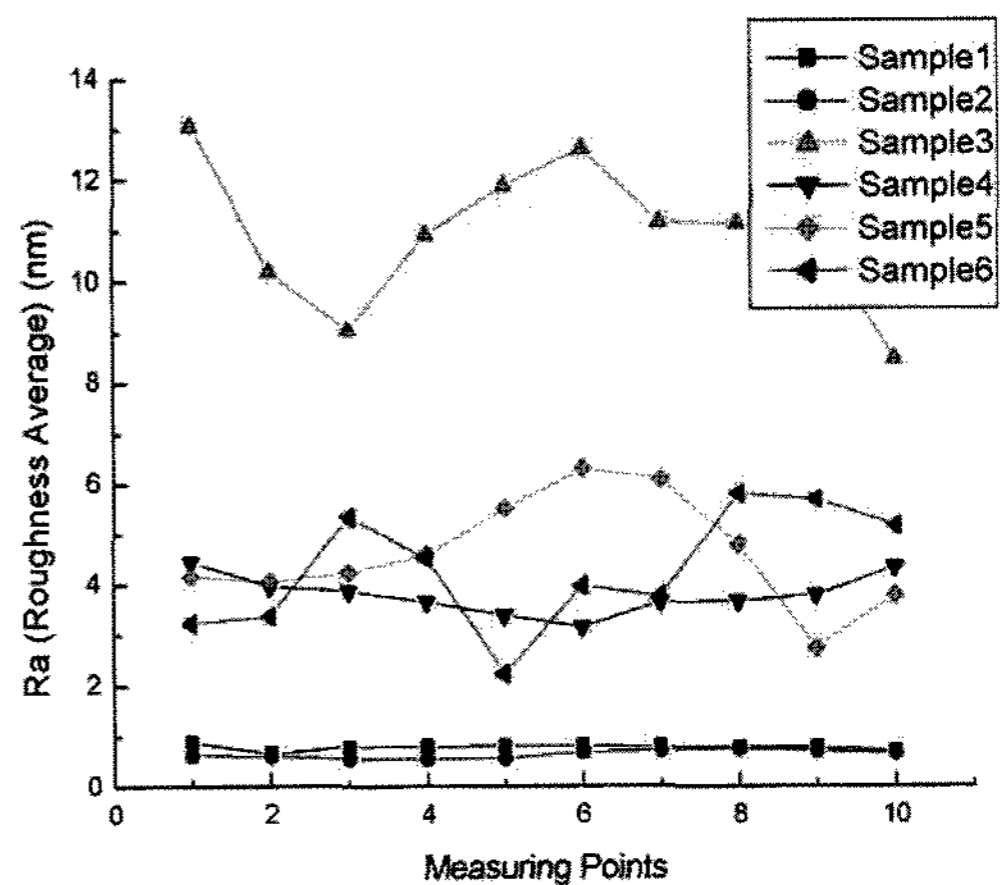


Fig. 3. Average Roughness(Ra) measurements after Si wafer thinning.

리콘 웨이퍼의 핸들링 시스템이나 웨이퍼 적층구조 등 주변 시스템과 같이 연구되어야 한다.

그림 3은 시편들의 평균 표면주도(Ra: roughness

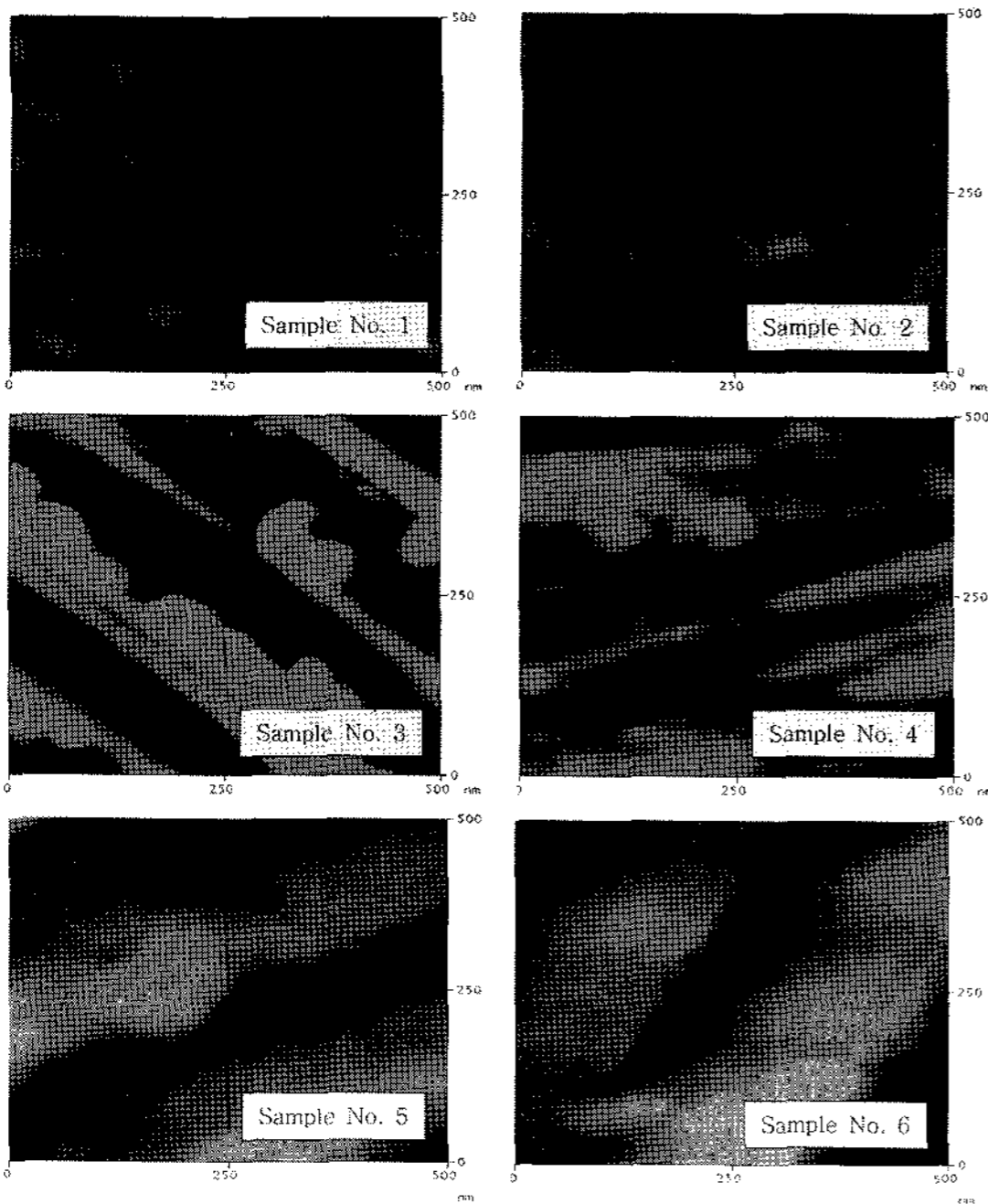


Fig. 4. Topographic images after Si wafer thinning (AFM).

average) 값을 보여주고 있다. 연삭 공정만 된 시편을 보면 표면주도 값이 측정 포인트에 따라서 3 nm에서 13 nm까지 변화를 보였고, 습식 애칭된 시편도 비슷한 범위내의 값을 보였다. 반면 건식 연마된 시편은 표면주도 값이 1 nm 이하로 현저히 적고, 열 개 데이터 포인트의 표준편차도 0.07 nm로 균일하게 나타났다. 또한, 그림 4의 지형도 이미지(topographic image)에서도 건식 연마된 시편의 표면주도 값이 적고 표면이 보다 균일함을 볼 수가 있다. 습식 애칭의 경우 연삭 공정만 된 시편과 비교할 때 표면주도 값에 큰 변화가 없었고, 연삭 공정의 휠(wheel) 자국이 남아있는 것을 볼 수 있다. 이는 손상이 생긴 실리콘 표면이 충분히 애칭이 되지 않았기 때문이다.

각각의 표면 처리에 따라 각 시편들의 표면상에 나타나는 연삭에 의한 공정 손상은 TEM으로 관찰하였다. 연삭 후 초박막 상태가 된 실리콘 웨이퍼의 TEM 시편 준비는 그림 5와 같이 하였다. 분석하고자 하는 같은 시편의 표면을 마주보게 한 후 시멘트 수지(cement epoxy)로 접착시키고, 조작 실리콘을 양쪽에 붙인 후 연마와 래핑(lapping) 단계 그리고 이온밀링(ion milling)을 마지막으로 시

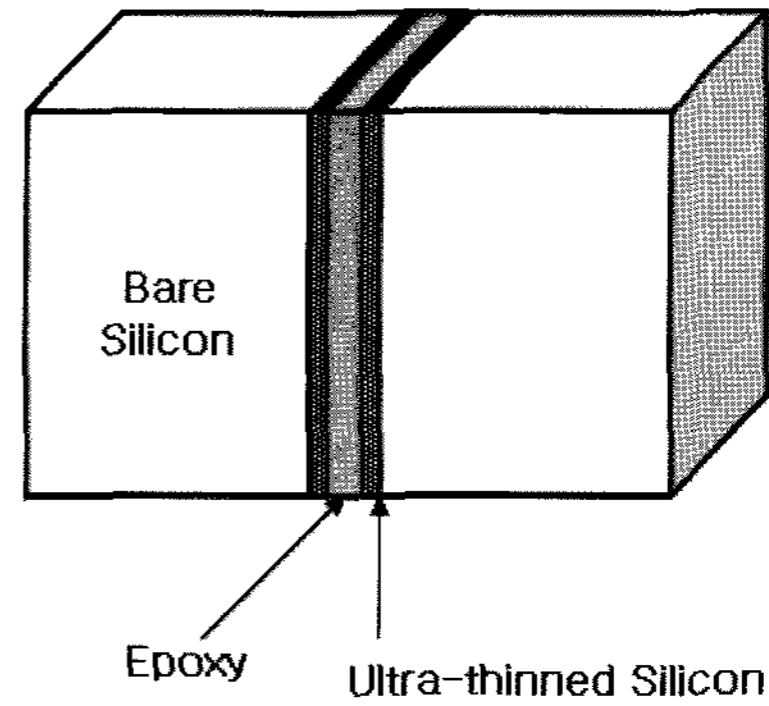


Fig. 5. Schematic of TEM sample preparation.

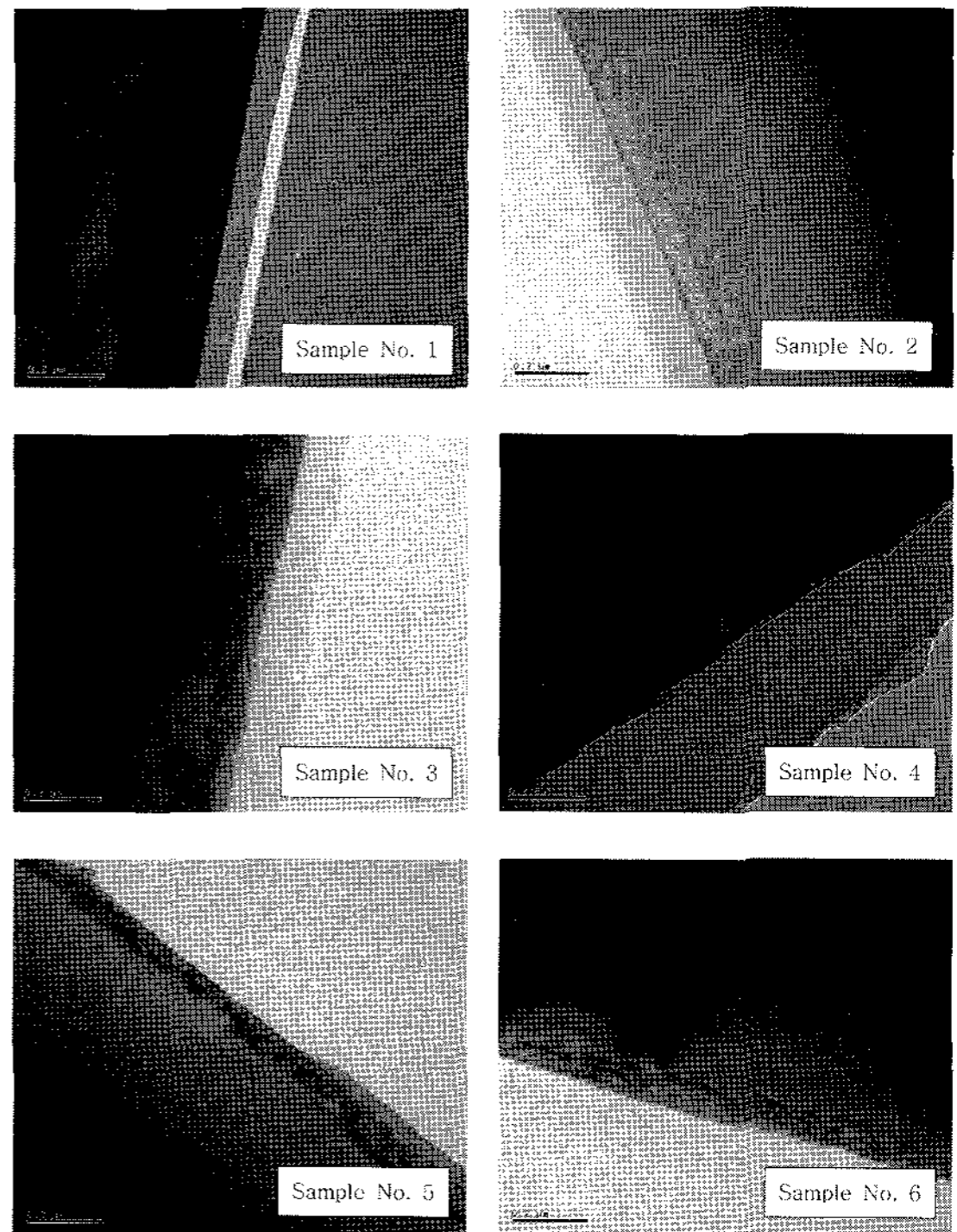


Fig. 6. Surface Damage Measurements (TEM) (Sample No. 1, 3, 5 [5]).

편을 완료하였다. 미세 연삭 단계까지만 거친 시편은 그림 6에서 보는 바와 같이 표면에서 깊게는 약 0.3 μm까지 결함이 존재하며 물결무늬를 따라 비슷한 모양이 나타난다. 이는 단순히 TEM 시편 준비과정이나 이온밀링 단계에서 생긴 결함이 아닌 연삭 공정 중 휠(wheel) 방향과 힘(force)에 의한 영향으로 사료된다. 거친 연삭과 미세 연삭 과정만을 거친 시편은 손상의 한가지로 결정 전위들

이 나타나는 것을 관찰 할 수 있다. 한편 건식 연마를 거친 시편은 표면에 미세 틈이나 결정 전위가 관찰 되지 않았으며 표면 손상 영향을 찾아 볼 수 없었고 표면 거칠기도 일정한 것으로 보였다.⁵⁾ 습식 애칭한 시편은 결정 전위는 애칭되지 않고 표면만 약간 식각된 것으로 보이고, 이는 위에서 언급한 바와 같이 습식 애칭 시간을 늘리면 향상되리라 사료된다. 마지막으로 연삭 공정 손상에 의한 기계적 성질을 관찰하고자 나노인덴터를 이용하여 경도와 탄성계수를 측정하였고, 표면처리의 유무에 관계없이 시편들의 경도와 탄성계수는 기존의 벌크(bulk) 실리콘 웨이퍼와 오차범위 내에서 동일한 것으로 보였다.

4. 결 론

실리콘 웨이퍼를 약 30 μm 두께까지 연삭하였고, 기존의 연삭 공정만 된 시편을 연삭 후 표면 처리된 시편과 비교 분석 하였다. 표면처리로는 건식 연마 공정과 습식 애칭 공정이 사용되었고, 표면 특성분석을 위해서 표면주도, 표면 손상 그리고 경도를 측정하였다. 시편들 중 건식 연마로 표면 처리된 시편이 표면주도와 표면 손상에서 가장 우수함을 확인 할 수 있었으며, 경도의 경우 표면 처리의 유무에 관계없이 기존의 벌크(bulk) 실리콘 웨이퍼와 오차범위 내에서 동일한 것으로 보였다. 전자소자들의 소형화와 경량화 추세에 따라서 삼차원 집적화 기술은 계속 발전할 것이고,

30 μm 이하의 초박막 실리콘 웨이퍼 연삭 공정이 요구될 것이다. 실리콘 웨이퍼가 초박막이 될수록 표면 손상 제거가 중요시 되고, 또한 소자의 전기적 성능에 영향을 미치지 않는 공정 개발이 중요하다 하겠다.

감사의 글

본 논문은 서울 Technopark의 차세대 패키징 공정 장비 실용화사업으로 일환으로 산업자원부 지원을 받아 수행되었으며 이에 감사드립니다.

참고문헌

1. D. New, "Silicon Thinning and Stacked Packages", IEEE SEMI Technology Symposium, 50-52 (2002)
2. K. Gurnett and T. Adams, "Ultra-thin semiconductor wafer applications and process", The advanced semiconductor magazine, 19(4), 36-40 (2006)
3. M. Hendrix, S. Drews, and T. Hurd, "Advantages of Wet Chemical Spin-Processing for Wafer Thinning and Packaging Applications", IEEE Electronics Manufacturing Technology Symposium, 229-236 (2000)
4. R.C. Teixeira, K. De Munck, K. Baert, B. Swinnen, A. Kuttel, and P. De Moor, "Thickness Characterization of Ultra Thin Wafers on Carrier", IEEE Electronics Packaging Technology Conference, 238-241 (2007)
5. 최미경, 김은경, "웨이퍼 레벨 3D 패키징을 위한 초박막 Si 웨이퍼 공정기술", 대한용접학회지, 26(1), 12-16 (2008)