

MEMS 패키징에서 구리 Via 홀의 기계적 신뢰성에 관한 연구

좌성훈*

서울 산업대학교 나노아이티 공학과

Mechanical Reliability Issues of Copper Via Hole in MEMS Packaging

Sung-Hoon Choa*

Dept. of Nano/IT Engineering Seoul National University of Technology,
172 Gongneung 2 Dong, Nowon-Gu, Seoul, Korea

초 록: 본 연구에서는 MEMS 소자의 직접화 및 소형화에 필수적인 through-wafer via interconnect의 신뢰성 문제를 연구하였다. 이를 위하여 Au-Sn eutectic 접합 기술을 이용하여 밀봉(hermetic) 접합을 한 웨이퍼 레벨 MEMS 패키지 소자를 개발하였으며, 전기도금법을 이용하여 수직 through-hole via 내부를 구리로 충전함으로써 전기적 연결을 시도하였다. 제작된 MEMS 패키지의 크기는 $1\text{ mm} \times 1\text{ mm} \times 700\text{ }\mu\text{m}$ 이었다. 제작된 MEMS 패키지의 신뢰성 수행 결과 비아 홀(via hole) 주변의 크랙 발생으로 패키지의 파손이 발생하였다. 구리 through-via의 기계적 신뢰성에 영향을 줄 수 있는 여러 인자들에 대해서 수치적 해석 및 실험적인 연구를 수행하였다. 분석 결과 via hole의 크랙을 발생시킬 수 있는 파괴 인자로서 열 팽창 계수의 차이, 비아 홀의 형상, 구리 확산 현상 등이 있었다. 궁극적으로 구리 확산을 방지하고, 전기도금 공정의 접합력을 향상시킬 수 있는 새로운 공정 방식을 적용함으로써 비아 홀 크랙으로 인한 패키지의 파괴를 개선할 수 있었다.

Abstract: In this paper, mechanical reliability issues of copper through-wafer interconnections are investigated numerically and experimentally. A hermetic wafer level packaging for MEMS devices is developed. Au-Sn eutectic bonding technology is used to achieve hermetic sealing, and the vertical through-hole via filled with electroplated copper for the electrical connection is also used. The MEMS package has the size of $1\text{ mm} \times 1\text{ mm} \times 700\text{ }\mu\text{m}$. The robustness of the package is confirmed by several reliability tests. Several factors which could induce via hole cracking failure are investigated such as thermal expansion mismatch, via etch profile, and copper diffusion phenomenon. Alternative electroplating process is suggested for preventing Cu diffusion and increasing the adhesion performance of the electroplating process. After implementing several improvements, reliability tests were performed, and via hole cracking as well as significant changes in the shear strength were not observed. Helium leak testing indicated that the leak rate of the package meets the requirements of MIL-STD-883F specification.

Keywords: Wafer level MEMS packaging, copper interconnection, reliability, Cu diffusion.

1. 서 론

MEMS 패키징은 MEMS 공정 기술 중에서 가장 시간과 돈이 많이 소요되는 공정이며 MEMS 소자

의 신뢰성에 많은 영향을 미친다. 이러한 문제를 해결하기 위하여 주로 웨이퍼 레벨(wafer level) 패키징 기술을 이용하고 있다.¹⁾ 웨이퍼 레벨 패키징은 MEMS 소자의 소형화 및 시스템 집적화를 이

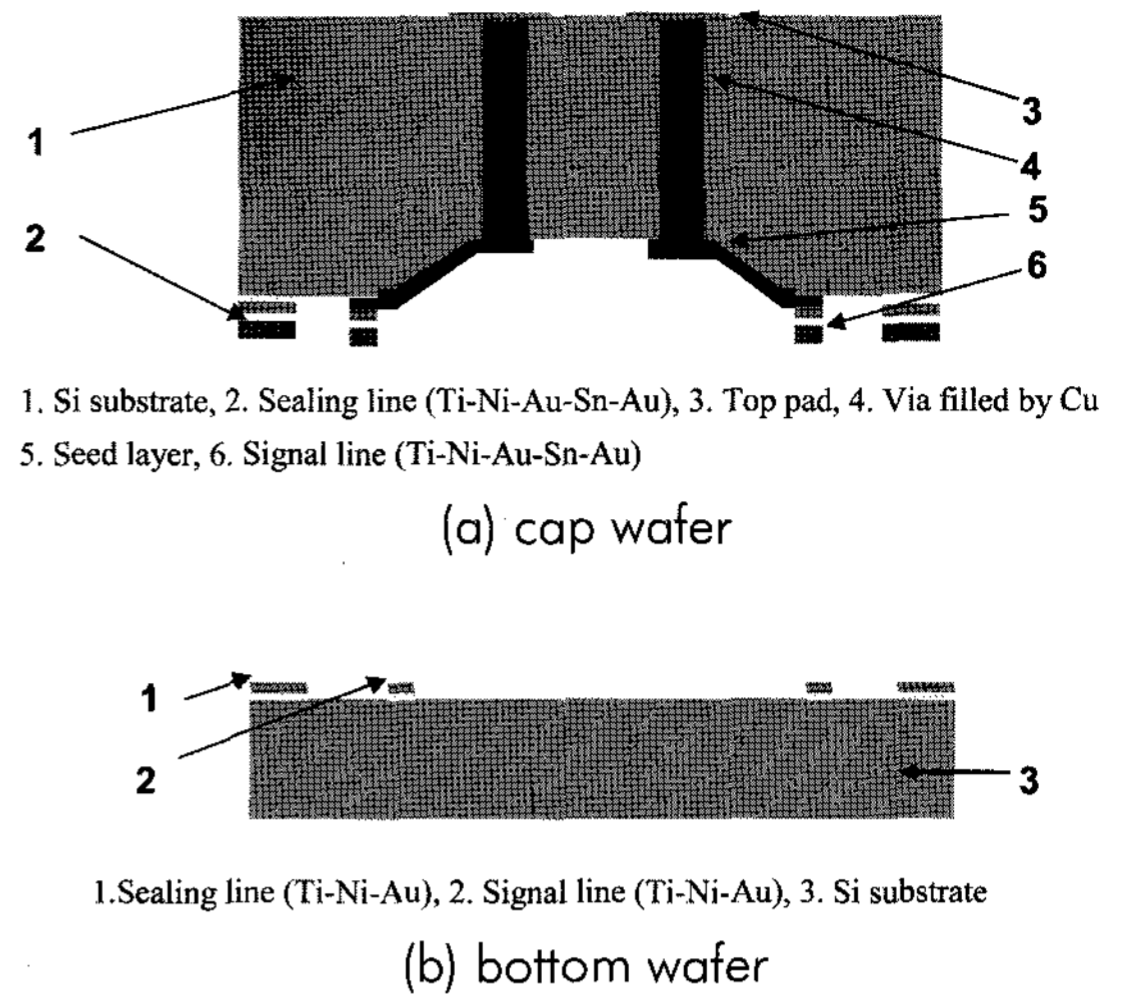
*Corresponding author
E-mail: shchoa@snut.ac.kr

루기 위한 많은 장점을 갖고 있다. 웨이퍼 레벨 패키징에서 through-wafer via interconnection은 가장 중요한 기술 중의 하나이다. Through-wafer via interconnection은 패키지의 크기를 축소하고 고밀도 패키징을 얻기 위하여 수직으로 소자를 연결시키는 매우 효과적인 방법이다. 실리콘 웨이퍼에서의 수직 interconnection은 through-hole via에 구리와 같은 도전율이 큰 금속을 충전하는 방법이 사용된다. 실제로 through-wafer via interconnection은 반도체 업계에서 많이 사용되는 기술이며, 그 재질로서는 주로 구리(copper)가 폭넓게 사용된다. 그러나 구리 interconnection의 신뢰성 문제는 주로 electromigration, stress migration 및 확산 현상(diffusion phenomenon)과 같은 소재의 전기적 성능을 저하시키는 문제들에 주로 집중되어 있다.²⁾ 반면에 구리 through-via에 관련된 기계적인 신뢰성 이슈들은 아직 잘 알려져 있지 않다. 가령 실리콘 웨이퍼에서 구리 through-via가 패키지의 응력 분포 및 칩(chip)과 칩간의 interconnection들의 신뢰성에 어떻게 영향을 미치는가에 대해서는 많은 연구가 수행되지 않고 있다.

본 연구에서는 RF MEMS 소자에 주로 적용하기 위한 MEMS 소자의 웨이퍼 레벨 밀봉(hermetic) 패키지를 개발하였다. 밀봉 패키징 및 저온 접합 조건을 만족시키기 위하여 Au-Sn 공정(eutectic) 접합 기술이 사용되었으며, 또한 전기도금된 구리로 충전된 수직 through-hole interconnection 구조를 사용하였다. 패키지의 강건성은 전단응력 시험과 여러 신뢰성 시험들을 통하여 검증하였다. 그리고 신뢰성 시험에서 발생된 여러 기계적인 신뢰성 문제에 대하여 기술하였으며, 또한 개선 방법들도 제안하였다.

2. 패키지 구조 및 공정

Fig. 1은 본 연구에서 개발된 패키지 구조의 도식도이다. 패키지의 크기는 1 mm×1 mm이며, 약 700 μm의 높이를 갖는다. 실리콘 상판(top wafer)과 하판(bottom wafer)은 사각 모양의 Au-Sn eutectic 솔더를 이용하여 밀봉된다. Au-Sn 접합은 Au₅Sn 또는 80 wt.% Au-20 wt.% Sn 조성이 사용되었는데 그 조건에서는 280°C의 용점을 가지며 크립(creep), 부식 및 기타 접합 특성이 우수하다고 알



1. Si substrate, 2. Sealing line (Ti-Ni-Au-Sn-Au), 3. Top pad, 4. Via filled by Cu
5. Seed layer, 6. Signal line (Ti-Ni-Au-Sn-Au)

Fig. 1. Schematic cross sectional view of the MEMS package structure developed in this study, (a) cap wafer, (b) bottom wafer developed in this study.

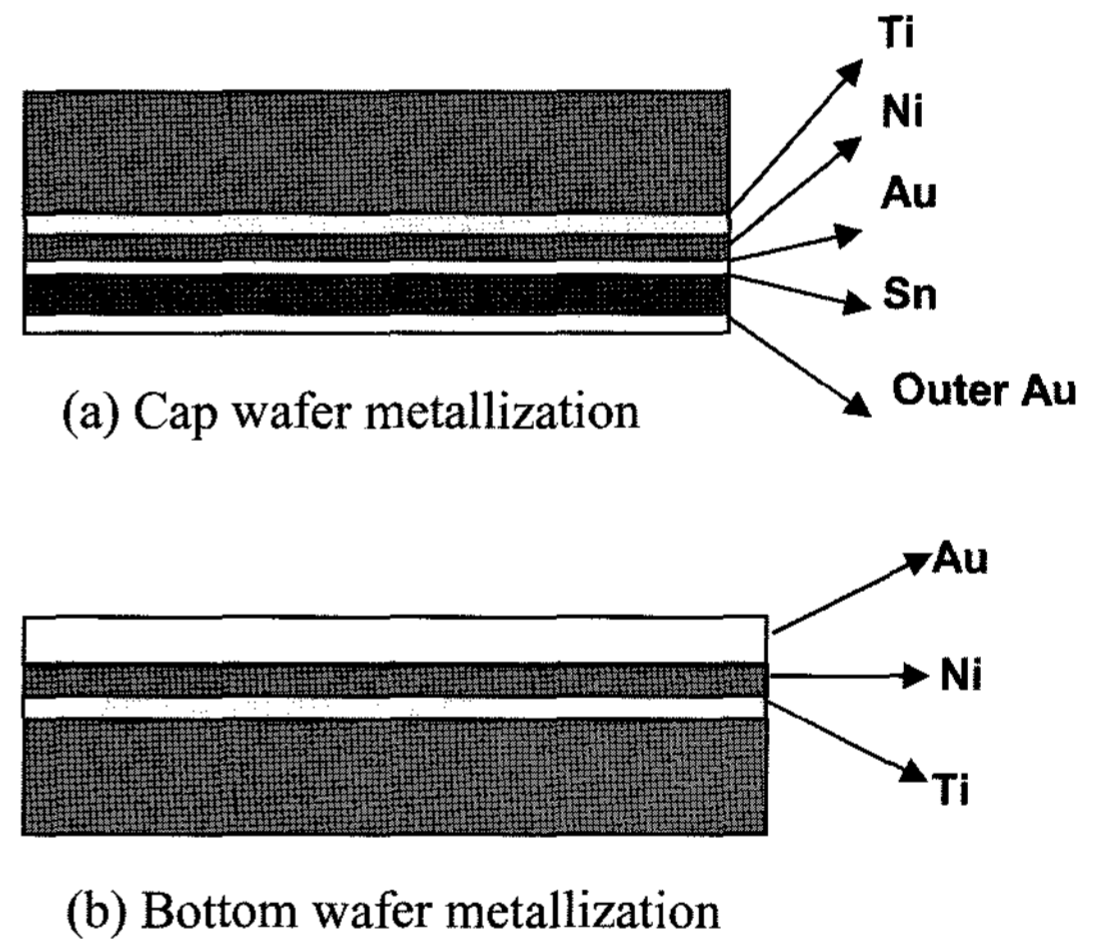


Fig. 2. Schematic view of multilayer Au-Sn composite structure design.

려져 있다.^{3,4)} Fig. 2는 본 연구에서 적용된 Au-Sn 솔더의 다층 구조를 나타내고 있다. 실리콘 상판 및 하판에는 각각 다른 재질의 다층막이 증착되었다. 상판의 실리콘 기판에는 우선 Ti와 Ni 박막을 증착시킨 후 Au, Sn 그리고 Au이 순차적으로 증착되었다. Ti는 실리콘 기판과의 접합력을 향상시키며, Ni 박막은 실리콘 기판과 솔더 합금 사이의 확산 방지막 및 젖음막으로 작용한다. 한편 Sn은 대기 환경 중에서 산화가 쉽게 되기 때문에 Sn의

산화 방지막으로서 Sn 박막 위에 추가적인 Au 막을 증착하였다. 또한 Au-Sn-Au 박막들의 증착은 고온 진공 챔버에서 동시에 증착을 하여 Sn의 산화를 최대한 억제하였다. 실리콘 하판에는 Fig. 2(b)와 같이 Ti-Ni-Au가 순차적으로 증착되었다. Au와 Sn 박막의 두께는 접합이 발생된 계면에서 접합 물질이 80 wt.% Au-20 wt.% Sn의 조성을 갖도록 설계되었다. 접합막은 lift-off 공정을 사용하여 패턴하였으며, 최종 밀봉 접합부의 폭은 70 μm 이었다. 한편 Fig. 1과 Fig. 2에서 나타나듯이 상판의 비아 홀과 하판을 연결하는 신호선(signal line) 역시 Au-Sn 솔더를 사용하여 제작되었다. 하판에는 접합 물질로서 Ti-Ni-Au 솔더 재질이 증착되었다.

한편 4 인치 기판은 RF 신호의 감쇄(attenuation)를 감소시키기 위하여 저항이 $2.0 \times 10^4 \text{ W}\cdot\text{cm}$ 인 고저항 실리콘 기판이 사용되었으며 두께는 약 350 μm 였다. Fig. 1(a)와 같이 상판은 동공(cavity)와 수직 비아 홀(via hole) 및 전기적 연결을 위한 패드가 형성되어 있다. Fig. 1(b)의 하판은 신호 라인을 포함하고 있다. Fig. 3은 상판 패키지 제작을 위한 공정 흐름도가 개략적으로 도식되어 있다. 우선

비아(via) 형성을 위한 포토마스크로서 실리콘 기판 위에 열산화 공정을 이용하여 약 5000Å 두께의 SiO_2 를 형성하였다. 그 후 RF MEMS 소자가 들어갈 수 있는 공간 확보를 위하여 약 20 μm 깊이의 동공을 TMAH 습식 식각 공정을 통하여 형성하였다. 동공의 안쪽에는 전기 도금(electroplating) 공정에서 비아 홀을 구리로 채우기 위한 씨앗(seed)층으로서 Cr/Au 박막을 증착하였다. Cr과 Au 박막의 두께는 각각 500Å 및 2 μm 였다. 패키지의 크기를 최대한 줄이고, 손실 및 기생 용량을 감소시키면서 전기적 연결을 하기 위하여 상판에는 수직 비아 홀을 형성하였다.

비아 홀은 ICP-RIE(Inductively Coupled Plasma Reactive Ion Etching) 건식 식각을 사용하여 형성하였으며, 60 μm 의 직경과 300 μm 의 깊이를 갖는다. 식각율은 약 4.0 $\mu\text{m}/\text{min}$ 이었다. ICP-RIE 공정 후에는 비아 홀 내부에 남아있는 오염 물질을 제거하기 위하여 산소 플라즈마 애싱(O_2 plasma ashing) 공정을 거쳤다. 고 종횡비(high aspect ratio)를 갖는 비아 홀 내부에 금속 물질을 채우는 공정은 매우 어렵다. 현재까지 전기도금법을 이용한 방법이 깊은 비아 홀을 갖는 형상에 주로 사용되고 있다.⁵⁾ 한편 Cu 재질은 Al에 비하여 electromigration 특성이 낮고, RC(resistance, capacitance) 시지연이 낮기 때문에 전기적 연결을 위하여 많이 사용되고 있다. 따라서 본 연구에서도 Cu를 사용한 전기도금법을 이용하였다. 비아 홀을 채운 후 발생하는 표면의 요철을 제거하고 평탄한 표면을 얻기 위하여 CMP(chemical mechanical polishing) 공정을 수행하였다. 그 후에 전기적 연결을 위한 패드 제작을 위하여 Ti-Ni-Au의 박막을 순차적으로 증착시켰다. 따라서 내부 소자와 외부 회로의 신호 연결은 패드 및 비아 홀을 통하여 전기적으로 연결된다.

상판과 하판을 제작한 후 두 기판은 eutectic 접합기(TPS-2000A of BNP science)를 사용하여 웨이퍼 레벨 상태에서 접합되며, 질소 가스 분위기에서 약 6 kgf/cm^2 의 압력을 가한 상태에서 최대 온도 280°C로 약 20분 정도 가열을 하여 접합한다. 접합이 완료되면 솔더 접합부의 응고화를 위하여 질소 가스를 흘려주면서 웨이퍼를 상온으로 식힌다. 이후 최종 단계로서 접합된 웨이퍼를 1 mm × 1 mm 크기의 사각 칩, 즉 RF MEMS 패키징 칩으로 다이싱하였다

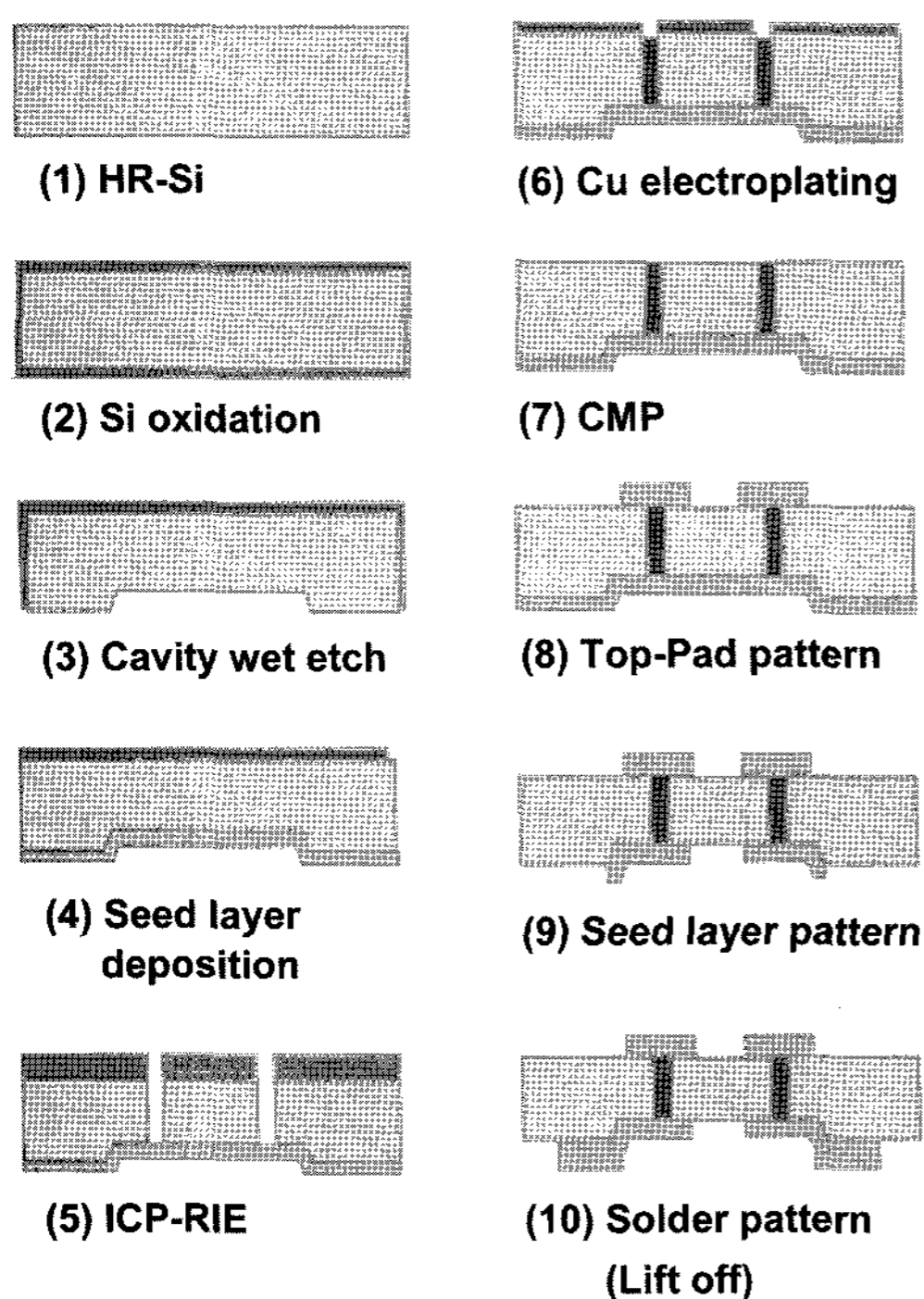


Fig. 3. Cap wafer fabrication process flow.

3. 실험 결과 및 토의

접합 특성 중에서 중요한 기계적 특성은 접합력 또는 접합 강도이다. 고강도의 접합력은 패키징의 기본적 요구 조건이다. 본 연구에서는 다이싱된 개별 패키지의 전단 강도 측정을 전단 시험기 (Royce 552-100K)를 사용하여 측정하였다. 20개의 패키지 샘플을 측정한 결과 전단 강도는 44.7 MPa에서 65.8 MPa의 분포를 갖고, 평균 전단 강도는 51.7 MPa이었다. 전단 시험 중에서 패키지의 파괴는 접합 계면에서 주로 발생하였으며 때때로 실리콘 기판에서도 파괴가 발생하였다. MIL-STD-883F 규격에 기술된 미세 패키지의 전단 강도 파괴 기준에 의하면 0.32 mm^2 ($5 \times 10^{-4} \text{ inch}^2$)의 크기 보다 작은 패키지의 경우 최소한 6.1 MPa의 응력을 견딜 수 있어야 한다. 본 연구에서 Au-Sn 솔더 재질로 접합된 전체 면적은 0.289 mm^2 이며 따라서 본 연구에서 제작된 패키지의 강도는 충분히 크다는 것을 알 수 있었다.

그 다음에는 제작된 MEMS 패키지 소자에 대해서 여러 종류의 가속 신뢰성(accelerated reliability) 시험을 수행하였다. 각 신뢰성 시험에는 총 10개의 패키징된 소자가 사용되었다. 열충격 시험에서는 각 샘플들을 -40°C (20 min.) \leftrightarrow 85°C (20 min.)의 온도 변화 상태에서 100 사이클을 반복하여 시험하였다. 고습도 보존 시험의 조건은 85°C , 85% RH(relative humidity)의 조건에서 120시간 동안 시험하였으며, 고온 보존 시험의 조건은 125°C 조건에서 168시간 동안 시험하였다. 또한 PCT 시험 (pressure cooker test)로서 121°C , 100% RH, 2 atm 조건에서 96시간 동안 시험하였다.

시험 결과 PCT 시험을 제외하고는 전단강도의 변화는 관찰되지 않았으며, 접합 계면의 파괴 또한 관찰되지 않았다. 그러나 PCT 시험에서는 약 반수의 샘플들이 파괴되었다. Fig. 4에서 보이듯이 샘플들은 비아 주변의 크랙 발생에 의하여 파괴되었음을 알 수 있었다. 이러한 크랙의 발생은 열팽창계수의 mismatch와 기공(void) 형성과 같은 복잡한 파괴 메커니즘에 의해 초래된 것으로 판단되며 그 이유를 추론하면 다음과 같다.

첫째로 비아 홀 내의 구리 재질과 실리콘 웨이퍼 사이의 열팽창계수 차이로 인한 파괴를 생각해 볼 수 있다. 파괴가 쉽게 발생할 수 있는 취약 부

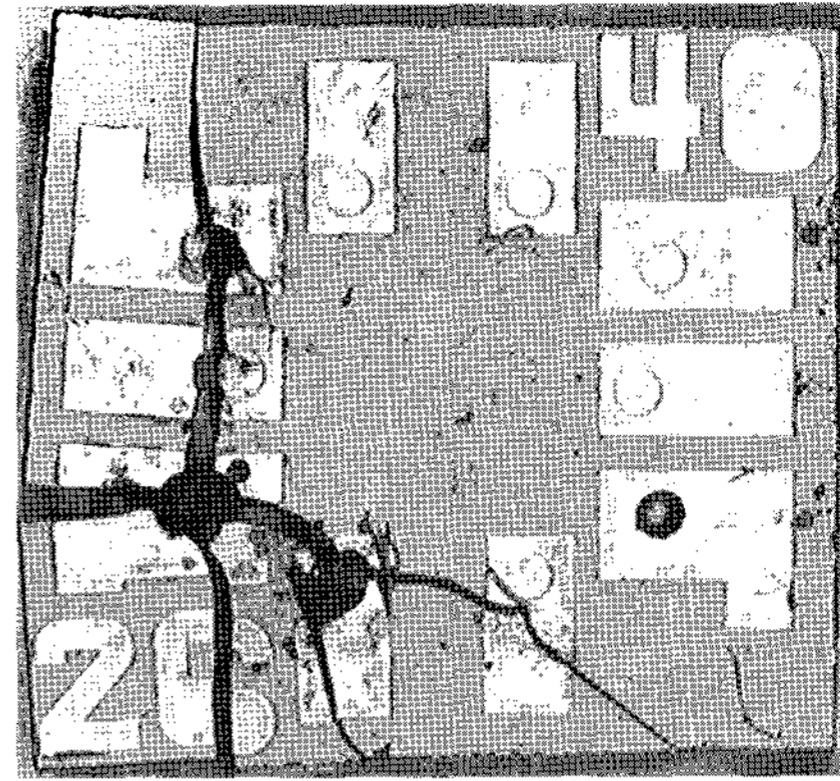


Fig. 4. Via hole cracking of MEMS package after the pressure cooker test of 96 hours.

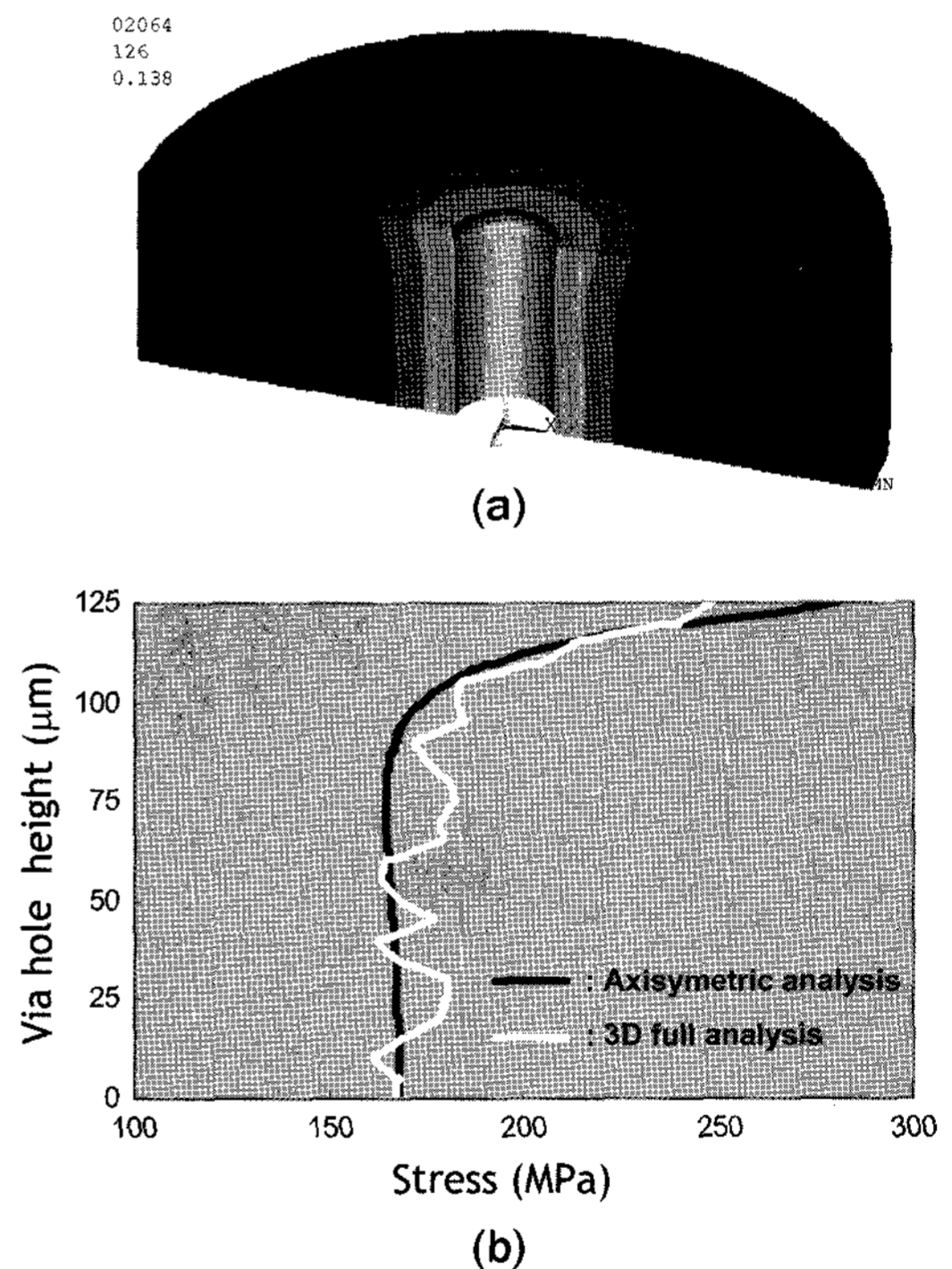
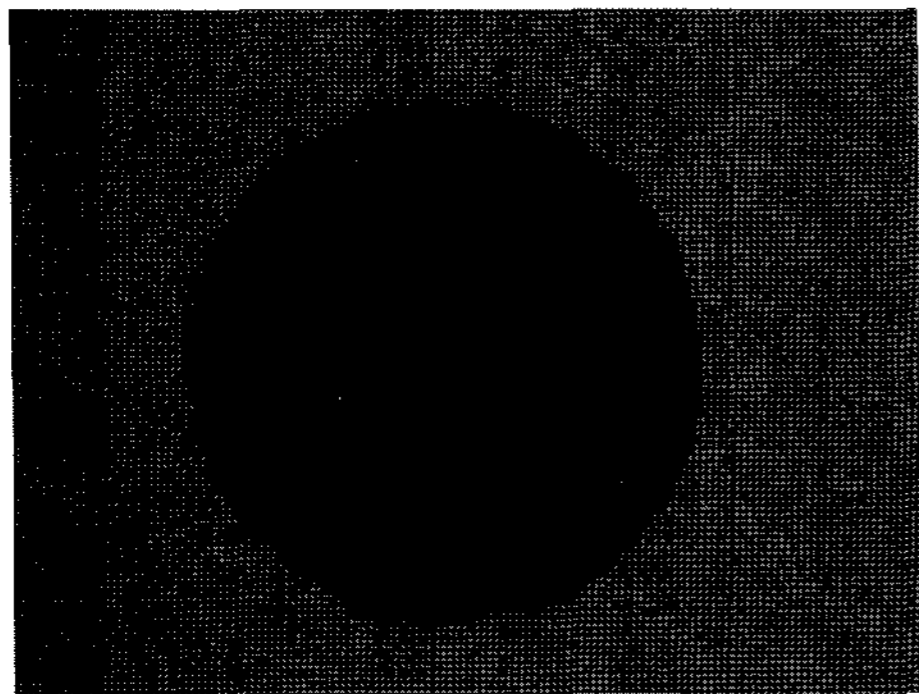


Fig. 5. Stress distribution around via hole (a) Simulation result of 3D stress distribution around via hole, (b) Simulation result of stress value along the via hole

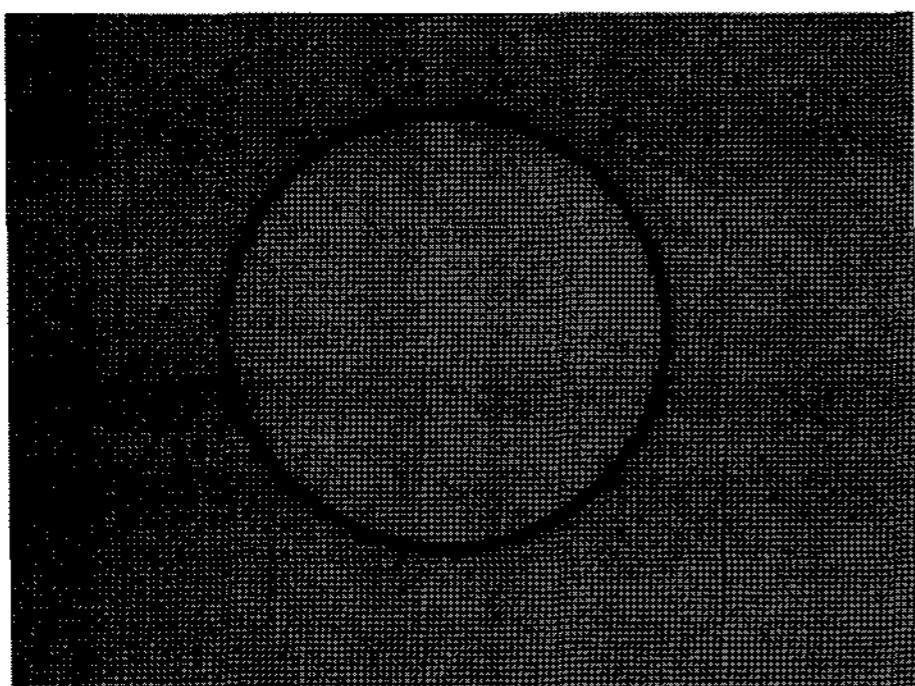
분을 찾기 위하여 우선 열기계적 시뮬레이션을 수행하였다. FEM(finite element method) 해석 상용 코드인 ANSYS 소프트웨어를 사용하여 비아 홀이 있는 상부 기판에 대하여 응력해석을 수행하였다. Fig. 5(a)는 온도가 25°C 에서 PCT 시험의 조건인

121°C까지 상승했을 때 비아 홀 주위에서의 3차원 응력 분포의 시뮬레이션 결과이다. 비아 홀 내에서의 응력의 평균값은 168 MPa이었으며, 최대응력 값은 실리콘과 구리 사이의 계면에서 발생하였으며 그 값은 280 MPa이었다. Fig. 5(b)의 해석 결과에 의하면 through-wafer copper via 구조의 응력은 주로 비아의 상부 끝 지점에 집중되고 있음을 알 수 있다.

이는 비아 홀의 상부, 즉 상부 표면의 구리와 실리콘 계면 사이가 가장 응력에 의한 파괴에 취약하다는 것을 의미한다. 따라서 본 연구에서는 크랙의 생성과 전파를 막기 위하여 계면의 모서리 부분의 결함을 최소화하기 위한 방법으로 매우 매끄러운 비아 에칭 형상을 얻도록 하였다. 실리콘 웨이퍼를 RIE 에칭(reactive ion etching) 하는데 있어서 어려운 문제 중에 하나는 장시간의 에칭 공정을 견딜 수 있는 적절한 에칭 마스크 재질을



(a)



(b)

Fig. 6. Via hole etch profile (a) Via etch profile with a common PR mask, (b) Via etch profile with aluminum mask.

찾는 것이다. Fig. 6(a)는 마스크 재질로 일반적으로 사용되고 있는 포토레지스트(photoresist)를 마스크로 사용한 후의 비아 에칭 형상이다. 비아 주변에 많은 chipping과 크랙이 발생했음을 알 수 있다. 이 현상을 개선하기 위하여 SF₆ 및 CHF₃와 같은 RIE 에칭 가스에 대해서 매우 높은 선택비(selectivity)와 촉매 반응 특성이 거의 없는 알루미늄 마스크를 마스크 재료로 사용하였다. Fig. 6(b)는 알루미늄 마스크를 사용한 후의 비아 에칭 형상을 나타내고 있다. 비아 주변의 chipping과 크랙들이 발견되지 않았다.

둘째, 만일 식각 공정 후에 씨앗층에 실리콘 잔유물들이 존재하거나, 건식 식각으로부터 발생된 부산물 혹은 잔유 증착 물질들이 수직 벽면에 존재하게 되면 벽면의 젖음성이 감소되면서 비아 홀을 채우는 과정에서 공기가 갇히게 되고 기공이 발생하게 된다. 이러한 기공은 PCT 시험 중에 높은 온도에서 팽창을 하여 비아 구조에 응력을 주게 된다. 또한 공기가 갇히게 되면 주변의 수분 및 염기 성분의 잔유물들이 공기가 있는 부분으로 쉽게 침투하여 부식을 초래하거나 결함으로 존재하게 된다. Fig. 7은 비아 홀 구조에서 기공이 형성된 경우를 나타내고 있다. 따라서 본 연구에서는 비아 홀 내부의 오염을 방지하기 위하여 비아 홀을 식각한 후, ICP-RIE를 이용하여 O₂ 플라즈마 애싱을 수행하였다. 또한 실리콘과 구리 사이의 접착력을 향상시키기 위하여 전기도금 공정의 인자들, 즉 전류 밀도, 웨이퍼 회전 속도, dipping 시간 등을 최적화하였다. 자세한 최적 공정 조건에 대해서는 본 논문에서는 생략하고자 한다.

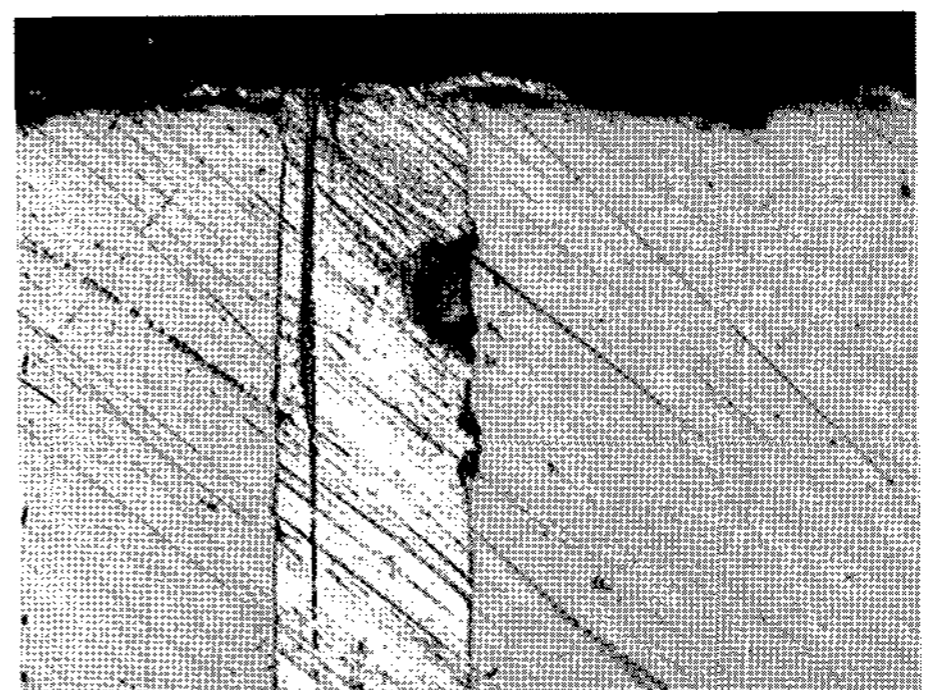
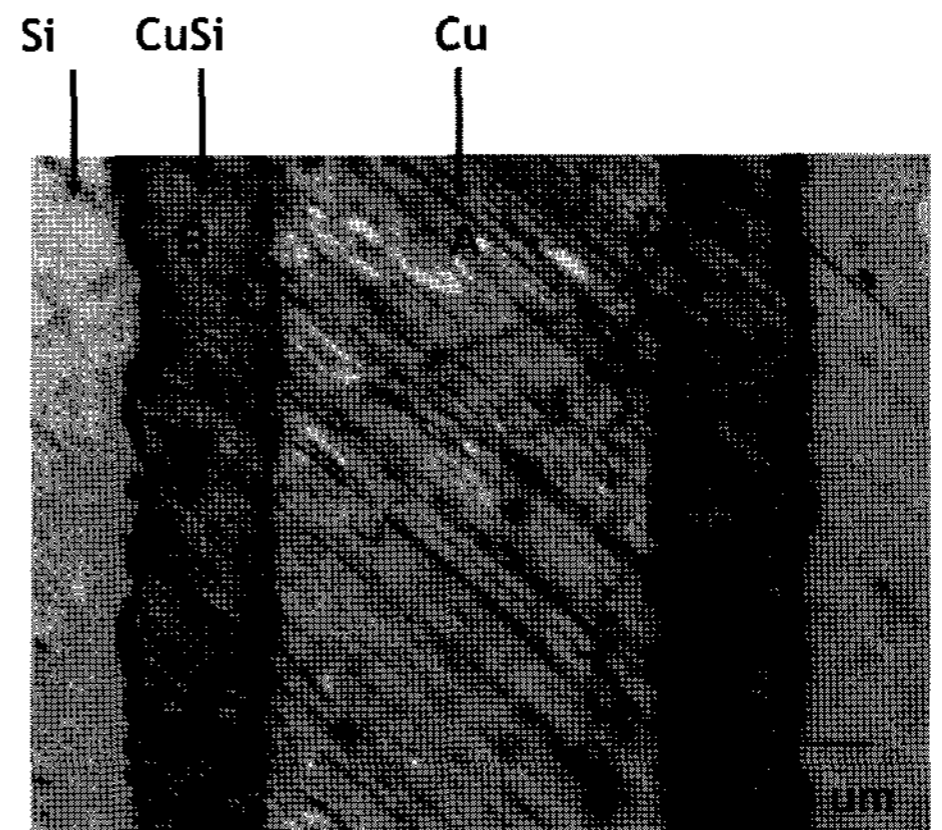


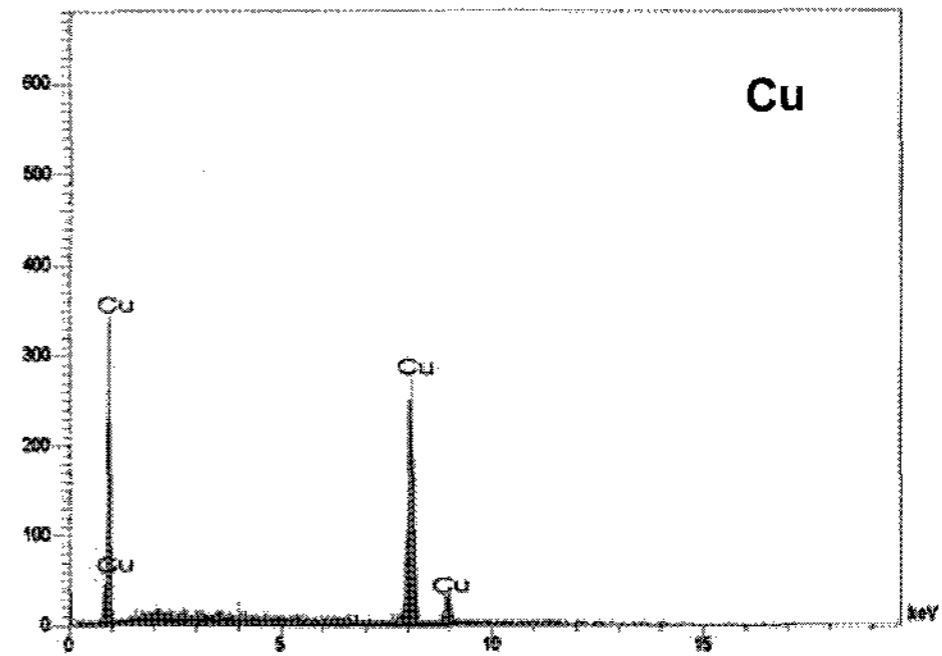
Fig. 7. Severe case of void formation in the via hole structure.

셋째, 비아 크랙 발생의 또 다른 원인으로는 구리 확산 현상이 있을 가능성이 있다. 구리는 고온 공정 중에 실리콘으로 빠르게 확산되면서 Cu silicide (Cu_3Si)를 형성한다고 알려져 있다.⁶⁾ 이 현상은 응력으로 인한 기공 생성 및 electromigration 현상을 초래하여 소자의 전기적 성능 및 신뢰성을 저하시킬 수 있다. 그러나 응력으로 인한 기공 생성과 electromigration 현상은 일반적으로 수 마이크로미터 크기의 작은 비아 홀에서 발생하며, 본 연구와 같이 비아 홀의 직경이 $60\ \mu m$ 인 경우에는 해당이 되지 않을 가능성이 크다. 그 대신 구리 확산으로 인한 체적의 팽창 현상이 매우 심각한 요소가 될 수 있다. 실리콘 내에서의 Cu_3Si 의 형성은 약 150%의 체적 팽창을 의미하며, 결국 응력 relaxation 및 결함의 발생을 초래하게 된다.⁷⁾ 150%의 체적 팽창은 비아 구조 주변에 매우 큰 응력을 발생시킬 것이다. 결론적으로 열팽창계수의 mismatch와 체적 팽창으로 인한 응력으로 인하여 비아 주변의 작은 chipping과 크랙들이 존재할 경우 크랙을 발생시킬 가능성이 충분히 있다.

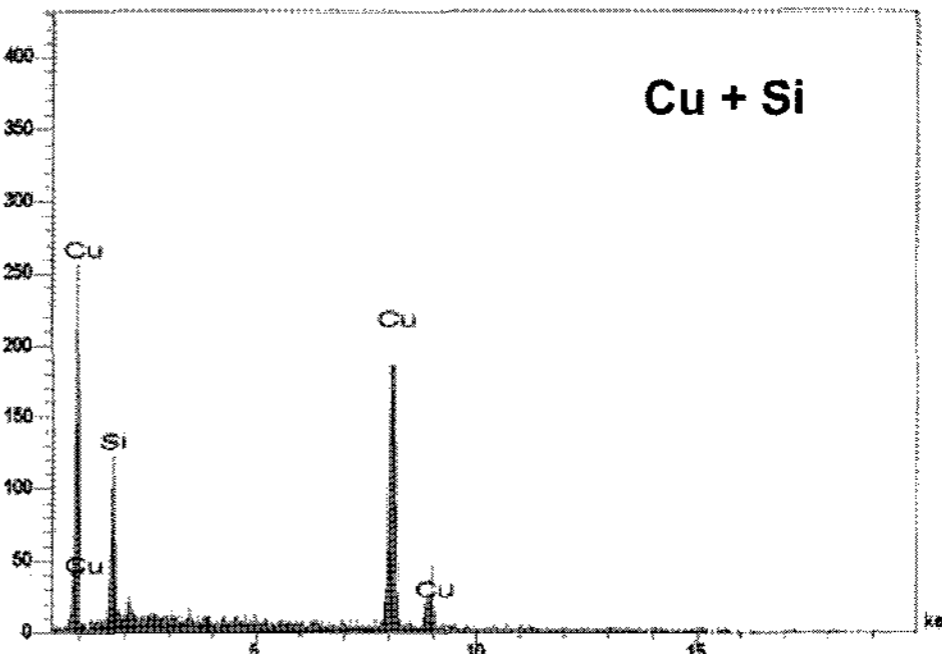
실리콘과 구리 재질 계면 사이에 확산막이 존재하는 지를 확인하기 위하여 EDX(Energy Dispersive X-ray Spectroscopy)와 AES(Auger Electron Spectroscopy) 분석을 수행하였다. Fig. 8(a)는 현미경으로 관찰한 비아 구조의 단면 그림이다. Fig. 8(b)와 Fig. 8(c)에서 보는 바와 같이 EDX의 분석 결과 실리콘과 구리의 계면막에는 3개의 서로 다른 막이 존재함을 알 수 있다. 이 계면막 또는 확산막은 Cu와 Si로 형성되었으며 Cu_3Si 의 형성을 의미하고 있다. 비록 본 논문에서는 생략하였지만 AES 분석결과 또한 EDX 분석과 매우 유사한 결과를 얻었다. 구리 확산을 방지하기 위하여 반도체 분야에서 주로 사용하는 방법은 산화막(thermal oxide) 또는 금속을 이용한 완충막(buffer layer)이나 장애막(barrier layer)을 적용하는 것이다.⁸⁾ 특히 TiN, TiW, TaN과 같이 용융점이 매우 높은 금속들을 구리 확산을 막기 위한 장애막으로 사용하기 위한 연구가 수행되고 있다. 그러나 이 방법은 공정의 복잡성과 생산 가격을 상승하는 요인으로 작용하기 때문에, 본 연구에서는 이러한 방법을 적용할 수 없었다. 특히 본 연구에서 산화막을 성장시키기 위한 온도가 너무 높기 때문에 전기도금 방법에 의하여 형성된 씨앗막이나 다른 금속 라인들에



(a)



(b)



(c)

Fig. 8. (a) Cross section view of via hole with optical microscope, which shows the copper diffusion, (b) EDX spectrum at the region A in Fig. 8(a) and (c) EDX spectrum at the region B in Fig. 8(a).

손상을 입힐 수 있다.

따라서 본 연구에서는 비아 홀에 산화막을 적용하는 대신에 Fig. 9와 같은 개선된 새로운 공정을 사용하였다. 상부와 하부 기판을 서로 접합한 후,

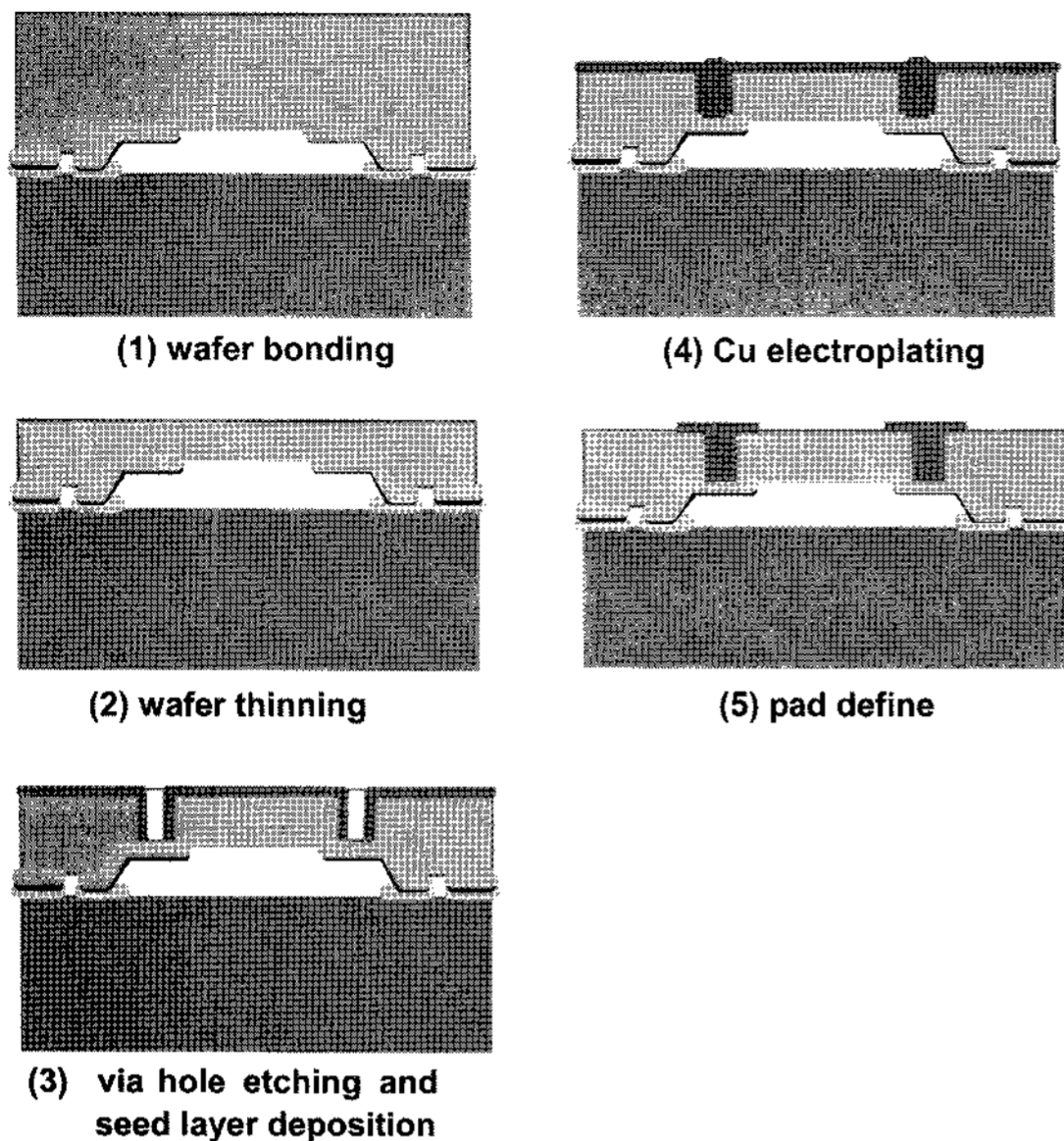


Fig. 9. Alternative cap wafer fabrication process to increase adhesion performance of the electroplating.

CMP 공정에 의하여 상부 실리콘 기판을 연마하였다. CMP 공정에 의하여 상부 기판을 얇게 연마한 후의 상부의 두께는 약 $100\ \mu\text{m}$ 였다. ICP RIE 공정으로 비아 홀을 형성시킨 후 비아 홀의 측면 및 바닥면을 Ti/Cu 씨앗막으로 증착하였다. 이때 Ti와 Cu 막의 두께는 각각 500\AA 과 $1\ \mu\text{m}$ 였다. 웨이퍼 thinning에 의하여 비아 홀의 높이는 Fig. 3의 기존 공정에 비하여 감소하였다. 따라서 높이의 감소로 인한 종횡비가 감소하여 스퍼터링 방법에 의한 씨앗막의 증착이 가능하였다. 그 다음 구리 전기 도금을 Ti/Cu 씨앗막 위에 진행시켰다. 비아 홀의 측면과 바닥면의 씨앗 막은 Cu 확산을 방지시킬 수 있을 뿐만 아니라, 전기도금 공정의 접착 성능을 향상시킴으로써 실리콘과 구리 재질 사이의 계면에서 발생할 수 있는 수분과 오염 물질의 침투를 막을 수 있다.^{9,10} 전기도금의 공정 조건을 최적화하고, 비아 홀 내에 Ti/Cu 씨앗막을 적용시킨 후에 MEMS 패키징을 다시 제작한 후 PCT 시험을 포함한 가속 신뢰성 시험을 수행하였다. 신뢰성 시험 후에 패키지 접합 강도의 변화는 없었으며 MEMS 소자 또한 파괴되지 않았다. 신뢰성 시험 전의 접합된 최종 패키지의 단면도가 Fig. 10에 나타나 있다. 신뢰성 시험 전 및 후에 단면을 관찰한 결과 접합 계면 및 비아 홀 내에서 결함이

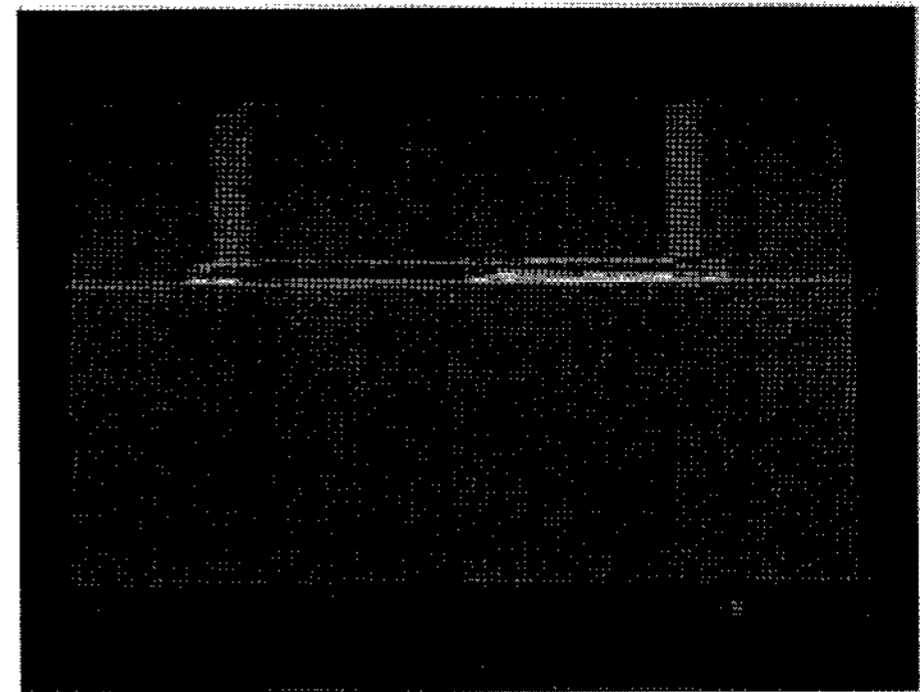


Fig. 10. Cross sectional view of the WLP MEMS package.

발견되지 않았다.

한편 RF MEMS 패키징의 경우 패키지의 밀봉성(hermeticity)은 매우 중요한 고려 인자이다. 가령 밀봉성이 확보되지 않은 경우 MEMS 패키지 내로 습기 및 오염이 침투하여 MEMS 소자에서 많이 발생하는 점착(stiction) 및 부식 문제를 발생시킬 수 있다. 제작된 패키지의 밀봉성은 누설량(leakage rate)을 측정하여 평가하였다. 본 연구에서 사용된 누설 측정기는 Alcatel DGC-1001사의 helium leak detector로서 $2 \times 10^{-11}\ \text{atm}\cdot\text{cc}/\text{sec}$ 의 측정 한계를 갖고 있다. 그러나 본 연구에서 제작된 패키지의 내부 체적, 즉 동공의 체적은 $600 \times 600 \times 30\ \mu\text{m}^3$ (또는 $1.08 \times 10^{-5}\ \text{cc}$)로서 helium leak detector로 측정하기에는 너무 작다.¹¹ 따라서 헬륨 누설 시험을 하기에 충분할 정도의 크기를 갖는 패키지를 별도로 제작하였다. 제작된 패키지의 크기는 $0.5 \times 0.5 \times 0.05\ \text{cm}^3$ ($1.25 \times 10^{-2}\ \text{cc}$)로서 크기를 제외한 모든 조건은 기존의 제작되었던 패키지 와 동일하였다. 즉 An-Su 솔더의 접합 폭은 $70\ \mu\text{m}$ 이며 재질 및 공정이 기존과 동일하였다. 측정된 누설량은 $1.58 \times 10^{-8}\ \text{atm}\cdot\text{cc}/\text{sec}$ 로서 MIL-STD-883F 규격에서 제시한 파괴 기준값, 즉 $5.0 \times 10^{-8}\ \text{mbar}\cdot\text{l}/\text{sec}$ (또는 $4.94 \times 10^{-8}\ \text{atm}\cdot\text{cc}/\text{sec}$) 보다 매우 적었다. 따라서 제작된 패키지의 밀봉성이 확보되었음을 알 수 있다.

4. 결 론

본 논문에서는 MEMS 공정 기술 및 저온 접합 공정을 통하여 제작된 RF MEMS 소자를 위한 웨이퍼 레벨 패키징을 개발하였다. 밀봉접합을 확보

하기 위하여 상판과 하판의 표면에 eutectic 접합을 이용한 Au-Sn 다층 박막을 증착하였다. 패키지의 크기를 줄이고 손실을 최소화하기 위하여 전기적 연결은 상판에 수직 비아 홀을 제작하여 홀 내부를 Cu 전기도금법으로 채웠다. 가속 신뢰성 시험인 PCT 시험 후에 비아 홀에 크랙에 의한 파괴를 관찰할 수 있었다. 이러한 파괴는 실리콘과 구리 재질의 열팽창 계수로 인한 mismatch와 구리 확산으로 인한 체적 팽창으로 기인한 것으로 판단된다. 비아 구조의 응력 분포를 해석한 결과 비아 구조의 상부에 응력이 주로 집중되고 있음을 알 수 있었다. 따라서 크랙 발생을 최소화하기 위하여 다양한 공정 개선을 수행하였다. 첫째, 알루미늄 마스크를 이용하여 RIE 에칭 공정을 수행함으로써 비아 주변의 chipping과 크랙을 최소화 할 수 있었다. 둘째, 전기도금의 공정 조건을 최적화하고, 전기도금 전에 비아 홀 내의 오염물질을 제거하기 위하여 O₂ 플라즈마 에칭을 하여 실리콘과 구리의 접착력을 향상시켰다. 셋째, 전기도금 공정의 접착력을 향상시키기 위하여 대체 공정을 개발하였다. 즉, 계면 내에 침투할 수 있는 수분과 오염을 방지하고, 접착력을 향상시키기 위하여 비아 홀의 측면과 바닥면에 Ti/Cu 씨앗막을 증착하였다. 개선된 조건으로 패키징을 재 제작 한 후, 헬륨 누설 시험 결과 패키지의 누설량은 MIL-STD-883F 규격을 만족하였다. 또한 가속 신뢰성 시험에서도 패키지의 파괴는 발생하지 않았으며, 접합 강도의 변화는 없었다.

참고문헌

1. R. Gooch and T. Schimert, "Low-cost Wafer Level

- Vacuum Packaging for MEMS", MRS Bulletin, 28, 55-59 (2003).
2. B. Li, T.D. Sullivan, T.C. Lee and D. Badami, "Reliability Challenges for Copper Interconnects", Microelectronics Reliability, 44, 365-380 (2004).
 3. C. Wang and C. Lee, "An Eutectic Bonding Technology at a Temperature below the Eutectic Point", Proceedings in 42nd ECTC Conference, 502-507 (1992).
 4. G. S. Matijasevic, C. C. Lee and C. Y. Wang, "Au-Sn Alloy Phase Diagram and Properties Related to Its Use as a Bonding Medium", Thin Solid Films, 223, 276-287(1993).
 5. S. L. Burkett, X. Qiao, D. Temple, B. Stoner and G. McGuire, "Advanced Processing Techniques for Through-Wafer Interconnects", J. Vac. Sci. Technol., B22, 248-256(2004).
 6. M. Bracht, "Copper Related Diffusion Phenomena in Germanium and Silicon", Material Science in Semiconductor Processing, 113-124 (2004).
 7. M. Seibt *et al.*, "Structural and Electrical Properties of Metal Silicide Precipitates in Silicon", Phys. Stat. Sol.(a), 171, 301-310 (1999).
 8. D.S. Gardner, J. Onuki, K. Kudoo, Y. Misawa and Q.T. Vu, "Encapsulated Copper Interconnection Devices using Sidewall Barriers", Thin Solid Films, 262, 104-119 (1995).
 9. R.K. Aithal, S. Yenamandra, R.A. Gunasekaran, P. Coane and K. Varahramyan, "Electroless Copper Deposition on Silicon with Titanium Seed Layer", Materials Chemistry and Physics, 98, 95-102 (2006).
 10. S.W. Russel *et al.*, "Enhanced Adhesion of Copper to Dielectrics via Titanium and Chromium Additions and Sacrificial Reactions", Thin Solid Films, 262, 154-167 (1995).
 11. M. Nese, R. W. Bernstein, I. R. Johansen and R. Spooren, "New Method for Testing Hermeticity of Silicon Sensor Structures", Sensors and Actuators, A53, 349 (1996).