

FIB를 이용한 니켈코발트 복합실리사이드 미세 배선의 밀링 가공

송오성^{1*}, 윤기정¹

Milling of NiCo Composite Silicide Interconnects using a FIB

Oh-Sung Song^{1*} and Ki-Jeong Yoon¹

요약 저저항 배선층으로 쓰일 수 있는 선폭 0.5 μm , 70 nm 높이의 폴리실리콘 패턴에 10 nm-Ni_{1-x}Co_x(x=0.2, 0.6, and 0.7)의 금속 박막을 열증착법으로 성막하고 쾌속 열처리 (RTA) 온도를 700°C와 1000°C로 달리하여 실리사이드화 공정을 실시하여 상부에 니켈코발트 실리사이드를 형성시켰다. 이때의 미세구조를 확인하고 FIB (focused ion beam) 를 활용하여 저에너지 조건 (30 kV-10 pA-2 sec)에서 배선층을 국부적으로 조사하여 실리사이드 층의 선택적 제거 가능성을 확인하였다. 실험 범위내의 실리사이드화 온도 범위와 NiCo 상대 조성 범위에서 주어진 FIB 조건으로 선택적으로 저저항 실리사이드 층의 제거가 가능하였으나, 상대적으로 Co 함유량이 많은 실리사이드는 배선층 내부에서 기포가 발생하였으며, 이러한 기포로 인해 실리사이드 층만의 국부적 제거는 불가능하였다.

Abstract We fabricated thermal evaporated 10 nm-Ni_{1-x}Co_x(x=0.2, 0.6, and 0.7) films on 70 nm-thick polysilicon substrate with 0.5 μm line width. NiCo composite silicide layers were formed by rapid thermal annealing (RTA) at the temperatures of 700°C and 1000°C. Then, we checked the microstructure evaluation of silicide patterns. A FIB (focused ion beam) was used to micro-mill the interconnect patterns with low energy condition (30 kV-10 pA-2 sec). We investigated the possibility of selective removal of silicide layers. It was possible to remove low resistance silicide layer selectively with the given FIB condition for our proposed NiCo composite silicides. However, the silicides formed from Ni₄₀Co₆₀ and Ni₃₀Co₇₀ composition showed void defects in interconnect patterns. Those void defects hinder the selective milling for the NiCo composite silicides.

Key Words : FIB, silicide, silicide, NiCo composite, milling.

1. 서론

반도체 소자에서 RC 지연 문제를 해결하여 속도가 높은 소자를 제조하기 위한 효율적인 방법은 전체 소자에 채용되는 여러 소재의 저항을 낮추는 방안이다. 이러한 여러 방안 중에서 실리사이드의 배선 층 채용은 살리사이드 공정을 통해서 이미 대부분의 소자에 적용되고 있고 90 nm 이하의 최소선폭을 갖는 공정에도 대부분 채용될 것이 예상된다. [1]

90 nm 이하의 공정에도 채용될 것이 예상되는 NiSi는 니켈과 실리콘이 1:1로 반응하므로 부피변화가 작아서 얇게 만드는데 유리하지만, 실리사이드화 온도가 700°C

가 넘으면 고저항의 NiSi₂로 상변화를 일으키므로 후속 열처리 공정이 있는 경우 극히 불리한 문제가 있었다. [2,3] 따라서 이러한 문제를 해결하기 위해 각 단상실리사이드의 장점만을 채용하여 복합실리사이드를 형성하려는 노력도 이어져서 송오성 등 [4]은 패턴이 없는 단결정, 다결정 실리콘 기판 전면에 니켈에 코발트 등의 합금원소를 넣어 나노급 합금박막으로부터 니켈 코발트 복합실리사이드를 생성시켜 1000°C 이상의 고온 공정에서도 안정한 것으로 보고한 바 있다.

실리사이드는 현재 주로 게이트 상부와 소오스와 드레인 상부에 선택적으로 생성시켜 접촉 저항을 낮추는 살리사이드 공정 [5,6]을 써서 구현된다. 살리사이드 (self-aligned silicide)는 마스크 없이 스페이서를 써서 실리사이드를 원하는 위치에 만드는 것으로, 이를 응용하면 배선 층에도 적용이 가능하다. 즉, 디스플레이 소자에서의 배선 층 재료 또는 후공정 (back-end process)에서의

이 논문은 2007년도 정부(과학기술부)의 재원으로 한국과학재단의 지원을 받아 수행된 연구임 (No. R01-2007-000-20468-0)

¹서울시립대학교 신소재공학과

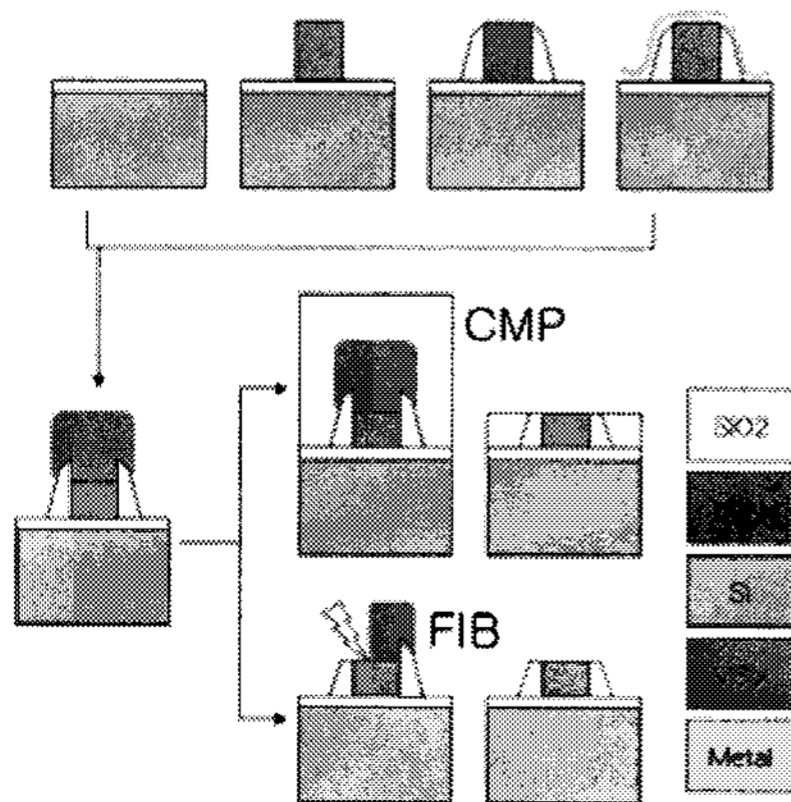
*교신저자: 송오성(songos@uos.ac.kr)

e-fuse [7,8]와 같이 전기적 신호를 써서 작동하지 않는 회로를 차단 혹은 우회 연결하기 위한 퓨즈 용도로도 활용이 가능하다. 특히 실리콘사이드 층을 하부 실리콘과 선택적으로 제거한다면 새로운 퓨즈 디바이스의 응용도 가능하다.

최근 Gusev 등 [9]에 의하면 그림 1에 보인 바와 같이 살리사이드 공정을 완료하고 층간 절연 층을 형성시키고 도치현상과 잉여의 부피팽창에 의한 게이트 부분을 화학적 기계연마법 (chemical mechanical polishing, CMP)으로 평탄화 시켜 처리하는 방안을 제시한 바 있다. 그러나 모두 복합실리콘사이드 공정의 비정량적 실리콘사이드 형성 문제와 CMP 부가 공정에 따른 비용 증가, 공정 난이도의 증가 등이 문제가 되고 있다. 반면 FIB (focused ion beam)를 이용하여 살리사이드 공정에 따른 부피 변화부를 선택적으로 제거하는 신공정이 개발되면 보다 더 저항이 작은 신개념의 나노급 게이트 개발도 가능하다.

FIB는 나노급 패터닝을 이용한 마이크로 머시닝과 에칭 및 증착을 이용한 반도체 소자 제작 공정에서의 응용과, 기존의 기계적 연마에 의해 제조되던 TEM 시편을 에칭에 의해 손쉽게 제작하는데 적용되는 등 나노급 공정과 분석에 유리한 장비이다. 특히 실리콘 소자에 대해서는 이러한 직접적인 패터닝과 TEM 시편 제작에 관한 공정이 일반화되어 있는 상황이다. [10,11] 따라서 FIB는 이러한 기능 때문에 미세 배선층의 국부적 밀링 또는 적층 연결에 효과적인 활용이 가능하였다.

따라서 본 연구에서는 나노급 두께의 니켈코발트 실리콘사이드 배선층을 고려하여 실제 0.5 μm 선폭으로 제조한 후, FIB를 이용하여 국부적인 가공을 통하여 실리콘사이드 배선층의 퓨즈 응용 가능성을 확인하였다.



[그림 1] 살리사이드 공정 후 CMP와 FIB를 이용한 FUSI 제작 방안의 제안.

2. 실험방법

그림 2에 보인 바와 같은 0.25~1.5 μm 의 선폭을 가진 실리콘 패턴 어레이 시편을 제작하기 위해서 다음과 같이 진행하였다. (a)에는 0.5 μm 선폭의 수직단면부를, (b)에는 실제 본 실험에서 채택된 마스크 패턴부를 나타냈다. AA 부분은 패턴 어레이의 수직단면을 관찰한 부분이다.

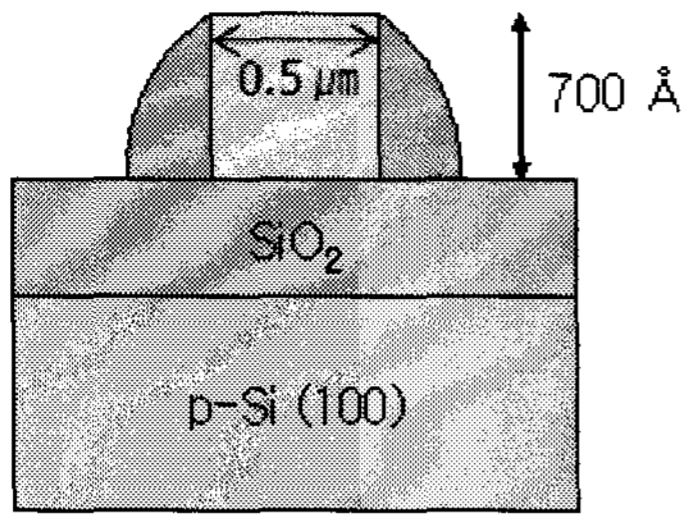
먼저 P-type의 (100)면을 가진 직경 10 cm의 실리콘 기판 전면면에 200 nm 두께의 열산화막을 형성시켰다. 이후에 LPCVD (low pressure chemical vapor deposition) 장비로 70 nm 높이의 폴리실리콘 게이트 층을 만들고 0.25~1.5 μm 의 선폭을 가진 패턴 어레이 요소를 가진 마스크를 사용하여 사진 식각법으로 패턴을 구현하였다. 완성된 패턴 어레이의 양단에 스페이서를 만들기 위해 70 nm의 실리콘 산화막을 기판 전면면에 만들고 마스크 없이 건식식각하여 패턴 양단에 폭 50 nm의 스페이서를 완성하였다. 최종적으로 그림 2(b)와 같은 구조의 70 nm 높이의 패턴 어레이를 완성하였다.

일반적인 수직단면 TEM (JEOL, 200 kV)을 활용하여 준비된 시편의 패턴 어레이 부분을 실리콘 층의 높이와 형상을 확인하고 이후의 공정을 진행하였다.

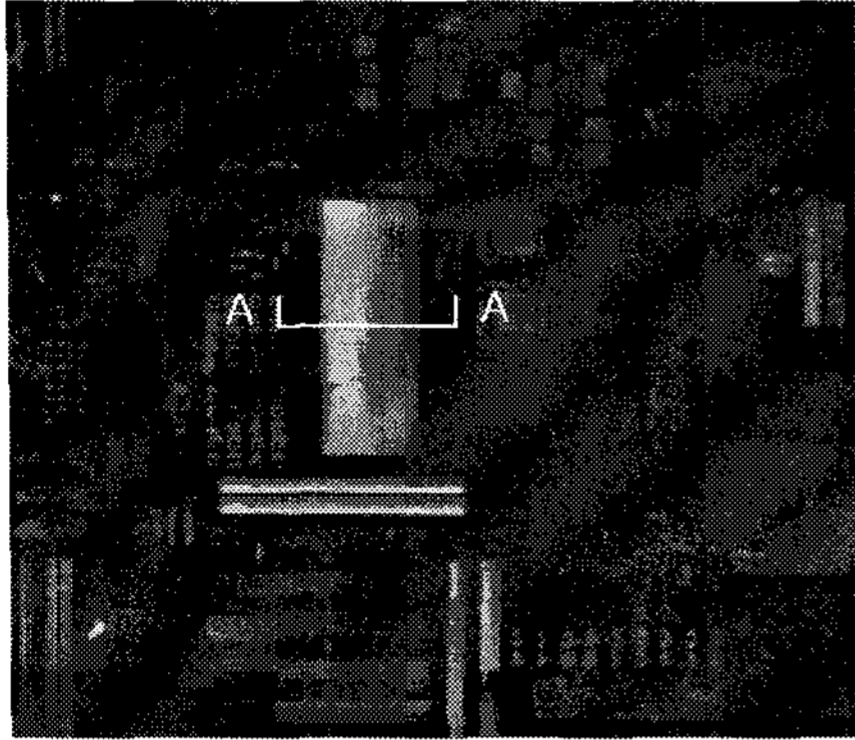
완성된 패턴시편 전면면에 열증착기를 이용하여 10 nm 두께 $\text{Ni}_{1-x}\text{Co}_x$ ($x = 0.2, 0.6, \text{ and } 0.7$)의 조성별 NiCo-alloy를 기판 전면면에 증착하고 주어진 조성에서 쾌속열처리 (rapid thermal annealing, RTA)를 이용, 각각 700°C와 1000°C로 40초간 실리콘사이드화 처리하여 최종적으로 70 nm 실리콘 패턴 상부에 실리콘사이드가 형성되도록 하였다. 열처리가 완료된 시편들은 잉여 미반응 금속을 제거하기 위해 80°C-30% 황산용액에 10분간 담가 처리하였다.

Dual beam FIB (FEI사, Dual Beam Nanolab 200)를 이용하여 0.5 μm 선폭의 패턴 어레이 중앙부를 트렌치 가공하여 실리콘사이드 공정 이후 패턴의 높이 변화나 이온 빔에 의한 선폭 영향을 확인하였다. 가공시 주변부의 손상 정도를 확인하기 위해서 30 kV로 고정하고 전류 범위를 1 pA~10 nA 범위에서 변화시켜 진행하였다. 이때 Ga^+ 이온을 써서 빔 전압은 30 kV-10 pA의 저에너지로 게이트 패턴부가 손상을 입지 않도록 수직방향으로 식각하고 회전시켜 이때의 실리콘사이드 패턴 높이와 형상을 확인하였다.

형상을 확인한 후 선폭 0.5 μm 의 패턴을 30 kV-10 pA-2 sec의 조건으로 국부적으로 밀링하여 이때의 실리콘사이드 배선 층 상부의 형상 변화를 확인하였다.



(a)

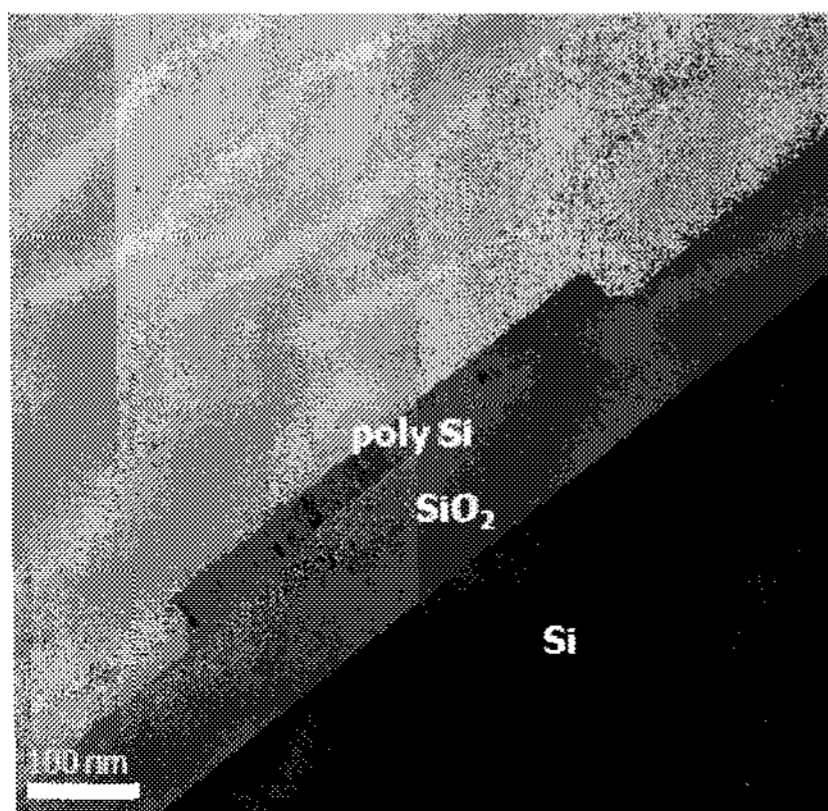


(b)

[그림 2] 실험에 쓰인 실제 디바이스와 최종 디바이스의 구조

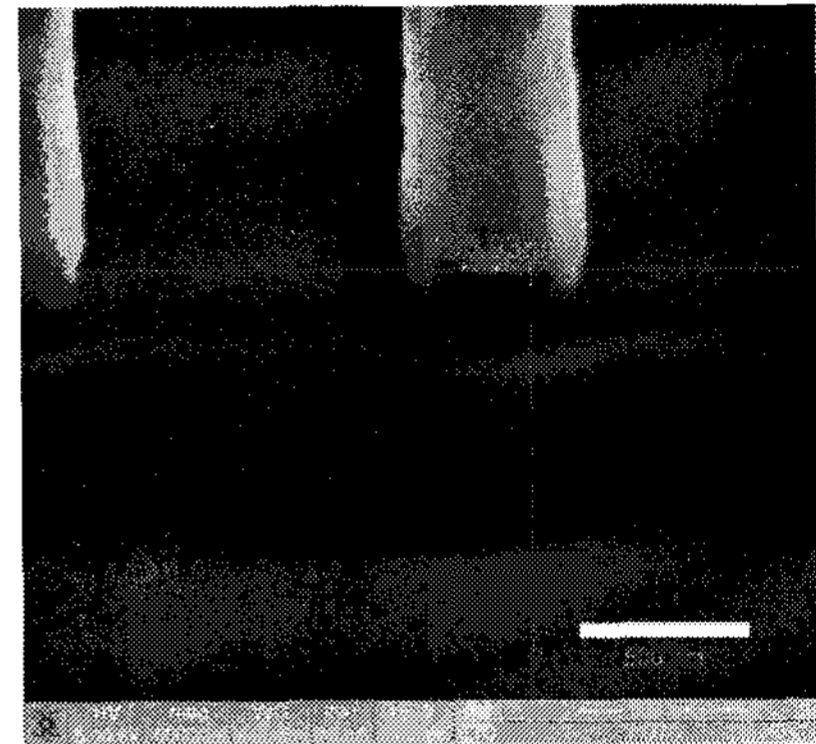
3. 실험결과 및 토의

그림 3에는 제안된 공정을 통하여 200 nm의 열산화 층 상부에 70 nm 두께의 폴리실리콘 층이 형성된 것을 확인할 수 있는 TEM 수직단면이미지를 나타내었다. 0.5 μm 전체 선폭에서 균일한 70 nm 두께의 다결정 실리콘 층이 형성되었음을 알 수 있다.



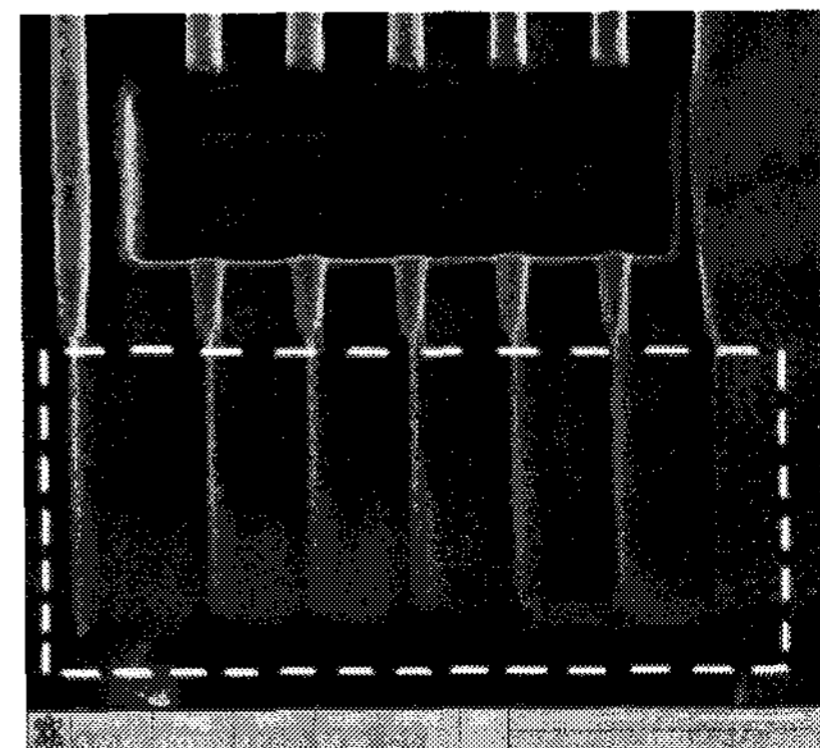
[그림 3] 선폭이 0.5 μm인 70 nm-poly Si/200 nm-SiO₂/Si 구조의 TEM 수직단면이미지

그림 4에는 Ni₈₀Co₂₀ 조성의 합금박막으로부터 700°C에서 40초간 열처리를 통해 제작된 패턴 어레이 실리사이드 시편을 FIB를 이용하여 30 kV-5 nA의 빔 파워로 선폭 0.5 μm의 패턴 어레이에 8×4 μm²의 정방형 트렌치를 깊이 3 μm로 판 후 54°로 기울여 주사전자빔 모드로 관찰한 이미지를 나타내었다. 그림에 나타난 바와 같이 트렌치 가공 중의 손상에 의해 패턴 선단이 변형되어 정확한 형상 확인이 불가능하였다. 따라서 이러한 관찰에서 빔 전류를 작게 하여 손상이 적은 0.1 nA 조건으로 후속 공정을 진행하기로 하였다.



[그림 4] Ni₈₀Co₂₀ 700°C, 트렌치 가공 (30 kV-5 nA, 8×4×3 μm)에 의한 게이트 선단의 손상 이미지.

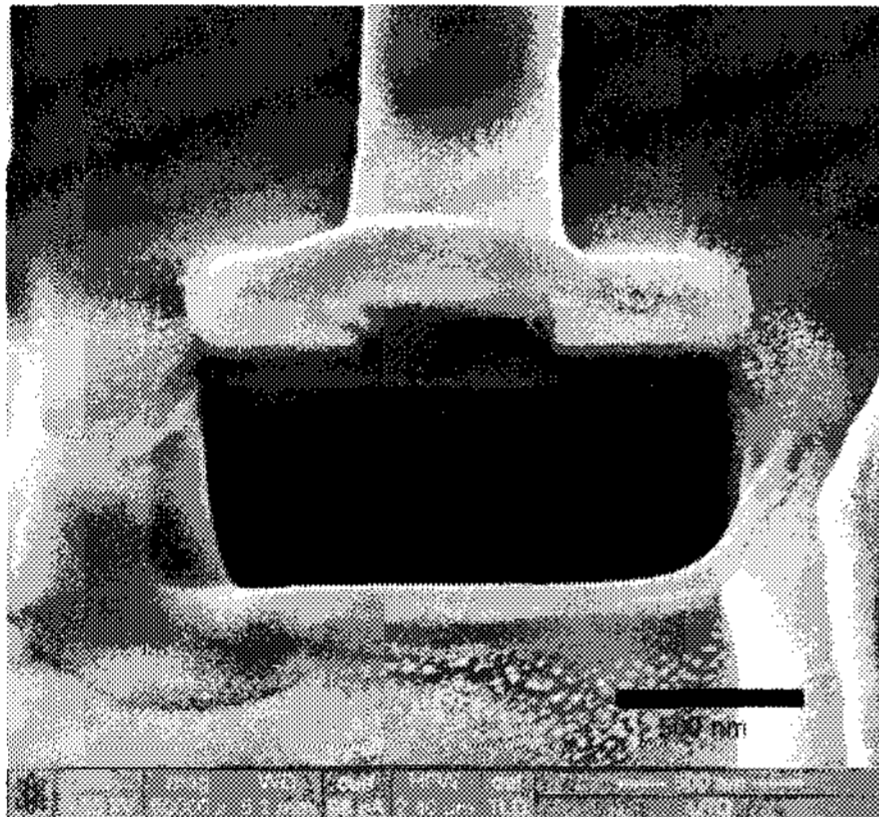
그림 5의 하단부에는 그림 4의 FIB 조건으로 한 트렌치 가공에 의해 무려 4 μm 정도의 범위가 이온빔 손상에 의해서 패턴 선폭이 점선부와 같이 왜곡되었음을 보였다. 따라서 점선 박스 이미지 상부의 트렌치와 같이 빔 전류를 낮추어 30 kV-0.1 nA 조건으로 8×4×3 μm³의 크기로 빔 손상을 줄이면서 가공하면 그림과 같이 빔 전류조건을 낮추어 주면 주변 패턴의 선폭 손상을 방지할 수 있음을 확인하였다.



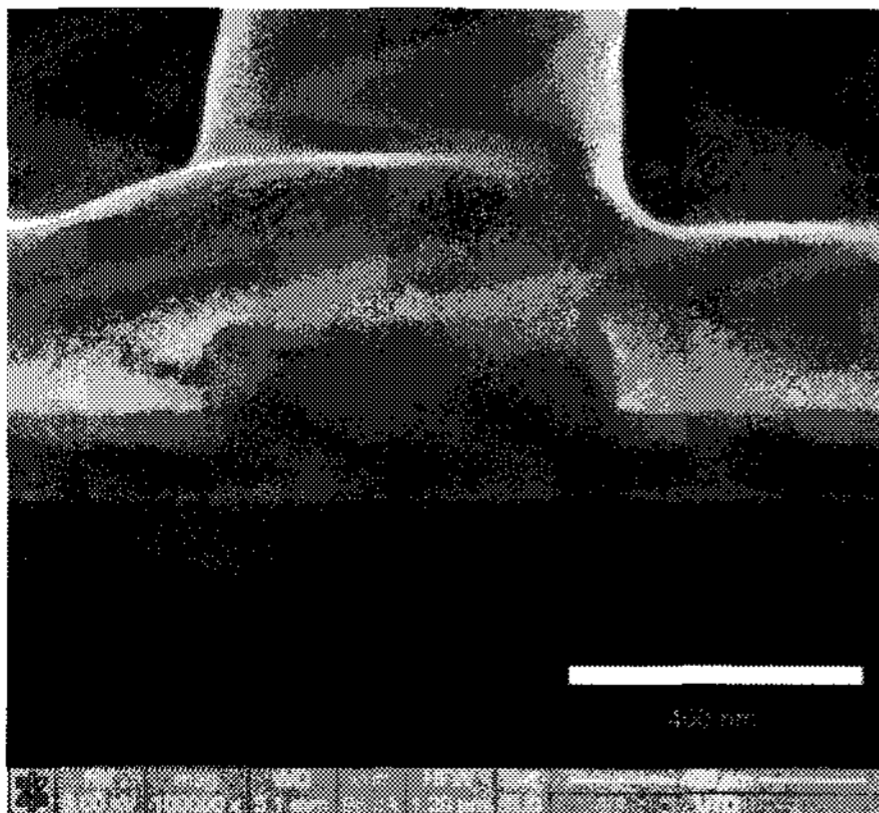
[그림 5] Ni₈₀Co₂₀ 700°C, 저에너지 FIB트렌치가공 (30 kV-0.1 nA, 8×4×3 μm³)에 의한 선폭의 손상방지.

그림 6(a)에는 $Ni_{80}Co_{20}$ 박막으로부터 $700^{\circ}C$ 에서 제조된 실리사이드 패턴을 이온빔 가공에 의해 패턴 선평이 손상되는 것을 방지하기 위해서 국부적으로 백금을 $0.5 \mu m$ 두께로 증착하고 빔 전류를 그림 5의 조건과 동일하게 $0.1 nA$ 로 유지하면서 저에너지로 트렌치를 가공하고 패턴 선단을 $10 pA-2 sec$ 조건으로 정밀가공하고 54° 로 기울여서 관찰한 이미지를 나타내었다.

그림 6(b)에는 그림 6(a)의 이미지를 고배율로 확대한 모습을 나타내었다. 실리사이드 반응에 의해서 스페이서의 위치와 형상을 명확히 확인할 수 없었다. 그러나 선평은 목표치로 유지되고 게이트의 높이변화를 1.5배 이내로 정량화하여 확인할 수 있음을 보이고 있다. 따라서 수직단면을 관찰하기 위해서 국부적인 백금 층을 보호막으로 도포하여 관찰하는 것이 매우 유리함을 확인하였다.



(a)



(b)

[그림 6] (a) $Ni_{80}Co_{20}$ $700^{\circ}C$, 백금 증착에 의한 보호막 형성과 수직단면 $30 kV-10 pA-2 sec 8 \times 4 \times 3 \mu m^3$, (b) 패턴 선단부의 확대 이미지.

그림 7에는 Co의 상대 조성과 실리사이드 온도를 $70^{\circ}C$ 와 $1000^{\circ}C$ 로 달리하여 제조된 $0.5 \mu m$ 선평의 실리사이드 패턴을 서론부에서 소개한 바와 같이 $30 kV-10 pA-2 sec$ 조건에서 $0.5 \times 0.5 \mu m^2$ 의 면적을 FIB로 조사시켜 상단부의 실리사이드 잉여 부분을 밀링 할 수 있는지 확인한 이미지들이다.

그림 7(a)와 (b)의 $Ni_{80}Co_{20}$ 박막으로부터 $700^{\circ}C$ 와 $1000^{\circ}C$ 에서 각각 제조된 실리사이드는, $700^{\circ}C$ 로 열처리한 (a)의 경우 쉽게 스페이서부가 제거되면서 게이트 상부가 제거됨을 알 수 있다. 또한 스페이서부의 제거에 따라 선평이 30% 정도로 축소되는 현상이 나타났다. $1000^{\circ}C$ 에서 제조된 (b)에서도 비슷하게 FIB가 조사되지 않은 부분과 비교하여 상부가 제거됨을 나타내고 있다. 그러나 이 경우에는 Ni의 상대조성이 큰 부분에서는 스페이서 부분이 더욱 쉽게 제거되어 최종적으로 패턴 선평이 축소되는 문제가 있음을 확인하였다.

그림 7(c)와 (d)의 $Ni_{40}Co_{60}$ 박막으로부터 $700^{\circ}C$ 와 $1000^{\circ}C$ 에서 각각 제조된 실리사이드는, 위의 경우와 비슷하게 상부가 제거되었으나 특이하게 화살표로 표시한 기포가 관찰되었다. 이러한 패턴 내의 기포가 원래 내부에 형성된 것인지 아니면 FIB 가공 중에 형성된 것인지를 확실하지 않으나 기포의 형성은 퓨즈 기능의 배선층을 고려하면 가공후에 예측 가능하지 않도록 유효 선평의 감소에 따라 저항을 크게 하여 바람직하지 않은 형상이라고 생각되었다. 또한 그림 7(a), (b)와 비교하여 Co의 상대조성이 많아짐에 따라 실리사이드의 식각속도가 더 컸음을 알 수 있다.

결국 증착박막의 Co가 상대적으로 많아지면 $CoSi_2$ 등의 실리사이드가 생성되면서 부피변화에 의해 더 큰 표면 응집현상과 내부의 기포형성 가능성이 커지는 문제가 있을 것으로 예상되었다.

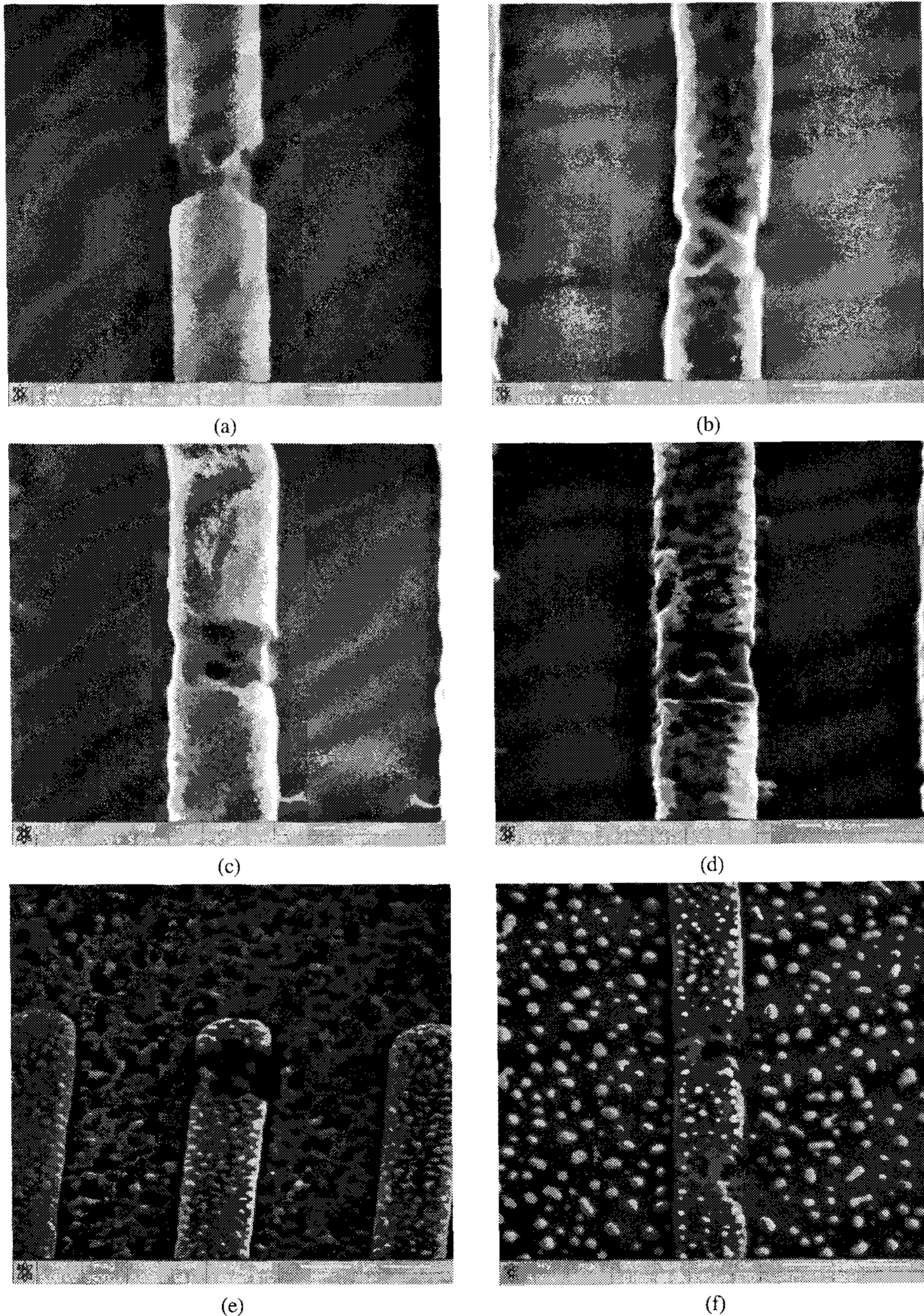
그림 7(e)와 (f)에는 Co의 상대조성이 70%인 경우의 박막으로부터 $700^{\circ}C$ 와 $1000^{\circ}C$ 에서 제조된 각각의 실리사이드 패턴을 FIB 식각 후 측정된 SEM 이미지이다. 이 경우는 전술한 경우와 달리 식각 전에 이미 패턴 상부에 많은 피트와 응집상이 보이고 특히 실리사이드에서도 $20 nm$ 정도의 구형 응집상이 보이는 특징이 있었다. 이들의 성분을 정량적으로 분석할 수 없었지만 패턴 전체가 다른 경우에 비해 높은 절연성을 나타내고 있어서 전자빔의 초점을 맞추기 힘든 점, FIB 가공 시 부도체에서 나타나는 이온빔의 왜곡 현상 때문에 가공위치가 변형되는 문제점에 근거하여 내식성이 우수한 코발트 잔여물이 하부의 절연 층과 반응하여 CoO_x 의 응집체를 형성한 것이라고 판단되었다.

특히 이온빔의 왜곡에 의해 같은 에너지이지만 FIB 가

공부피 패턴이 모두 소실되고 하부 기판이 보이는 점에 비추어 Co의 상대조성이 큰 경우의 실리사이드는 상대적으로 다른 경우에 비해 결합력이 작고 패턴과 반응성이 큰 불리한 조건을 가지고 있음을 알 수 있었다.

이상에서 살펴본 바와 같이 FIB를 이용하여 복합실리

사이드 층을 선택적으로 에칭하여 밀링을 시도한 결과, Co의 상대조성이 클수록 식각속도가 빠른 것을 확인하였으며 복합실리사이드의 내부에는 공정조건에 따라 기포가 이미 생성되었거나 FIB 공정 중 생성될 가능성이 있었다. 그러나 실리사이드 패턴에 대해 이온 빔에 의한 주



[그림 7] 조건에 따라 형성된 실리사이드의 SEM 이미지 (a) $Ni_{80}Co_{20}$ 700°C, (b) $Ni_{80}Co_{20}$ 1000°C, (c) $Ni_{40}Co_{60}$ 700°C, (d) $Ni_{40}Co_{60}$ 1000°C, (e) $Ni_{30}Co_{70}$ 700°C, and (f) $Ni_{30}Co_{70}$ 1000°C. (모든 패턴은 FIB를 이용하여 30 kV-0.1 pA-2 sec 조건에서 국부적으로 에칭함).

변부 손상을 방지하기 위해 30 kV-0.1 pA 조건으로 밀링 조건을 제시하였고, FIB의 특성을 이용하여 미리 입력된 패턴 이미지에 따라 선택적으로 밀링하여 가공하면 전기적인 신호조절이 가능한 e-퓨즈(fuse)와 같은 소자와 게이트 전체가 실리사이드화 된 fully silicide gate와 같은 소자의 제작에 효과적으로 응용될 수 있을 것으로 예상되었다.

4. 결론

70 nm 높이를 가진 선폭 0.5 μm 폴리실리콘 패턴에 10 nm 두께의 $\text{Ni}_{1-x}\text{Co}_x$ ($x = 0.2, 0.6$ and 0.7)의 합금박막을 증착하고 패속열처리기로 700 °C와 1000 °C에서 40초간 열처리하여 성공적으로 니켈코발트 복합 실리사이드 패턴 어레이를 제작할 수 있었다. 30 kV-0.1 nA의 빔 에너지 조건과 나노급 백금층의 증착을 이용하여 주변부 손상이 없는 FIB 밀링 공정을 제시하였다. FIB를 이용한 30 kV-10 pA-2 sec 조건에서 선택적으로 상부 패턴의 밀링가공은 실리사이드를 생성하기 위한 초기박막의 조성과 실리사이드 처리온도에 크게 영향을 받았다. 그러나 대부분의 실리사이드 형성 조건에서 제안된 FIB 밀링 조건으로 선택적인 미세 밀링 가공이 가능하였고 퓨즈 공정 등에 응용이 기대되었다. 그러나 복합 실리사이드를 위한 NiCo 합금박막의 Co의 상대조성이 많아질수록 패턴 내부의 기포 생성이 가능하였고, CoO_x 잔류물의 생성과 응집현상이 발생하여 밀링 가공에 불리하였다.

참고문헌

[1] Semiconductor Industry Association(SIA), the international technology road map for semiconductors, Front End Process, p.23, SIA, 2006 ed. (2004).
 [2] K. P. Liew, R. A. Bernstein, C. V. Thompson, J. Mat. Res., 19, 2 (2004).
 [3] B. A. Julies, D. Knoesen, R. Pretorius, D. Adams, Thin Solid Films, 347, 201 (1999)
 [4] S. Y. Kim, O. S. Song, Kor. J. Mat. Res., 17, 2, (2007).
 [5] J. J. Sun, J. Y. Tasi, C. M. Osburn, IEEE Trans. Electron Device, 45, 1946 (1998)
 [6] J. Chen, J. P. Colinge, D. Flandre, R. Gillon, J. P. Raskin, D. Vanhoenacker, J. Electrochem. Soc., 7, 144 (1997)
 [7] C. Kothandaraman, S. K. Iyer, S. S. Iyer, IEEE

Electron Device Lett., 23, 9 (2002)

[8] M. Alavi, M. Bohr, J. Hicks, M. Denham, A. Cassens, D. Douglas, M. C. Tsai, IEDM Tech. Digest, pp.855 (1997).
 [9] E. P. Gusev et al, IBM J. REV. & DEV., 50, 4 (2006).
 [10] S. Reynjens, R. Puers, J. Micromech. Microeng. II, 287 (2001).
 [11] D. B. Williams, C. B. Carter, Transmission Electron Microscopy Basics I, 1st ed., P.161-170, Plenum Press, NewYork, U.S.A. (1996).

송 오 성(Oh-Sung Song)

[종신회원]



- 1987년 2월 : 서울대학교 금속공학과 (공학사)
- 1989년 2월 : 서울대학교 금속공학과 (공학석사)
- 1994년 5월 : MIT 재료공학과 (공학박사)
- 1997년 9월 ~ 현재 : 서울시립대학교 신소재공학과 교수

<관심분야>
반도체 재료, 자성 재료

윤 기 정(Ki-Jeong Yoon)

[준회원]



- 2006년 2월 : 서울시립대학교 신소재공학과 (공학사)
- 2006년 3월 ~ 현재 : 서울시립대학교 신소재공학과 석사과정

<관심분야>
반도체 재료, 박막 분석