
저전력 OFDM 모뎀 구현을 위한 IVC설계

김성권*

Current to Voltage Converter for Low power OFDM modem

Seong-kweon Kim*

요 약

고속 데이터 전송이 가능한 장점 때문에 OFDM 통신 방식은 4세대 통신 방식으로 주목 받고 있다. OFDM은 이러한 고속 무선 데이터 통신을 구현하기 위해서는 고성능의 FFT(Fast-Fourier-Transform) / IFFT(Inversion FFT) 프로세서를 필요로 한다. 현재 OFDM은 DSP(Digital Signal Processor)로 구현되고 있지만 많은 전력 소모의 단점을 가지고 있다. 이러한 단점을 보완하기 위해 Current-mode FFT LSI가 제안되었다. 본 논문에서는 저전력 OFDM용 IVC(Current to Voltage Converter)를 설계한다. 시뮬레이션 결과 설계된 IVC는 FFT Block의 출력이 $7.35\mu\text{A}$ 이상일 때 3V 이상의 전압을 출력하고, FFT Block의 출력이 $0.97\mu\text{A}$ 이하일 때 0.5V 이하의 전압을 출력하였다. 설계된 IVC로 저전력 Current-mode FFT LSI의 동작이 가능하게 되며, 전류모드신호처리기는 차세대 무선 통신 시스템의 발전에 기여할 것이다.

ABSTRACT

Orthogonal Frequency Division Multiplexing(OFDM) has been taken notice of 4th generation communication method because it has a merit of high data rate(HDR). To realize HDR communication, The OFDM as high efficient Fast-Fourier-Transform (FFT)/Inversion FFT (IFFT) processor. Currently OFDM is realized by Digital Signal Processor(DSP) but it consumes a lot of Power. Therefore, current-mode FFT LSI has been proposed for compensation of this demerit. In this paper, we propose IVC for current-mode FFT LSI. From the simulation result, the output value of IVC is more than 3V when the value of FFT Block output is more than $7.35\mu\text{A}$. The output value of IVC is lower than 0.5V when the value of FFT Block output is lower than $0.97\mu\text{A}$. Designed IVC Low-power Current mode FFT LSI will contribute to the operation of current-mode FFT LSI and the development of next generation wireless communication systems.

키워드

OFDM(Orthogonal Frequency Division Multiplexing), Current-Mode FFT(Fast-Fourier-Transform), Current to Voltage

1. 서 론

무선통신기술의 발달에 따라 음성뿐만 아니라 사진, 동영상 등의 멀티미디어 통신에 대한 수요가 증가하고, 보다 빠르고 보다 많은 양의 정보를 안전하고 효율적으

로 전송할 수 있는 통신 기술의 요구가 증가함에 따라 다양한 무선통신 방식의 출현과 시스템 광대역현상이 두드러지게 나타나고 있다. 또한 USN (Ubiquitous Sensor Network)의 실현을 위한 4세대 통신방식에 대한 연구가 활발히 진행되고 있다[1].

* 목포해양대학교 해양전자통신공학부
심사완료일자 : 2008. 05. 30

접수일자 : 2008. 04. 19

4세대 통신방식에서는 현재의 데이터 전송속도를 훨씬 뛰어넘는 전송률을 바탕으로 유무선 통신이 하나로 통합된 시스템이 요구되고 있다. 이러한 높아지는 소비자의 욕구를 충족시키기 위해서는 광대역 통신을 기반으로 한 시스템이 필수적으로 필요하게 되었다. 이러한 고속 데이터 통신에 알맞은 기술 중 새롭게 주목 받고 있는 기술이 OFDM (Orthogonal Frequency Division Multiplexing) 통신 방식이다. OFDM은 광대역 통신에서 문제되는 페이딩문제를 해결할 수 있고, 효율적 주파수 자원의 활용도 가능함은 물론 MIMO (Multiple Input Multiple Output)등의 기술과의 접목도 용이하여, 4세대 통신에서 널리 쓰일 것으로 기대된다.

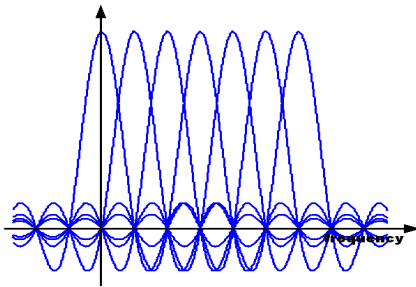


그림 1. OFDM 심볼
Fig. 1 OFDM symbol

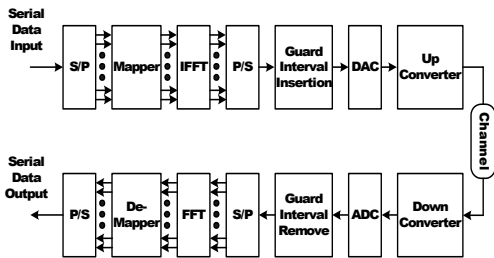


그림 2. OFDM 시스템의 블록도
Fig. 2 Block diagram of OFDM system

OFDM 방식은 다수의 반송파 신호를 다중화하는 디지털 변조방식으로 1950년대에 제안된 역사가 오래된 기술방식이다. 1960년대 중반에 고전적인 parallel data transmission 시스템의 비효율성을 극복하기 위한 방안으로 parallel data transmission and frequency division multiplexing의 개념이 정립되었다. 이 방식은 고속의 이퀄라이저의 사용을 피하고 multi-path fading과 펄스

형 노이즈를 줄일 수 있을 뿐만 아니라 가용대역을 충분히 사용할 수 있도록 고안되었다. 그림 1에서 보는 바와 같이 서브채널간에 overlapping됨으로서 50%의 대역폭을 절약할 수 있는 획기적인 방법이다[2].

최근 발전된 VLSI 기술이 고속 및 대용량의 FFT (Fast-Fourier-Transform) chip을 만들에 따라 상용화 가능성이 확보되고 이후로 DAB, HDTV, Wireless LAN(IEEE 802.11a), Wireless MAN(IEEE 802.16)등에 표준으로 채택되어 오늘에 이르고 있다.

OFDM은 이러한 고속 무선 데이터 통신을 구현 하기 위해서는 고성능의 FFT/IFFT 프로세서를 필요로 한다. 일반적으로 FFT 프로세서는 OFDM 신호를 복조하기 위한 main device이고, 현재는 DSP(Digital Signal Processor)를 이용하여 구현이 되고 있다. 그러나 DSP로 구현된 FFT는 100mW 이상의 많은 전력을 필요로 한다. 이러한 OFDM 시스템의 단점을 보완하기 위하여 Current-mode FFT LSI가 제안되었다. Current mirror로 구성되는 Current-mode 회로는 스위치 또는 sampled current type으로 사용되고, CMOS(Complementary Metal-oxide Semiconductor) 기술이 적용된다[3].

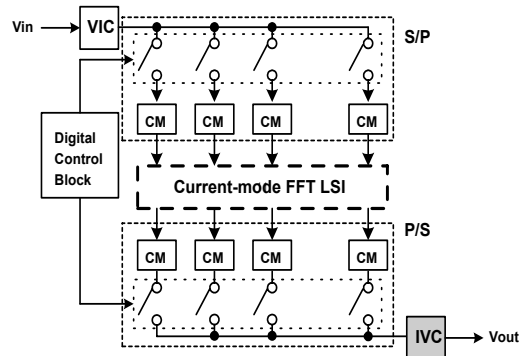


Fig. 3. SPC와 PSC를 포함하는 Current-mode FFT LSI의 블록도

Fig. 3 Block diagram of current-mode FFT LSI with SPC and PSC

본 논문에서는 Current-mode FFT LSI의 사용을 위한 IVC를 설계하였다. 연구의 필요성에 대하여 서론에서 언급하였고, 2장에서는 OFDM과 Current-mode 신호처리에 대하여 소개하며, 3장에서는 Current-mode FFT LSI에서 저전력으로 동작이 가능한 OFDM용

IVC의 시뮬레이션 결과를 분석한다. 마지막으로 4장에서 결론을 내리고 본 논문의 끝을 맺는다.

II. OFDM과 Current-mode 신호처리

2.1 OFDM 통신 방식

OFDM은 Multi-carrier transmission의 한 종류로서, single datastream을 낮은 전송률의 여러 반송파를 이용하여 전송한다. OFDM의 핵심 기술은 기존의 데이터를 하나의 반송파로 전송하는 것이 아니라 직렬로 입력되는 데이터 열을 N개의 병렬 데이터 열로 변환하여 일정 간격 떨어져 있어 직교성(orthogonality)을 보장하는 많은 수의 반송파(carrier)에 데이터를 분산하여 전송하는 것이다. OFDM은 수신기의 FFT와 송신기의 IFFT(Inverse FFT) 같은 복소수신호처리를 통해 구현된다[4].

그림 2은 기존의 OFDM 송신기와 수신기의 블록 다이어그램을 나타낸다. OFDM 송신기에서 신호는 baseband에서의 IFFT 계산에 의해 생성되고 무선 주파수 대역으로 up-convert 된다. 그러면 convert된 OFDM 신호는 대전력 증폭기에서 증폭되고, 송신된다. OFDM 수신기에 수신된 OFDM 신호는 baseband 신호로 down-convert된다. 수신된 OFDM 신호는 FFT 계산에 의해 송신되었던 본래의 데이터로 복구된다.

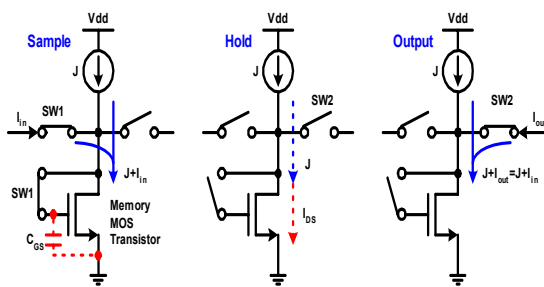


그림 4. CM(Current-Memory) 회로의 동작
Fig. 4 Operation of CM(Current-Mode) circuit

OFDM의 부반송파는 직교성을 유지할 수 있도록 송수신단에서 IFFT와 FFT Processor를 이용하여 신호를 변조하기 때문에 고성능의 FFT Processor를 구현하는 것이 OFDM 방식의 고속 무선 데이터 통신을 구현하기

위한 핵심 사항이라 할 수 있다. 그러나 FFT Processor를 DSP로 구현하는 것은 큰 전력을 소비하며, 이는 OFDM 시스템을 사용하고 있는 무선 이동 통신 시스템의 단점이지만 이를 보완하기 위해 아날로그 회로들로 구현되는 전류모드 FFT LSI가 제안되었다[5].

전류모드 회로는 동작 주파수에 독립적으로 일정한 전력 소비 특성을 가진다. 전류모드 회로들의 단순한 구조와 짧은 계산 시간에 기인하여 전류모드 FFT LSI의 전력 소비는 낮아진다.

2.2 Current-mode 신호처리

그림 3은 Current-mode FFT LSI의 Block Diagram을 나타낸 그림이다. Current-mode FFT LSI는 Voltage-mode를 Current-mode로 바꾸어주는 VIC (Voltage to Current)와 Current-mode를 Voltage-mode로 바꾸어주는 IVC(Current to voltage)를 가지고 있다. 전압형태의 OFDM 베이스밴드 신호는 VIC에 의해 전류형태의 직렬 신호로 변환된다. 이 신호는 다시 S/P 컨버터에 의해 병렬형태의 신호로 변환되어, FFT 블록에 입력된다. FFT 블록은 입력받은 전류의 값으로 FFT 연산을 수행한다. 이 때 100 μ A의 전류는 1.0000의 값으로 환산되어 FFT 연산을 수행하게 된다. FFT 연산된 결과는 P/S 컨버터에 의해 다시 직렬의 형태로 변환된다. P/S 컨버터를 거친 직렬 형태의 전류신호는 IVC에 의해 전압형태의 최종 신호가 되어 출력된다. 그림 3과 같은 Current-mode FFT LSI는 SPC(Serial to Parallel Converter)와 PSC(Parallel to Serial Converter)를 포함하고 있다. SPC와 PSC는 CM 회로와 디지털 제어 신호를 발생시키는 digital block으로 설계된다. VIC와 입력된 아날로그 전압 신호는 아날로그 전류 신호로 변한다. 이것은 SPC block에서 CM 회로로 표본화되고 기억된다. CM이 표본화된 입력 아날로그 전류신호들로 가득 차 있을 때, 표본화된 전류신호는 지정된 clock time에 Current-mode FFT LSI로 병렬 전송된다. FFT LSI의 계산 후에, 병렬 출력 신호는 PSC block으로 병렬 송신된다. PSC block의 동작은 SPC 동작과 반대이다. 즉, PSC의 출력은 디지털 제어 신호로 regular sequence에서 다음 block으로 보내진다.

그림 4는 CM(current memory) circuit의 동작을 보

여준다. CM은 아날로그 전류 신호를 표본화하고 기억하기 위해 사용된다. 입력신호는 기생 캐패시터를 이용한 gate-source 전압으로 표본화되어 기억된다. Control switch SW1과 SW2의 동작에 따라서 Sample mode, hold mode, output mode로 구현된다[5].

III. 새로운 IVC 설계

3.1 IVC의 입력 범위 결정

본 장에서는 새로 설계할 IVC의 입력 신호가 어느 정도의 범위를 갖고 입력되는지를 확인하기 위하여 설계된 저전력 OFDM 통신용 Current-mode FFT LSI의 전체 블록 중 IVC 블록만을 제외한 시뮬레이션 결과를 확인하였다.

$$\begin{aligned}
 & \left[\begin{array}{c} 8 \times 8 \\ FFT \\ Matrix \end{array} \right] \left[\begin{array}{c} RE0 + IM0j \\ RE1 + IM1j \\ RE2 + IM2j \\ RE3 + IM3j \\ RE4 + IM4j \\ RE5 + IM5j \\ RE6 + IM6j \\ RE7 + IM7j \end{array} \right] = \left[\begin{array}{c} x0 + y1j \\ x1 + y1j \\ x2 + y2j \\ x3 + y3j \\ x4 + y4j \\ x5 + y5j \\ x6 + y6j \\ x7 + y7j \end{array} \right] \\
 & \left[\begin{array}{c} RE0 + IM0j \\ RE1 + IM1j \\ RE2 + IM2j \\ RE3 + IM3j \\ RE4 + IM4j \\ RE5 + IM5j \\ RE6 + IM6j \\ RE7 + IM7j \end{array} \right] \left[\begin{array}{c} 8 \times 8 \\ FFT \\ Matrix \end{array} \right]^{-1} = \left[\begin{array}{c} +1+1j \\ -1-1j \\ +1+1j \\ -1+1j \\ +1+1j \\ +1+1j \\ -1-1j \\ -1-1j \end{array} \right] \quad (1)
 \end{aligned}$$

시뮬레이션 확인을 용이하게 하기 위하여 FFT의 입력 값을 high나 low에 해당하는 $100\mu A$ 와 $-100\mu A$ 의 출력 값이 되도록 식 (1)에 대입하여 도출하였다. 또한 FFT 입력 전류 값에 대응되는 전압 값을 계산하여 OFDM의 Signal로 VIC에 입력하였다. VIC 블록은 입력받은 전압에 해당하는 전류를 S/P 블록으로 전송하고, S/P 블록은 10ns동안 전류를 입력받아 기억하고 있다가 전체 16개 신호의 입력을 모두 마치면, 기억중인 전류를 10ns동안 FFT 블록으로 전송하게 된다. FFT 블록은 입력받은 전류 값으로 FFT 연산을 수행한다.

이 과정에서 $100\mu A$ 의 전류는 연산에서 1에 해당한다.

표 1. FFT LSI(without IVC)의 출력 전류
Table 1. Output current of FFT LSI(without IVC)

Pin	출력 전류값	Pin	출력 전류값
x0	98.51 μA	y0	96.23 μA
x1	- 80.86 μA	y1	- 80.61 μA
x2	89.55 μA	y2	93.04 μA
x3	- 81.75 μA	y3	93.01 μA
x4	90.33 μA	y4	89.10 μA
x5	82.91 μA	y5	94.45 μA
x6	- 97.60 μA	y6	- 87.59 μA
x7	- 87.15 μA	y7	- 69.45 μA

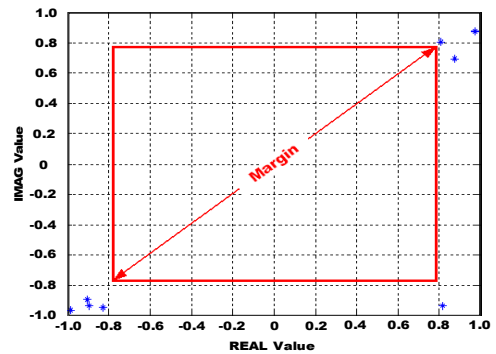


그림 5. FFT LSI의 출력 신호
Fig. 5 Output value of FFT LSI

표 1은 IVC 블록을 제외한 Current-mode FFT LSI의 시뮬레이션결과를 나타낸 표이고, 그림 5는 FFT 블록의 출력신호의 배치를 나타낸 것이다. 이 그림을 보면, FFT 블록의 출력 신호는 -1과 1 사이의 중간 margin이 넓은 것을 확인할 수 있다. 그러므로 (+)와 (-)의 판별만이 가능한 IVC라면, 전체 Current-mode FFT LSI의 성능이 향상될 것이다. 그림 6과 그림 7은 FFT 블록의 실수부 출력과 허수부 출력 각각의 이상적인 출력과 시뮬레이션을 통하여 얻은 결과를 비교하여 나타낸 그림이다. IVC의 입력이 되는 FFT 블록의 출력범위가 $-100\mu A$ 에서 $+100\mu A$ 이며, -1과 +1의 오차에 따른 범위는 $-69.45\mu A$ 이하, $+82.91\mu A$ 이상임을 표 1과 그림 5를 통하여 알 수 있다.

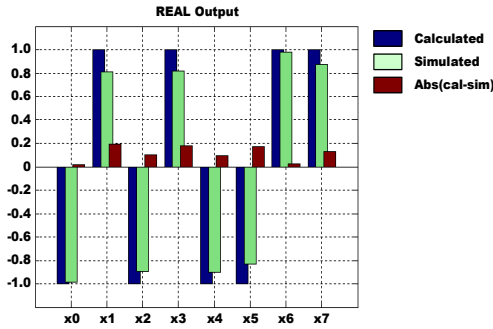


그림 6. 실수부의 이상적인 출력과 시뮬레이션 결과와의 비교
 Fig. 6 Comparison of REAL's ideal output and simulation result

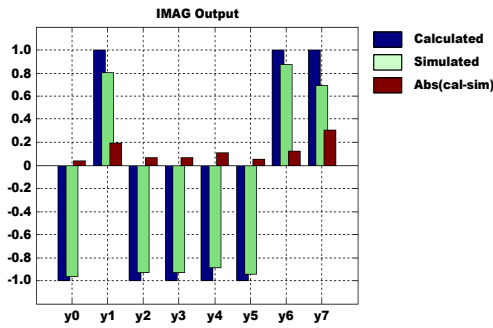


그림 7. 허수부의 이상적인 출력과 시뮬레이션 결과와의 비교
 Fig. 7 Comparison of IMAG's ideal output and simulation result

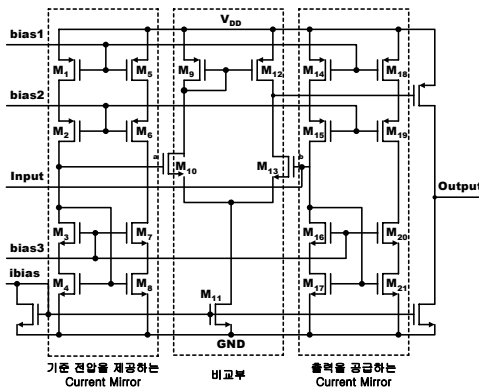


그림 8 제안된 IVC 회로도
 Fig. 8 Schematic of proposed IVC

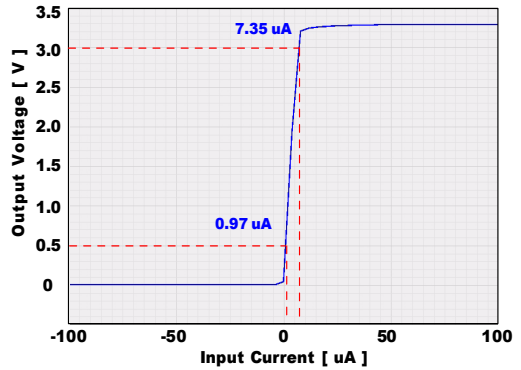


그림 9. 제안된 IVC의 시뮬레이션 결과
 Fig. 9 Simulation result of proposed IVC

표 2. FFT LSI(with proposed IVC)의 출력 전압
 Table 2. Output voltage of FFT LSI(with proposed IVC)

Pin	출력 전압값	Pin	출력 전압값
x0	0.00 V	y0	0.00 V
x1	3.29 V	y1	3.30 V
x2	0.00 V	y2	0.00 V
x3	3.29 V	y3	0.00 V
x4	0.00 V	y4	0.00 V
x5	0.00 V	y5	0.00 V
x6	3.30 V	y6	3.30 V
x7	3.30 V	y7	3.29 V

3.2 제안된 IVC 동작

새롭게 제안된 IVC의 회로도 는 그림 8과 같다. b 노드를 통하여 FFT의 출력전류를 입력 받아서 그 전류에 따라 변하는 전압과 기준 전압을 비교하여 전압을 출력한다.

기준 전압과 입력 전압을 비교하는 비교부는 MOS differential pair로 설계하였다. 기준부의 M3의 Drain 전압이 a 노드의 비교부 M10의 Gate에 가해져 M10을 동작시키고 M10의 Drain 전압이 일정하도록 유지시켜 준다.

FFT의 출력 전류는 출력부의 M16의 드레인 전압을 변화시켜 비교부 M13의 게이트에 가해져 M13을 동작시킨다. M10의 게이트에 걸린 전압은 기준 전압이 되

고 M13의 Gate에 걸린 전압이 증가 감소하면서 Drain 전압이 변화하여 전압이 출력된다.

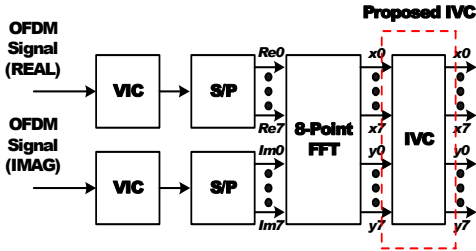


그림 10. IVC를 포함한 FFT 블록도

Fig. 10 Simulation block diagram for FFT LSI(with IVC)

3.3 설계한 IVC의 시뮬레이션 결과

1

설계한 IVC를 Current-mode FFT LSI에 적용하여 시뮬레이션한 후, 그 결과를 확인하였다. 설계한 IVC는 표 1과 같은 FFT의 출력 전류를 $0\mu\text{A}$ 를 기준으로 high와 low를 판별하여 그에 해당하는 전압을 출력하는 IVC의 동작을 확인하였다.

IVC의 시뮬레이션 결과는 그림 9와 같다. 설계된 IVC는 FFT 블록의 출력이 $7.35\mu\text{A}$ 이상일 때에 3V 이상의 전압을 출력하고, FFT 블록의 출력이 $0.97\mu\text{A}$ 이하일 때에 0.5V 이하의 전압을 출력하는 것을 확인하였다. 각 노드에 흐르는 전류의 합은 약 $1000\mu\text{A}$ 이며, IVC의 동작전압이 3.3V이다. 그러므로 설계된 IVC의 총 소비전력은 약 3.3mW로 저전력 동작을 하는 것을 확인하였다.

본 논문에서 제안된 IVC를 적용한 Current-mode FFT LSI의 블록 다이어그램은 그림 10과 같다. 표 2는 FFT LSI의 최종 출력이 되는 IVC의 출력 전압을 나타낸 것이다.

제안된 IVC를 Current-mode FFT LSI에 적용하면, 신호가 high인 경우 3.3V의 전압을 출력하고, 신호가 low인 경우 0V의 전압을 출력하는 것을 확인할 수 있다.

최근 많은 유무선 통신 분야에서 OFDM 방식을 채택하고 있으며, 고속 데이터 전송이 가능한 장점에 4세대 통신 방식으로 OFDM이 주목 받고 있다.

OFDM 통신 시스템의 main device인 FFT LSI는 출력 전류를 전압으로 변환해 주는 IVC가 필요하다. IVC를 연산증폭기를 사용하여 설계할 경우 큰 전력을 소모하는 문제점을 가지고 있다.

본 논문에서는 이러한 단점을 보완하기 위하여 새로운 IVC를 제안하였다. 설계한 IVC는 FFT Block의 출력이 $7.35\mu\text{A}$ 이상일 때에 3V 이상의 전압을 출력하고, FFT Block의 출력이 $0.97\mu\text{A}$ 이하일 때에 0.5V 이하의 전압을 출력한다. 그리고 IVC의 총 소비전력은 3.3mW이다. 새로운 IVC는 전류모드 FFT LSI의 출력을 전압으로 바꾸어 주며, OFDM 통신방식을 이용한 무선통신시스템의 저전력 모델 동작을 가능하게 할 것이다.

참고 문헌

- [1] 정연호, "고속 다중 사용자 데이터 전송 환경에서 고유의 펄스 형성화 기술을 적용한 적응 OFDM 시스템의 개발에 관한 연구", 한국과학재단, May 2004.
- [2] 황재규, 김상현, 박재화, 정원민, 오세홍, "2.3GHz 대역을 사용한 IPv6 기반의 무선 휴대인터넷 기주국 및 가입자 단말 개발", 정보통신부, 우수신기술 지정지원사업 최종 보고서, Sep. 2004.
- [3] T. S. Fiez, G. Liang and D. J. Allstot, "Switched-Current Circuit Design Issues", IEEE J. Solid-State Circuits, Vol. 26, No. 3, pp.192-202, March 1991.
- [4] P. H. Moose, "A Technique for Orthogonal Frequency Division Multiplexing Frequency Offset Correction", IEEE Trans. Commun., Vol. 42, No. 10, pp.2908-2914, Oct. 1994.
- [5] S. K Kim, J. S. Cha, H. Nakase and K. Tsu-bouchi, "Novel FFT Lsi for Orthogonal Frequency Division Multiplexing Using Current Mode Circuit", Jpn. J. Appl. Phys., Vol. 40, pp. 2859-2865, April 2001.

IV. 결론

저자 소개



김성권(Seong-kweon Kim)

1996년 : 인하대학교 전자재료공과
졸업 (공학사)

2002년 : 일본 Tohoku 대학교 대학원
전자공학과 (공학석사)

2002년 : 일본 Tohoku 대학교 대학원 전자공학과 (공
학박사)

2004년 8월 ~ 현재 : 목포해양대학교 해양전자통신공학
부 교수

※ 관심분야 : 무선통신용 LSI 설계, 주파수분배정책 및
주파수의 효율적 사용에 관한 연구, 고주파 회로설계,
무선통신시스템