
고정밀 저속 다중채널 아날로그-디지털 변환기

배성환* · 이창기**

Multi-Channel AD Converters with High-Resolution and Low-Speed

Sung-Hwan Bae* · Chang-ki Lee**

<요 약>

계측 및 측정분야에 사용되는 아날로그-디지털 변환기는 우수한 선형성과 무시할 만큼 적은 dc 오프셋 특성을 갖으면서 높은 정밀도를 요구한다. 증분형 변환기는 전형적인 $\Delta\Sigma$ 변환기의 대부분의 장점을 보유하면서 측정 응용분야에 적합한 해법을 제공한다. 또한 이러한 형태의 변환기는 오프셋 조정이 필요 없이 정확한 변환을 할 수 있다. 대부분 이전의 증분형 변환기에 관한 연구는 단일-채널과 dc 신호 응용에 초점을 맞추었으며 20 비트 이상의 해상도보다 더 정확한 데이터 변환을 할 수 초정밀 데이터 변환에 관한 연구도 있었다. 본 논문에서는 협대역 ac 신호를 변환시켜 주는 다중화 증분형 데이터 변환기의 구현 기술을 제안한다. 또한 다중화 증분형 데이터 변환기의 SQTNR을 최적화하는 설계 방법을 제안한다. 동작 원리, 토폴로지, 그리고 디지털 decimation 필터 설계에 대해 논의한다. 시뮬레이션 결과를 통해 제안한 이론에 대한 우수성을 검증한다.

ABSTRACT

Analog-to-Digital converters (ADCs) used in instrumentation and measurements often require high absolute accuracy, including excellent linearity and negligible dc offset. Incremental converters provide a solution for such measurement applications, as they retain most of the advantages of conventional $\Delta\Sigma$ converters, and yet they are capable of offset-free and accurate conversion. Most of the previous research on incremental converters was for single-channel and dc signal applications, where they can perform extremely accurate data conversion with more than 20-bit resolution. In this paper, a design technique for implementing multiplexed incremental data converters to convert narrow bandwidth ac signals is discussed. A design methodology to optimize the signal-to-quantization+thermal noise ratio of multiplexed IDC is presented. It incorporates the operation principle, topology, and digital decimation filter design. The theoretical results are verified by simulation results.

키워드

ADCs(Analog-to-Digital Converters), multi-channel, multiplexing

1. 서론

증분형 데이터 변환기(Incremental Data Converter : IDC)는 초정밀성과 저전력이 중요시 되는 계측 및 측

정분야에 적합한 특성을 가지고 있다. IDC는 시간에 따라 지속적으로 동작이 이루어지는 일반적인 $\Delta\Sigma$ ADC(Analog-to-Digital Converter)와는 다르게 변환기 내부에 있는 모든 저장소자가 리셋 된 후, 각각의 변

* 한려대학교 멀티미디어정보통신공학과 교수
접수일자 : 2008. 07. 15

** 신경대학교 인터넷정보통신학과 교수

환주기 동안 미리 결정된 클럭주기 n 동안만 동작하게 된다. 리셋 동작을 통해 저장소자의 다중화가 필요 없이 다수의 채널들 사이에서 단일 IDC가 다중화 될 수 있다.(1)

DC 측정에 사용되는 IDC의 기본적인 동작특성은 [1]에 설명되었고, 2차의 IDC에 관해서는 [2]에 소개되었다. 또한 [3]에는 22비트 해상도와 0.3 mW의 저전력 특성을 가지는 협대역(narrow band) IDC 칩 구현을 다루고, [4]에서는 고차의 IDC 설계 이론과 여러 가지 구현 방식 사이의 trade-off에 관련된 내용을 보인다.

본 논문에서는 협대역 ac 신호를 변환시키는 다중화 증분형 데이터 변환기(multiplexed incremental data converter)의 구현 기술을 제안하고 동작 원리, 토폴로지, 그리고 디지털 decimation 필터 설계에 대해 논의한다. 끝으로 시뮬레이션 결과를 통해 제안한 이론에 대한 우수성을 검증한다.

본 논문의 구성은 2장에서는 다중화 증분형 변환기의 응용분야와 전반적 요구 사항에 대해 소개하고, 3장에서 고차 다중화 증분형 데이터 변환기의 구조와 기본 동작에 대해 서술한다. 또한 4장에는 다중화 증분형 데이터 변환기의 SQTNR(Signal-to-Quantization+Thermal Noise Ratio)을 최적화하는 설계 기술과 예를 보인다. 마지막으로 5장에서 결론을 맺는다.

II. 응용분야 및 요구사항

다중화 IDC는 전원 관리(전압, 전류, 온도 등), 엔진 제어(속도, 연료 혼합 등), 그리고 생체 신호처리(심전도, 뇌파 등) 분야에 유용하게 사용될 수 있다. 이러한 응용분야에서는 ADC가 다중채널 상의 데이터를 습득하는 기능을 수행할 것을 요구하는 것으로 N 개의 저주파 아날로그 신호들이 디지털 신호 형태로 변환되어야 한다. 이러한 아날로그 신호들은 일반적으로 주파수 대역이 $f_B < 3$ kHz인 협대역 신호들이다. IDC 구현에 있어서 요구되는 사항들은 다음과 같다.

- 1) 높은 신호대양자화잡음비율(signal-to-quantization noise ratio : SQNR) : $SQNR > 90$ dB
- 2) 고집적 : < 0.5 mm²
- 3) 저전력 손실 : < 2 mW

저주파 신호들을 전송하는 다중채널에 대한 병렬 ADC는 다음과 같은 여러 가지 방식을 통해서 구현할 수 있다.(2)(3)

- 1) Decimation 필터를 공유하는 병렬형 ADC 구현 : 이 구조는 큰 칩 면적과 많은 전력 소모를 요구한다.
- 2) 복제된 저장소자(커패시터, 레지스터)를 사용하는 필터와 다중화 ADC를 이용한 구현 : 이 구조 또한 많은 칩 면적을 요구하고, 채널 사이에 간섭이 발생할 수 있다.
- 3) 다중화와 리셋을 적용한 증분형 변환기와 decimation 필터를 사용한 구현 : 작은 칩 면적과 저전력 특성을 갖는 구조로서 본 논문에서 채택한 최적의 구조이다.

III. 구조 및 동작

그림 1에는 다중화 IDC에 대한 시스템 구조를 보이고 있으며, 모든 채널들이 동일한 $\Delta\Sigma$ 변환기와 decimation 필터를 공유하고 있다.

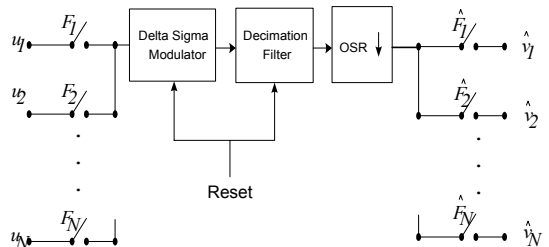


그림 1. 다중화 IDC의 구조
Fig. 1. Multiplexed IDC architecture

그림 2에는 시스템의 k 번째 채널에 대한 블록다이아그램을 도시하였다. F_k 가 스위치 ‘온(high)’ 상태가 되었을 때 k 번째 채널은 데이터 변환을 위해 선택된다. 먼저 입력 신호 u_k 가 $\Delta\Sigma$ 변환기에 인가되어 y_k 데이터 열로 변환 된 후, decimation 필터로 입력된다. Decimation 필터 출력 w_k 의 마지막 샘플이 입력 신호 u_k 의 등가 디지털 신호 v_k 가 된다. 하나의 채널에 대한 변환이 완료된 후 다음 채널의 데이터 변환을 위해 리셋 신호 ‘1’이 $\Delta\Sigma$ 변환기와 decimation 필터에 인가된다.(4)

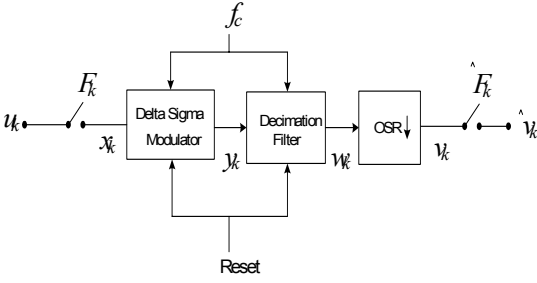


그림 2. k 번째 채널에 대한 시스템의 블록다이아그램
Fig. 2. Block diagram of the system for the k^{th} channel

그림 3의 (a)와 (b)에는 각각 그림 2에 신호들 u_k , x_k , y_k , w_k 그리고 v_k 에 대한 시간 영역과 주파수 영역에서 신호 형태를 보여주고 있다.

N 채널 구조에서, 각 채널은 대역폭 f_B 를 갖는 하나의 신호를 전송하며, 대역폭은 보통 수 kHz를 초과하지 않는다. ADC에 의해 각 채널에 할당되는 시간슬롯은 T_W 로 표시하였으며, 각각의 변환주기 내에서 입력 아날로그 신호와 곱이 되는 임시 윈도우의 지속시간으로 생각할 수 있다. Nyquist 이론에 의해 다음과 같은 식 (1)을 얻을 수 있다.

$$NT_w < 1/(2f_B) \tag{1}$$

여기서 N 은 채널 수를 나타내고 식 (1)에 의해 정의된 클럭 주파수와 정밀도에 대한 처리 가능한 채널의 개수에 대한 상한선을 결정할 수 있다.

각각의 변환주기 동안, $\Delta\Sigma$ 변환기와 decimation 필터는 n 클럭 주기의 함수이다. L 차 IDC에서 저주파수인 경우, SQNR은 n^L 에 비례한다[3]. 여기에서 n 은 클럭 주기의 개수이다. 따라서 $n = f_C T_W$ 이므로 원하는 SQNR 값을 얻기 위해서는 n 이 충분히 커야만 한다. 여기서 f_C 는 클럭 주파수이다.

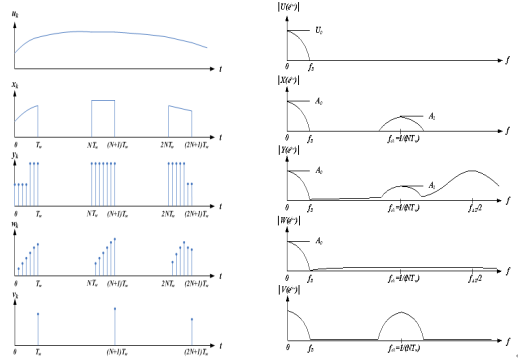


그림 3. k 번째 채널의 신호들 u_k , x_k , y_k , w_k , v_k :
(a) 시간 영역 (b) 주파수 영역
Fig. 3. Signals u_k , x_k , y_k , w_k , v_k in the k th channel :
(a) Time domain (b) Frequency domain

IV. 다중화 IDC의 설계

그림 2에 보여진바와 같이 n 번째 변환주기에서 시스템의 decimated 출력은 식 (2)과 같이 얻을 수 있다. 여기서 $stf(k)$, $h(k)$ 그리고 $ntf(k)$ 는 각각 신호 전달함수, 필터 전달함수, 잡음 전달함수의 역 z -변환을 나타낸다. 또한 $u(k)$, $t(k)$ 그리고 $q(k)$ 는 각각 입력, 열잡음, 양자화 잡음의 시퀀스를 나타낸다.

$$v(n) = \{stf(k) * h(k) * [u(k) + t(k)] + ntf(k) * h(k) * q(k)\}_{k=M-1} \tag{2}$$

수식 (2)에서 별표의 기호는 시퀀스들 사이에 M -샘플 컨볼루션 동작을 표시한다. 주어진 noise-shaping loop와 그리고 여기서 주어진 stf , ntf , t , q 을 이용하여 최대 SQTNR (Signal-to-Quantization + Thermal Noise Ratio)은 2차의 비용함수(quadratic cost function)를 최소화함으로써 얻을 수 있다.

$$\min_{\mathbf{h}} F(\mathbf{h}) = \min_{\mathbf{h}} \mathbf{h}^T \cdot \mathbf{K} \cdot \mathbf{h} \tag{3}$$

$$\text{subject to } \mathbf{e}^T \mathbf{h} = 1 \tag{4}$$

여기서, \mathbf{h} 는 $h(k)$ 의 샘플들을 포함하는 하나의 열벡

터이고, K 는 noise-shaping loop의 파라미터로부터 구할 수 있다. 적절하게 파라미터를 선택함으로써 필터의 임펄스 응답은 최소 열잡음 또는 최소화 양자화 잡음을 보일 수 있고, 또한 두 잡음 파워의 임의의 가중치 평균을 최소화 할 수 있다. 새로운 설계 방법에 근거하여 다음의 상세조건을 만족하는 다중화 IDC를 구현하였다.

- 채널 수(Number of channels) : $N = 20$;
- 아날로그 신호 대역폭(Analog signal bandwidth) : $f_B = 3 \text{ kHz}$;
- 신호 대 잡음비(Signal-to-noise ratio) : $\text{SNR} = 100 \text{ dB}$;
- 최대 클럭 주파수(Maximum clock rate) : $f_C = 30 \text{ MHz}$;
- 각 채널에 유용한 최대 샘플 수 : $M = 250$;

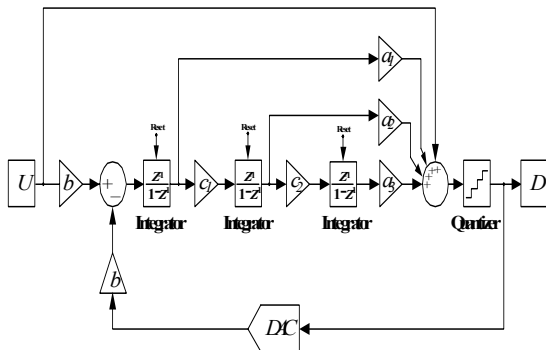


그림 4. 델타-시그마 루프의 블록다이어그램
Fig. 4. Block Diagram of the delta-sigma loop

그림 4에는 위에서 서술한 상세 조건에 적합한 델타-시그마(delta-sigma) 루프의 블록다이어그램을 보인다. 3차 cascade-of-integrators feed-forward(CIFF) 구조가 5-레벨 양자화기를 갖는 $\Delta\Sigma$ 변환기 설계를 위해 선택되었다. $\Delta\Sigma$ 변환기의 신호전달 함수는 1이며, 잡음 전달함수는 식 (5)과 같다.

$$NTF(Z) = \frac{(1 - z^{-1})^3}{1 + K_1 z^{-1} + K_2 z^{-2} + K_3 z^{-3}} \quad (5)$$

여기서 $K_1 = a_1 b - 3$, $K_2 = a_2 c_1 b - 2a_1 b + 3$, $K_3 = a_1 b - a_2 c_1 b + a_3 c_1 c_2 b - 1$ 이다.

그림 5에는 잡음 전달함수 $ntf(k)$ 의 임펄스 응답을

보인다. 최적의 디지털 decimation 필터의 임펄스 응답은 앞절에서 설명한 수학적 최적화 과정을 통해서 구해진다.

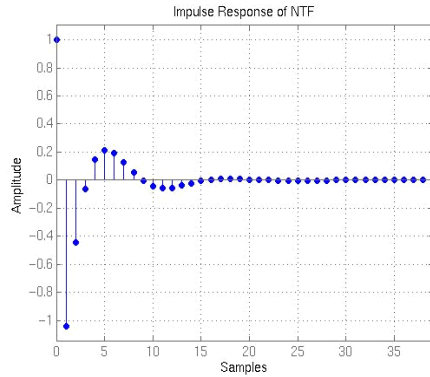


그림 5. 잡음 전달함수의 임펄스 응답
Fig. 5. Impulse response of noise transfer function

그림 6에는 $h(k)$ 의 결과를 도시하였다. 구현은 식 (2)에 기반을 둔다. 루프의 디지털 출력 시퀀스 $d(k)$ 는 M 클럭 주기동안 $h(k)$ 와 실시간으로 콘볼루션된다. 따라서 $d(0).h(M-1)$ 이 구해지고 저장된다. 이어서 $d(1).h(M-2)$ 가 구해지고 더해진다. $d(k)$ 는 단지 5개 값만 가질 수 있기 때문에 이러한 동작은 매우 간단하다.

그림 7에 dc 입력 신호에 따른 변환 오차의 시물레이션 스윕(sweep)을 보인다. 양자화기가 과부하가 되는 양쪽의 제한 범위를 제외하고 설계사항과 일치함을 확인하였다. 또한 디터링(dithering)을 위한 별도의 회로 없이 idle tone을 나타내는 피크가 발생하지 않았음을 알 수 있다.

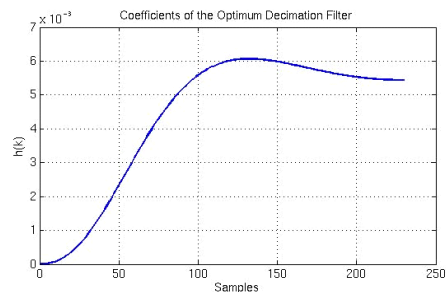


그림 6. 최적 데시메이션 필터의 계수
Fig. 6. The coefficients of the optimal decimation filter

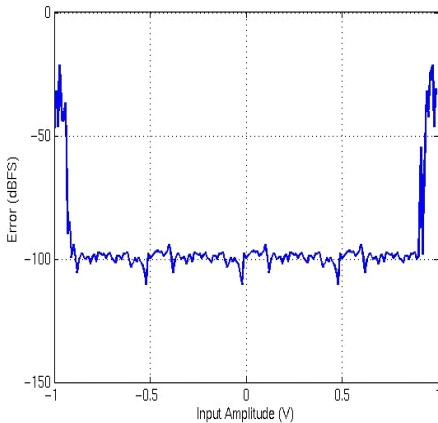


그림 7. 최적화 FIR 필터 출력에서 입력 대 오차의 DC 스윕

Fig. 7. DC sweep of the input vs error at the optimized FIR filter output

V. 결론

본 논문에서는 다중화 증분형 데이터 변환기에 대한 구조 분석과 설계 방법을 설명하였다. 채널 해상도와 사용가능한 채널 개수 사이의 trade-off를 논하였으며, 정의된 클럭 주파수와 정밀도에 대한 다중 채널의 개수에 대한 상한선을 유도할 수 있음을 보였다. 또한 다중화 증분형 데이터 변환기의 SQTNr를 최대화하는 간단한 설계 방법을 제안하였다. 주어진 설계 예와 상세 사항을 제안된 설계 방법을 통해서 쉽게 만족할 수 있음을 시뮬레이션을 통해 확인하였다. 현재 실제 IC 칩 구현에 관한 연구가 진행중이다.

참고 문헌

- [1] J. Robert, G. C. Temes, V. Valencic, R. Des-soulavy, and P. Deval, "A 16-bit low-voltage CMOS A/D converter," IEEE J. Solid-State Circuits, vol. 22, no. 2, pp. 157 - 163, Apr. 1987.
- [2] J. Robert and P. Deval, "A second-order high-resolution incremental A/D converter with offset and charge injection compensation," IEEE J. Solid-State Circuits, vol. 23,

no. 3, pp. 736 - 741, Jun. 1988.

- [3] J. Márkus, J. Silva, and G. C. Temes, "Theory and applications of incremental delta-sigma converters," IEEE Trans. Circuits Syst. I, vol. 51, no. 4, pp. 678 - 690, Apr. 2004.
- [4] V. Quiquempoix, P. Deval, A. Barreto, G. Bellini, J. Márkus, J. Silva, and G.C. Temes, "A low-power 22-bit incremental ADC," IEEE J. Solid-State Circuits, vol. 41, no. 7, pp. 1562-1571, Jul. 2006.

저자 소개



배성환(Sung-hwan Bae)

2000년 2월 : 전북대학교 전자공학과(공학박사)

2000년 ~ 현재 : 한려대학교 멀티미디어정보통신공학과 교수

※ 주관심분야 : ASIC 테스트, 통신시스템 설계



이창기(Chang-Ki Lee)

1994년 : 전북대학교 전자공학과(공학박사)

2005년 ~ 현재 : 신경대학교 인터넷정보통신학과 교수

※ 주관심분야 : VLSI 설계, 컴퓨터 네트워크