

논문 2008-45IE-2-1

RF SOI MOSFETs의 성능저하에 의한 LNA 설계 가이드 라인

(Performance Degradation of RF SOI MOSFETs in LNA Design Guide Line)

엄 우 용*, 이 병 진**

(Woo-yong Ohm and Byung-jin Lee)

요 약

본 연구에서는 SOI MOSFET를 hot carrier 현상에 의한 RF 성능 저하를 측정 분석하였다. $V_{GS}=0.8V$, $f=2.5GHz$ 에서 설계되어진 LNA의 이득은 16.51dB이고 잡음지수는 1.195dB였다. SOI에서 스트레스후에는 LNA의 이득과 잡음지수가 스트레스전보다 각각 15.3dB, 1.44dB로 변화하였다.

Abstract

In this work, RF performance degradation due to hot carrier effects in SOI MOSFET have been measured and analyzed. The LNA that designed at $V_{GS}=0.8V$, $f=2.5GHz$, gain is 16.51dB and noise figure is 1.195dB. After stress at SOI, the LNA's gain and noise figure change of 15.3dB and 1.44dB with before stress.

Keywords : SOI MOSFET, LNA, Hot carrier effect, f_T , f_{max}

I. 서 론

이동통신 서비스가 확대됨에 따라 초고주파 특성이 우수한 반도체 소자 및 통신 부품의 개발이 필수적이다. 초고주파 대역의 통신부품을 개발하기 위한 핵심 기술의 하나가 초고주파 단일 칩 회로인 MMIC (Monolithic Microwave Integrated Circuits) 기술이다.

최근 SOI MOSFETs 기술 개발은 초고주파대역 송수신 장치 및 시스템 응용에 있어서 높은 신뢰성, 소형, 경량화 및 원가절감 등의 면에서 큰 이점을 제공하고 있다. 일반적으로 LNA는 낮은 잡음 지수와 높은 이득,

그리고 낮은 VSWR의 특성을 동시에 만족하도록 설계하고 있으며, DC 특성 및 전류-전압 모델, 응용회로 설계 및 제작, RF 성능 평가, hot carrier 현상에 의한 소자 열화에 관한 연구 등이 많이 진행되고 있다^[1~6].

본 논문에서는 LNA의 소형, 경량화 및 저전력화를 이루기 위하여 SOI MOSFET를 DC, hot carrier 현상에 의한 차단주파수(f_T) 및 최소잡음지수(F_{min})의 성능 저하를 측정 분석하였으며, LNA 설계 후 RF 성능에 어떠한 영향을 미치는가를 분석하였다. 이를 바탕으로 LNA 설계 시 고려하여야 할 hot carrier 현상에 의한 소자 열화의 가이드라인을 제시하였다.

II. 본 론

1. 소자의 제작 및 측정

본 연구에 사용된 SOI MOSFET는 n-채널로 공정은 SIMOX 웨이퍼로 $t_{BOX}=100nm$ 이며 $t_{OX}=3.8nm$ 이다. 그림

* 평생회원, 인하공업전문대학 디지털전자정보과
(Dept. of Digital Elec. & Info., Inha Tech. College)

** 정회원, 인천대학교 전자공학과
(Dept. Electronic Engineering, Univ. of Incheon)

※ 본 논문은 2007년도 인하공업전문대학 교내연구비 지원사업의 연구결과입니다.

접수일자: 2008년3월4일, 수정완료일: 2008년6월5일

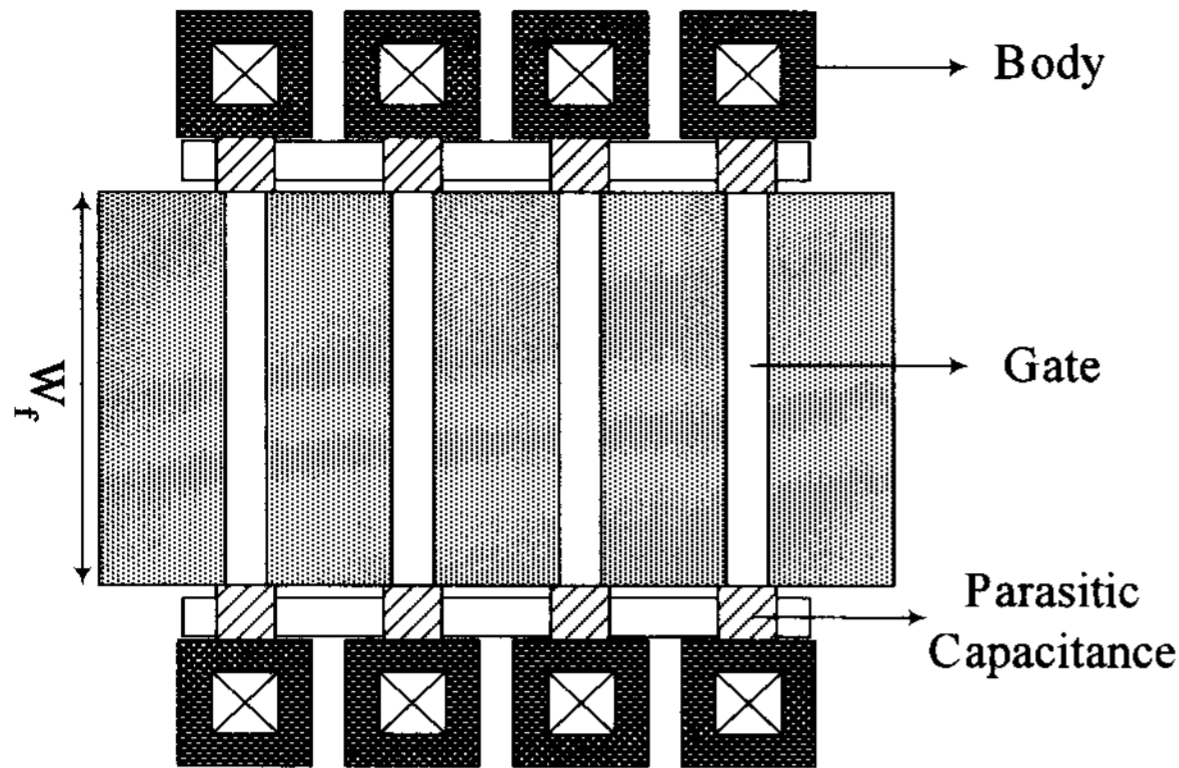


그림 1. H-type SOI의 레이아웃
Fig. 1. Layout of H-type SOI.

1은 SOI MOSFET의 평면도로 소자의 게이트 길이(L)가 $0.25\mu\text{m}$ 이며 게이트 구조는 H-type인 multi-finger 형태로 단일폭(W_f)은 $20\mu\text{m}$ 이며, finger의 수는 4로 소자의 채널폭(W)은 $80\mu\text{m}$ 이다. 게이트 구조가 H-type인 SOI MOSFET는 게이트 양 끝부분에 body contact이 있으며 소자의 패드 형태는 GSG(ground-signal-ground) 구조로 고주파 대역에서 측정할 수 있도록 하였다.

RF 성능분석을 위한 s-파라미터 측정은 RF probe를 이용하여 웨이퍼 위에서 HP 8510C network analyzer를 이용하여 측정하였다. On-wafer probe 측정을 위하여 dummy structure를 사용하여 pad 기생성분들을 de-embed를 하였다. F_{\min} 측정은 ATN setup을 이용하여 2~6GHz의 주파수 대역에서 측정하였으며, Hot carrier 스트레스 조건은 $V_{GS}=0.8\text{V}$, $V_{DS}=3.1\text{V}$ 이다.

2. 소자 열화

아날로그 회로에서는 소자가 포화영역에서 동작하게 바이어스가 인가되므로 포화영역에서 hot carrier 현상에 의해 소자 열화를 측정하였다. 스트레스 조건은 $V_{GS}=0.8\text{V}$, $V_{DS}=3.1\text{V}$ 로 이러한 스트레스 조건에서는 고전계에 의한 충격 이론화로 생성된 전자와 홀에 의해 계면상태가 생성되고 또 이 계면 상태에 전자가 포획되면 DAHC(Drain Avalanche Hot Carrier)현상으로 소자가 열화 된다. 그림 2는 SOI MOSFET 소자의 스트레스 전·후의 I-V 특성을 나타낸 것이다. 측정전압 $V_{GS}=2\text{V}$, $V_{DS}=2\text{V}$ 에서 스트레스 후에 전류가 2.2mA정도 감소함을 알 수 있다. RF성능지수인 차단주파수를 추출하는 방법은 소자의 테스트패턴으로부터 s-파라미터를 측정하고 open/short 패턴으로부터 s-파라미터를 측정하여 de-embedded 하였다. 그리고 다시 h-파라미터로 변환한 후 H_{21} 의 이득이 0dB이 되는 주파수를 차단주

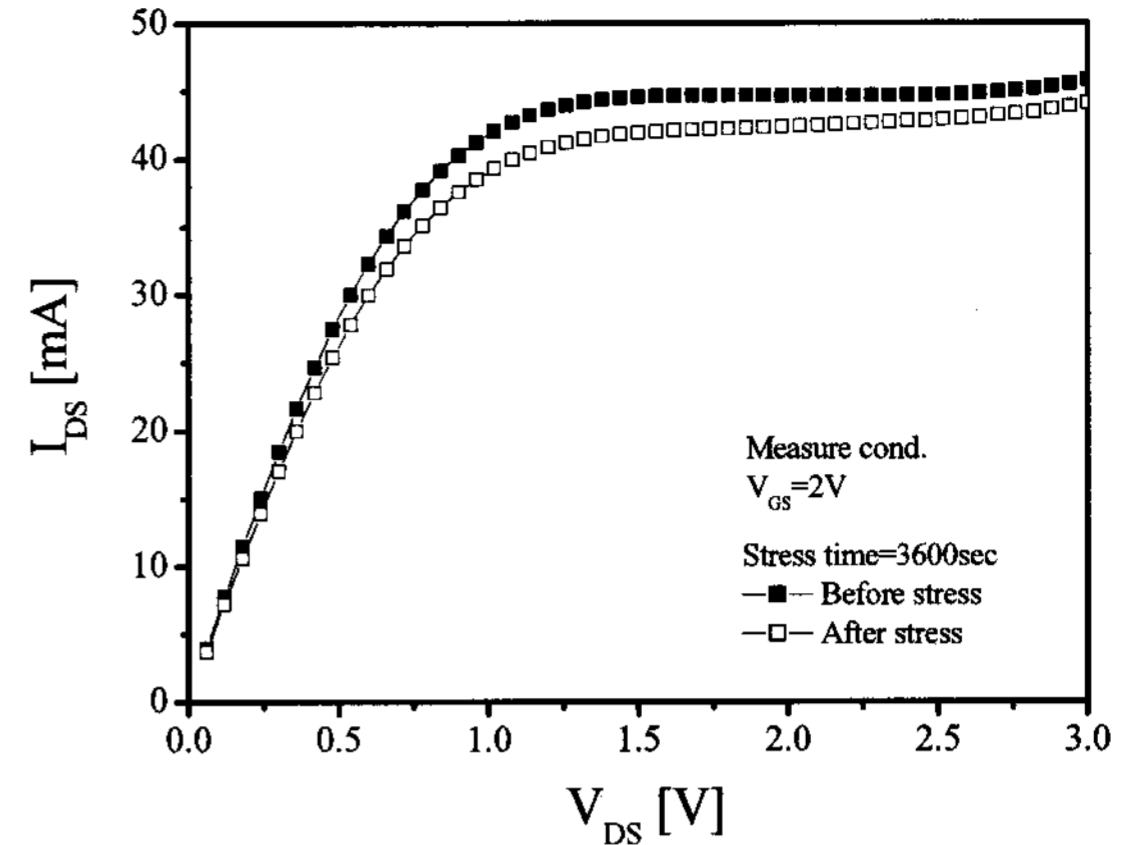


그림 2. 스트레스 전·후의 I-V 특성
Fig. 2. I-V characteristic of before and after stress.

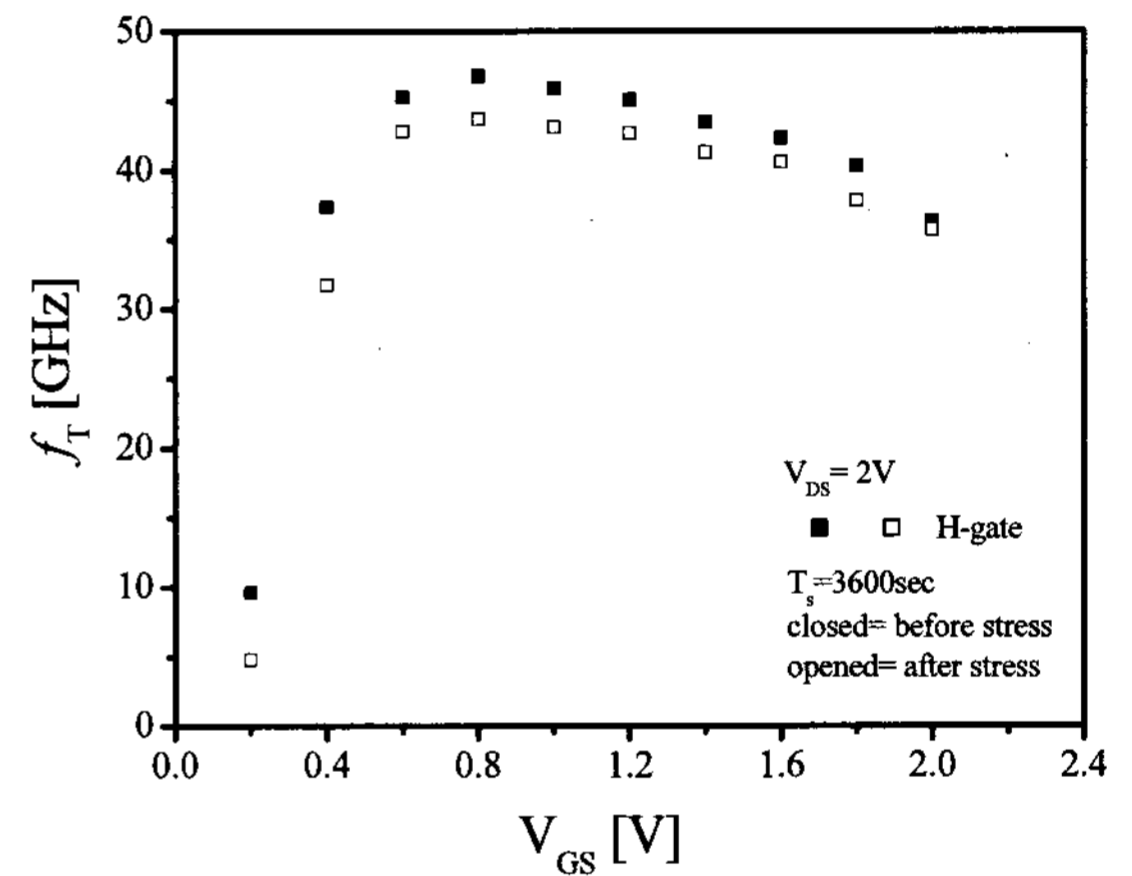


그림 3. 스트레스 전·후의 게이트 전압에 따른 f_T
Fig. 3. F_T according gate voltage of before and after stress.

파수(f_T)로 정의 하였다.

그림 3은 스트레스 전후의 차단주파수 변화를 게이트 전압에 따라 나타낸 것으로 스트레스 후에 차단주파수가 감소함을 알 수 있다. 스트레스 조건은 $V_{GS}=0.8\text{V}$, $V_{DS}=3.1\text{V}$ 이며 스트레스 시간은 3600sec 동안 인가하였다. 측정전압 $V_{GS}=0.8\text{V}$, $V_{DS}=2\text{V}$ 에서 스트레스 전의 차단주파수 f_T 가 46.8GHz 였으나 스트레스 후에는 43.7GHz로 감소하였다. 일반적으로 차단주파수 f_T 는 다음과 같은 관계가 있다^[7].

$$f_T = g_m / 2\pi(C_{gs} + C_{gd}) \quad (1)$$

여기서 g_m 은 트랜스컨덕턴스, C_{gs} 은 게이트-소스 커패시턴스, C_{gd} 는 게이트-드레인 커패시턴스이다. 식 (1)에서 스트레스 후에 g_m 이 감소하면 f_T 가 감소하게 된다.

그림 4는 스트레스 전·후의 게이트 전압에 따른 SOI

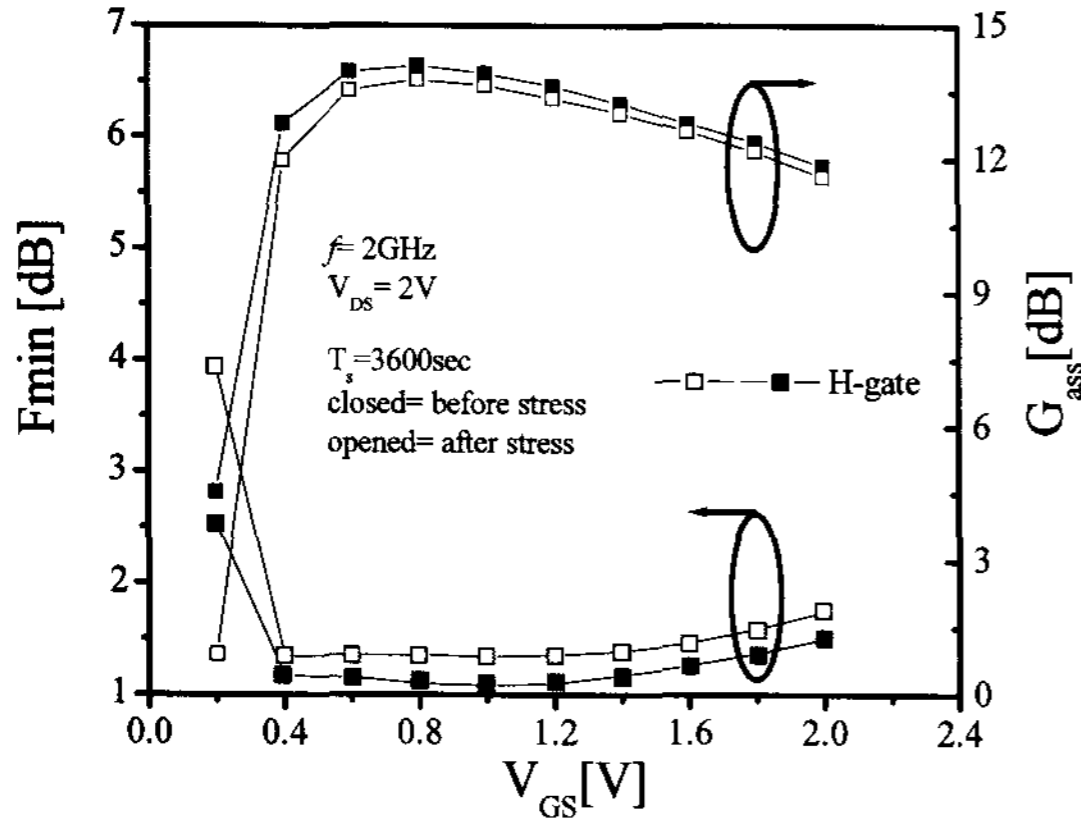


그림 4. 스트레스 전·후의 게이트 전압에 따른 F_{min} , 이득
 Fig. 4. F_{min} , Gain according gate voltage of before and after stress.

MOSFET 소자의 F_{min} 과 gain을 나타낸 것이다. 측정 전압 $V_{GS}=0.8V$, $V_{DS}=2V$ 에서 스트레스 전의 F_{min} 이 1.1 dB, 스트레스 후의 F_{min} 이 1.35dB로 0.25dB 증가하였으며, gain은 13.92dB에서 스트레스 후에 13.64dB로 0.18dB 만큼 감소하였다. 일반적으로 F_{min} 은 다음과 같다^[8].

$$F_{min} = 1 + KfC_{gs} \sqrt{(R_g + R_s)/g_m} \quad (2)$$

여기서 K는 상수이며, R_g 및 R_s 는 게이트 및 소스 저항이며 f는 측정 주파수이다.

3. 소자열화로 인한 LNA 성능저하

LNA는 무선통신 수신부의 전단부를 구성하는 부품으로 전체 시스템의 잡음지수와 VSWR를 결정하는 중요 부분이며 낮은 잡음지수와 높은 이득 그리고 낮은 입력 VSWR의 특성을 동시에 만족해야 한다. RF 특성을 측정 분석한 SOI MOSFET의 s-파라미터를 이용하여 설계한 LNA는 Agilent사의 ADS2003C를 이용하였다. 2-포트에서 추출한 파라미터를 가지고 SOI MOSFET 모델을 구성하였으며 가장 작은 잡음지수를 갖도록 반사계수를 선정하였다. LNA 특성상 전체 잡음지수는 입력 측 정합회로에 큰 영향이 있으므로 입력정합회로는 최대전력을 전달하는 것 보다는 최소 잡음지수를 갖도록 하였으며, 출력정합회로는 최대 전력전달 이득을 갖도록 설계하였다. LNA의 입력 정합을 하기 위해서는 외부에서 정합하게 되면 잡음지수가 좋아지고 칩크기도 작아지지만 칩 사용 시 불편하게 된다. 본 연구에서는 내부정합을 하였으며 이로 인해 잡음지수가 다소 높아졌다. 그림 5는 SOI MOSFET로 설계한 LNA

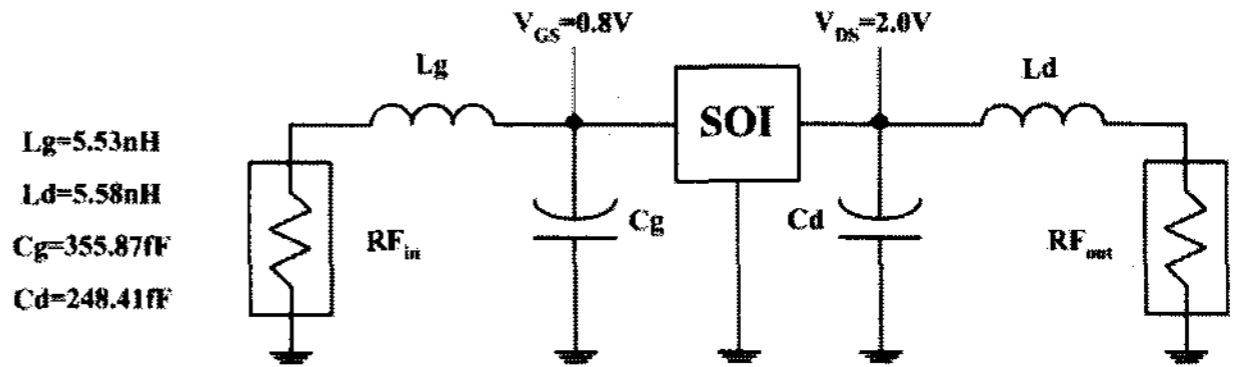


그림 5. LNA 회로도
 Fig. 5. LNA circuit.

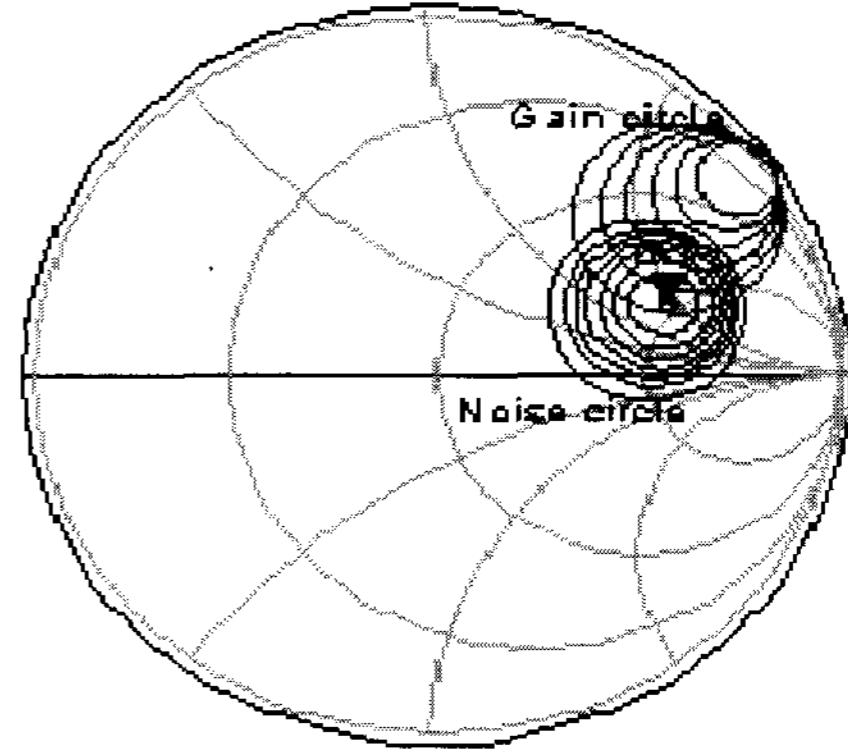


그림 6. LAN의 Matching point
 Fig. 6. Matching point of LAN.

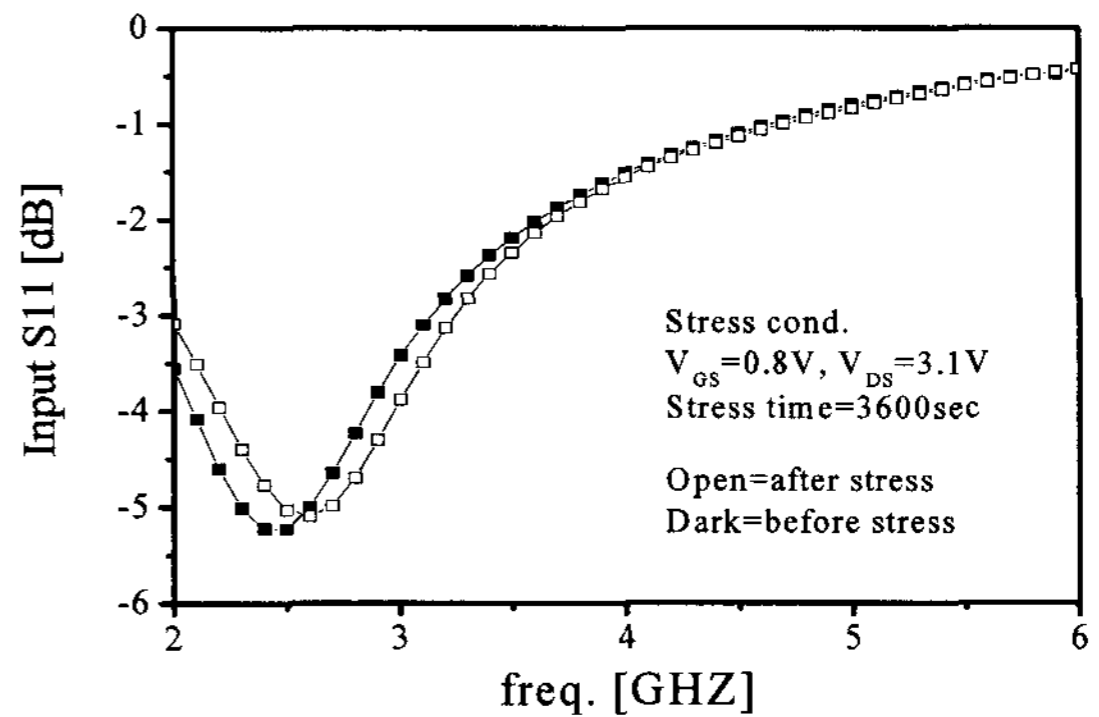


그림 7. 스트레스 전·후의 S11
 Fig. 7. S11 of before and after stress.

이다.

그림 6은 LNA 설계 시 입출력 정합을 위한 이득과 잡음 circle 이다. MI는 matching point로 회로 설계 시 최소 F_{min} 에 중점을 두었기 때문에 MI는 잡음 circle 가운데 위치해 있음을 알 수 있으며 이득은 다소 떨어짐을 알 수 있다.

그림 7은 스트레스 전후의 주파수에 따른 S11 이다. 스트레스 전의 S11의 최소값은 2.5GHz에서 -5.225dB이며, 스트레스 후에는 최소 S11값은 2.6GHz로 100MHz 이동하였으며 그때 S11 값은 -5.029dB로 스트레스 후에는 S11값이 0.196dB 증가하였다. 이로 인하여 스트레스 후의 LNA의 F_{min} 값은 증가함을 알 수 있다. 이는 입력 임피던스의 변화에 의해 SOI MOSFET의 전류가 변화되

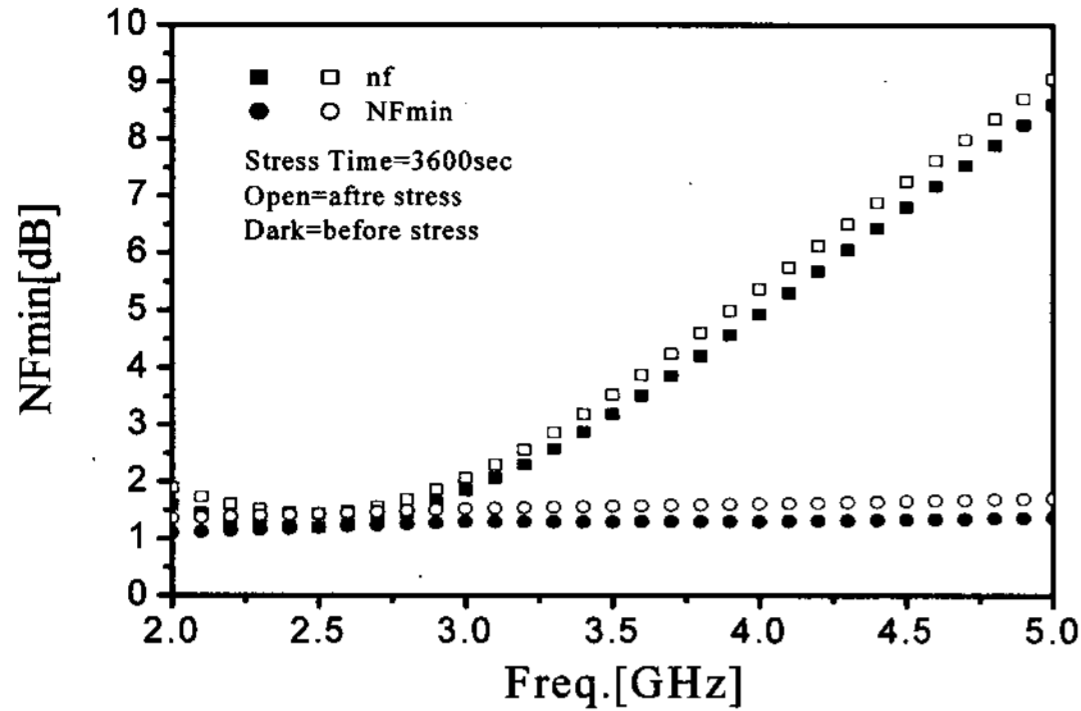


그림 8. 스트레스 전·후의 LNA의 F_{min}
Fig. 8. F_{min} of before and after stress in the LNA.

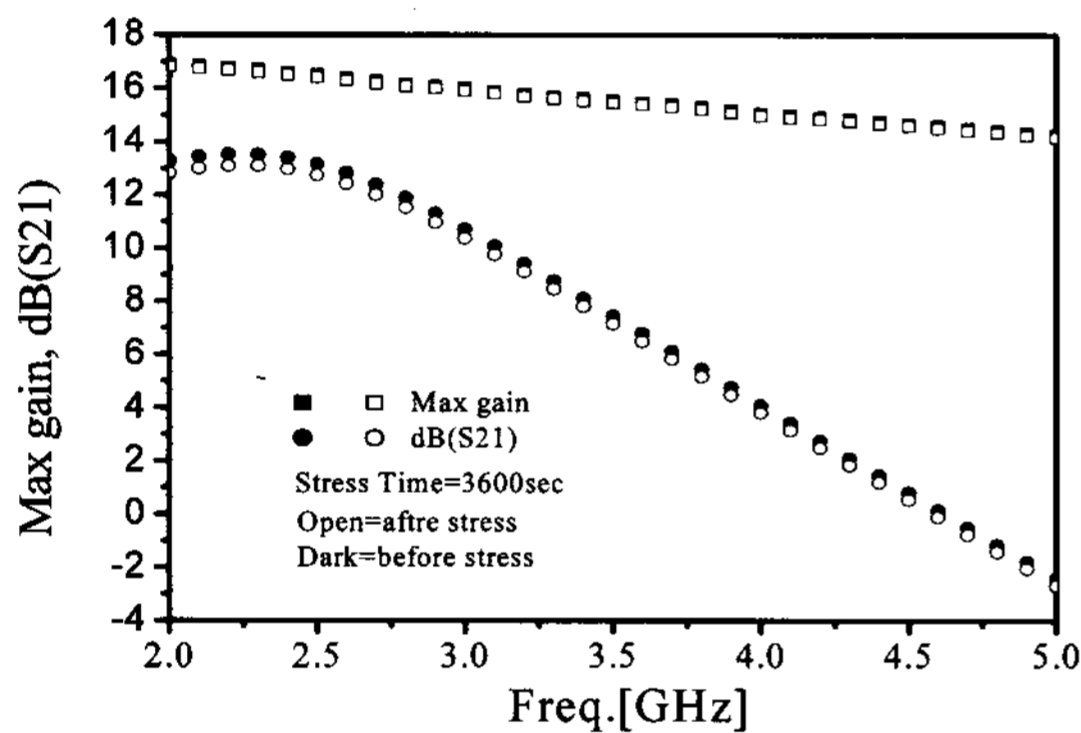


그림 9. 스트레스 전후의 LNA의 gain
Fig. 9. Gain of before and after stress in the LNA.

며 이로 인하여 회로의 RF 성능은 다르게 된다. 결국 F_{min} 값은 증가하게 된다^[9].

그림 8은 SOI MOSFET를 이용한 LNA 설계 시뮬레이션이다. 측정된 F_{min} 과 Matching 후 시뮬레이션 결과를 보면 1.195dB로 동일하기에 설계는 잘 된 것임을 알 수 있으며, LNA를 2.5GHz에서 matching 하였기 때문에 주파수에 따라 F_{min} 값이 2.5GHz의 값보다 큼을 알 수 있다. 스트레스 조건은 $V_{GS}=0.8V$, $V_{DS}=3.1V$ 이며 3600sec 동안 인가 하였으며 스트레스 전·후에 따라 F_{min} 값을 보면 스트레스 전의 F_{min} 은 1.195dB에서 스트레스 후에는 1.44dB로 증가함을 알 수 있다.

그림 9는 스트레스 전·후의 LNA의 이득 변화이다. LNA 설계 시 F_{min} 에 중점을 두어 설계하였기 때문에 측정과 시뮬레이션값을 비교하여 보면 F_{min} 의 측정값은 16.51dB, 시뮬레이션값은 13.17dB로 시뮬레이션 후에 이득값은 3.34dB 차이가 남을 알 수 있다. 시뮬레이션값에서 스트레스 전에는 이득이 13.17dB 스트레스 후에는 12.75dB로 감소함을 알 수 있다.

III. 결 론

LNA를 소형, 경량화 및 저전력화를 이루기 위하여 SOI MOSFET 소자를 측정 분석하였으며, LNA를 설계 하였다. 설계된 LNA의 입출력정합특성과 F_{min} 은 시뮬레이션값과 일치하였다. 특히 소자열화로 인하여 F_{min} 의 값의 증가 및 RF 성능 저하가 많이 되고 이로 인하여 LNA 설계 시 hot carrier 현상에 의한 소자 열화는 심각히 고려해야 함을 알 수 있다.

참 고 문 헌

- [1] F. Assaderaghi, D. Sinitsky, S. Parke, J. Bokor, P. Ko, and C. Hu, "A Dynamic Threshold Voltage MOSFET (DTMOS) for Ultra-Low Voltage Operation," Tech. of Digest IEDM, pp. 809-813, 1994.
- [2] A.Yagishita, T. Saito, S. Inumiya, K. Matsuo, Y. Tsunashima, K. Suguro, and T. Arikado, "Dynamic Threshold Voltage Damascene Metal Gate MOSFET (DT-DMG-MOS) with Low Threshold Voltage, High Drive Current, and Uniform Electrical Characteristics," Tech. of Digest IEDM, pp. 663-667, 2000.
- [3] Y. Momiyama, T. Hirose, H.Kurata, K. Goto, Y. Watanabe, and T. Sugii, "A 140GHz fT and 60 GHz fmax DTMOS Integrated with High-Performance SOI Logic Technology," Tech. Digest of IEDM, pp. 451-453, 2000.
- [4] S. S. Rofail, and Y. K. Seng, "Experimentally-Based Analytical Model of Deep-Submicron LDD pMOSFET's in a Bi-MOS Hybrid-Mode Environment," IEEE Trans. Electron Devices, vol. 44, no. 9, pp. 1473-1482, 1997.
- [5] R. Hung, Y. Y. Wang, and R. Han, "Analytical Model for the Collector Current in SOI Gated-Controlled Hybrid Transistor," Solid-State Electronics, vol. 39, no. 12, 1998.
- [6] T. Douseki, S. Shigematsu, J. Yamada, M. Harada, H. Inokawa, and T. Tsuchiya, "A 0.5-V MTCMOS/SIMOX logic gate", IEEE Journal of Solid-State Circuits, vol. 32, no. 10, pp. 1604-1609, 1997.
- [7] C. C. Enzand Y. Cheng, "MOS Transistor Modeling for RF IC Design," IEEE Trans. Solid-State Circuits, vol. 35, no. 2, pp. 186-201, 2000.
- [8] H. Fukui, "Optimal noise figure of microwave GaAs MESFETs," IEEE Trans. Electron Devices, vol. 26, no. 7, pp. 1032-1037, 1979.

- [9] Qiang Li, Jinlong Zhang, Wei Li, Jiann S Yuan, Yuan Chen, Anthony S. Oates "Rf Corcuit performance Degradation Due to Soft Breakdown and Hot-Carrier Effect in Deep-submicrometer CMOS Technology," IEEE Trans. On microwave and techniques, Vol. 49, No. 9, September 2001.

저 자 소 개

엄 우 용(평생회원)
대한전자공학회 논문지
제43권 IE편 2호 참조

이 병 진(정회원)
대한전자공학회 논문지
제42권 SD편 2호 참조