

논문 2008-45SD-6-17

# 아날로그 어댑티브 이퀄라이저를 이용한 120-dBΩ 8-Gb/s CMOS 광 수신기

( A 120-dBΩ 8-Gb/s CMOS Optical Receiver Using Analog Adaptive Equalizer )

이 동 명\*, 최 부 영\*\*, 한 정 원\*\*, 한 건 희\*\*\*, 박 성 민\*\*\*\*

( Dongmyung Lee, Booyoung Choi, Jungwon Han, Gunhee Han, and Sung Min Park )

## 요 약

트랜스임피던스 증폭기는 전체 광 수신기의 성능을 결정하는 가장 핵심적인 블록으로써 높은 트랜스임피던스 이득과 기가비트급의 넓은 대역폭을 요구한다. 본 논문에서는 아날로그 어댑티브 이퀄라이저를 이용하여 트랜스임피던스 증폭기의 대역폭을 보상하고, 리미팅 증폭기를 이용하여 전체 트랜스임피던스 이득을 증가 시키는 단일 칩 광 수신기의 아날로그 회로를 제안한다. 0.13μm CMOS 공정을 이용하여 설계한 광 수신기는 포스트 레이아웃 시뮬레이션 결과, 120dBΩ의 트랜스임피던스 이득과 5.88GHz의 대역폭을 갖는다. 수동 인덕터 소자를 사용하는 대신 네거티브 임피던스 컨버터 회로를 적용함으로써 0.088mm<sup>2</sup>의 매우 작은 칩 사이즈를 갖는다.

## Abstract

Transimpedance amplifier(TIA) is the most significant element to determine the performance of the optical receiver, and thus the TIA must satisfy the design requirements of high gain and wide bandwidth. In this paper, we propose a novel single chip optical receiver that exploits an analog adaptive equalizer and a limiting amplifier to enhance the gain and bandwidth performance, respectively. The proposed optical receiver is designed by using a 0.13μm CMOS process and its post-layout simulations show 120dBΩ transimpedance gain and 5.88GHz bandwidth. The chip core occupies the area of 0.088mm<sup>2</sup>, due to utilizing the negative impedance converter circuit rather than using on-chip passive inductors.

**Keywords :** Adaptive analog equalizer, limiting amplifier, negative impedance converter, optical receiver, transimpedance amplifier

## I. 서 론

최근 다양한 멀티미디어 통신의 발달과 함께 높은 속도의 데이터 전송에 대한 요구가 증가하고 있다. 기존의 전기적 링크는 채널에서의 고주파 이득 손실, 반사

파에 의한 손실, 채널 간 crosstalk 등에 의해 고속 데이터 전송에 많은 제약이 따르는 반면, 광 링크는 넓은 대역폭과 낮은 EMI (electromagnetic interference)의 장점을 갖기 때문에 system-to-system, board-to-board, chip-to-chip 멀티미디어 통신에서 전기적 링크를 성공적으로 대체해 오고 있다.

그림 1은 일반적인 단일 칩 광 수신기의 블록도를 보여준다. 트랜스임피던스 증폭기 (transimpedance amplifier, TIA)와 리미팅 증폭기 (limiting amplifier, LA)가 하나의 칩으로 구성된 단일 칩 광 수신기는 접지-바운스 (ground-bounce), ESD, bond-wire 문제를 제거할 수 있기 때문에 멀티 칩 구조에 비해 노이즈 특성이 우수하고, TIA의 출력과 LA의 입력 사이에 매칭

\* 학생회원, \*\*\* 평생회원, 연세대학교 전기전자공학과 (Department of Electrical and Electronic Eng., Yonsei University)

\*\* 학생회원, \*\*\*\* 평생회원, 이화여자대학교 전자공학과 (Department of Information Electronics Eng., Ewha Womans University)

※ “이 논문은 2006년 정부(교육인적자원부)의 재원으로 한국학술진흥재단의 지원을 받아 수행된 연구임” (KRF-2006-331-D00404).

접수일자: 2008년5월1일, 수정완료일: 2008년6월11일

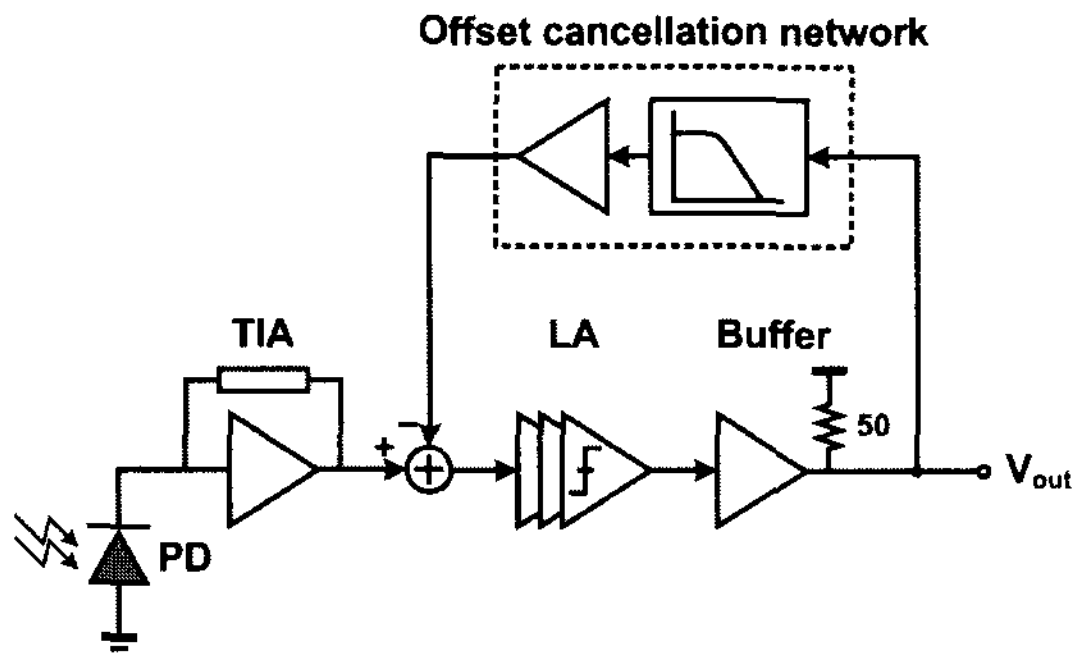


그림 1. 일반적인 단일 칩 광 수신기의 블록도  
Fig. 1. Block diagram of the conventional single-chip optical receiver.

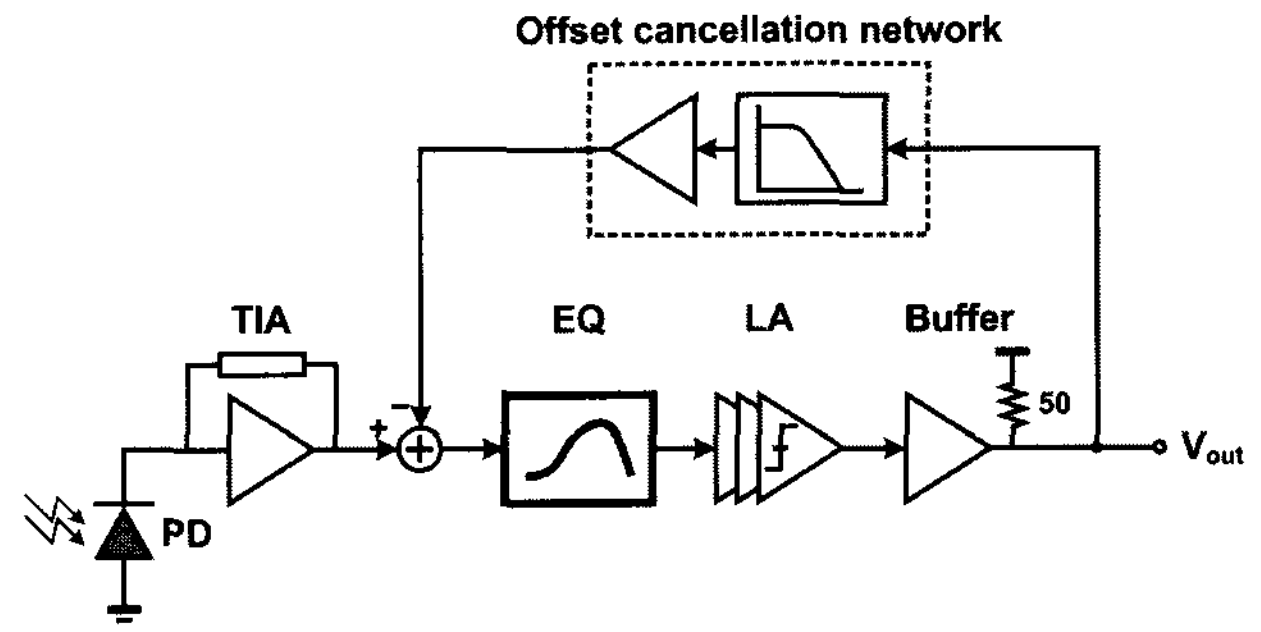


그림 2. 제안된 단일 칩 광 수신기의 블록도  
Fig. 2. Block diagram of the proposed single-chip optical receiver.

네트워크 회로가 필요 없기 때문에 불필요한 이득 손실과 전력소모를 막을 수 있는 장점이 있다<sup>[1~2]</sup>.

TIA는 광 수신기에서 가장 핵심적인 블록으로써 높은 트랜스임피던스 이득, 넓은 대역폭, 및 낮은 노이즈 특성을 갖는 연구가 매우 필요하다.

TIA의 대역폭을 높이기 위한 방법으로 series peaking을 이용한 다단 구조<sup>[3]</sup>, 단계간 분리를 위해 전압버퍼를 사용한 구조<sup>[4]</sup>, 전류주입 기술 (current injection technique)<sup>[5]</sup> 등이 연구되었지만, 이러한 구조들은 상대적으로 높은 전력소모 문제가 있고, 이를 해결하기 위한 방법으로 shunt-series peaking 기법이 연구되었으나<sup>[6]</sup>, 많은 수동 (passive) 인덕터의 사용으로 인해 면적이 커지는 단점을 갖는다.

본 논문에서는 TIA의 대역폭을 보상하기 위해 아날로그 어댑티브 이퀄라이저 (equalizer, EQ)를 적용한 광 수신기를 제안한다. EQ의 고주파 전압이득을 높이고, 전력과 면적을 최소화하기 위해 네거티브 임피던스 컨버터 (negative impedance converter, NIC) 회로를 도입하였다.

## II. 본 론

### 1. 제안된 광 수신기의 구조

그림 2는 제안된 광 수신기의 블록도를 보여준다. 제안된 단일 칩 광 수신기는 크게 칩 외부의 역 바이어스된 (reverse biased) 포토다이오드로부터의 전류를 전압으로 변환하는 TIA와, TIA의 대역폭을 보상하기 위한 EQ, 작은 신호 레벨을 로직 레벨로 키워주는 LA, 그리고 외부 50Ω 저항을 구동하기 위한 출력버퍼로 이루어진다. 모든 회로는 전원전압 노이즈 (power supply noise)나 기판 (substrate) crosstalk과 같은 공통-모드 (common-mode) 노이즈를 제거하기 위하여 완전 차동

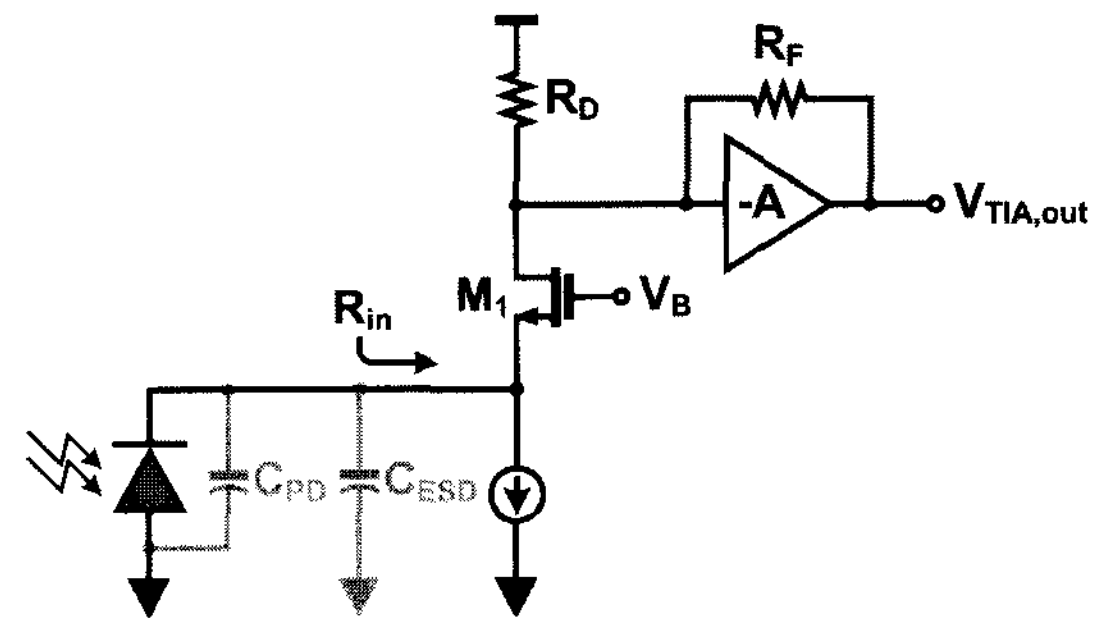


그림 3. 공통게이트 전치증폭기의 간단한 회로도  
Fig. 3. Simplified schematic diagram of CG TIA.

구조로 설계되었으며, 공정상의 매칭 에러에 의해 발생하는 차동 출력의 오프셋을 제거하기 위해 버퍼의 출력을 EQ의 입력으로 피드백 하는 오프셋 제거 네트워크를 구성하였다.

### 2. 회로 설계

#### 가. 트랜스임피던스 증폭기

일반적으로 TIA는 대역폭, 트랜스임피던스 이득, 광민감도 (sensitivity)와 같은 설계 tradeoff를 갖는다. 특히, 포토다이오드 및 ESD protection 다이오드로부터 발생하는 큰 입력 커패시턴스에 의해 대역폭이 제약되기 때문에 본 논문에서는 이 문제를 완화하기 위해 공통-게이트 (common-gate, CG) 입력단을 갖는 TIA를 사용하였다.

그림 3은 CG TIA 입력단의 간단한 회로도를 보여준다. 두 번째 전압이득단은 두 단의 공통-소스 (common-source, CS) 증폭기로 구현되었다. CG TIA의 소신호 입력 저항 ( $R_{in}$ )은  $\sim 1/g_{m1}$ 으로 매우 작은 값을 갖고, 피드백 저항  $R_F$ 는 큰 입력 커패시턴스 ( $C_{PD}+C_{ESD}$ )와 분리되어 dominant pole을 형성하지 않기 때문에, CG TIA는 CS TIA 보다 더 넓은 대역폭 혹은 더 높은 트랜스임피던스 이득을 만족할 수 있다.

위에 제시한 CG TIA를 0.13- $\mu\text{m}$  CMOS 모델 파라미터를 이용하여 HSPICE 시뮬레이션 결과, 3pF의 입력 커패시턴스 환경에서도 1GHz의 대역폭을 갖는다.

나. 이퀄라이저

이퀄라이저는 일반적으로 채널의 제한된 대역폭에 의한 손실을 보상하기 위해 사용되나, 본 연구에서는 앞서 언급한 바와 같이 TIA의 제한된 대역폭을 보상하기 위해 도입되었다. 그림 4는 본 연구에서 설계한 아날로그 이퀄라이저 회로의 단위블록으로  $M_{1,2}$ ,  $R_D$ ,  $R_S$ ,  $C_S$ 로 이루어진 고역통과필터(high-pass filter, HPF)는 capacitive-degenerated 구조를 이용하여 구현되었다. HPF의 트랜스컨덕턴스는 아래 수식 (1)과 같다.

$$G_{mHPF} = \frac{g_{m1,2} \left( s + \frac{1}{R_S C_S} \right)}{s + \left( \frac{1 + g_{m1,2} R_S / 2}{R_S C_S} \right)} \quad (1)$$

가변 커패시터  $C_S$ 를 이용하여 zero를 조절함으로써 고주파 증폭이득의 제어는 가능하며, 이를 통해 PVT 변화에 따른 TIA 주파수특성의 보상을 최적화 할 수 있다. 이때 zero 주파수 위치의 제어는 LA 입출력 신호의 고주파 성분의 파워를 비교하여 피드백 함으로써 이루어진다<sup>[7~8]</sup>. 본 논문에서 가변 커패시터는 각각의 게이트가  $M_1$ 과  $M_2$ 의 소스에 연결된 두 개의 MOS varactor를 이용하여 구현하였다. 이와 같은 source-degenerated 구조에서 고주파 증폭이득을 증가시키기 위해서는 zero와 pole의 비율인  $(1 + g_{m1,2} R_S / 2)$ 을 증가시켜야 하지만, 이 경우 DC 전압이득 또한 같은 비율로 감소하기 때문에 높은 고주파 증폭이득을 얻는데 문제가 있다. 이 문제를 해결하기 위해 네거티브 커패시턴스 (negative capacitance, NC)를 HPF에 적용하였다. 그림 4에서  $M_{3,4}$ ,  $C_C$ , 전류원들로 이루어진 NC 회로는 HPF 출력단에서 바라볼 때 다음과 같은 임피던스를 갖는다.

$$Z_{NC} \cong - \frac{1}{s C_C} \frac{g_{m3,4} + s(C_{gs3,4} + 2C_C)}{(g_{m3,4} - s C_{gs3,4})} \quad (2)$$

따라서 NC 회로는 shunt-peaking 인덕터와 같이 출력 임피던스에 zero를 형성하기 때문에 DC 전압 이득의 손실 없이 HPF의 고주파 증폭 이득을 향상시킬 수 있다.

그림 5는 HPF의 시뮬레이션 결과를 보여준다. NC 회로를 추가하지 않은 HPF의 경우, MOS varactor의

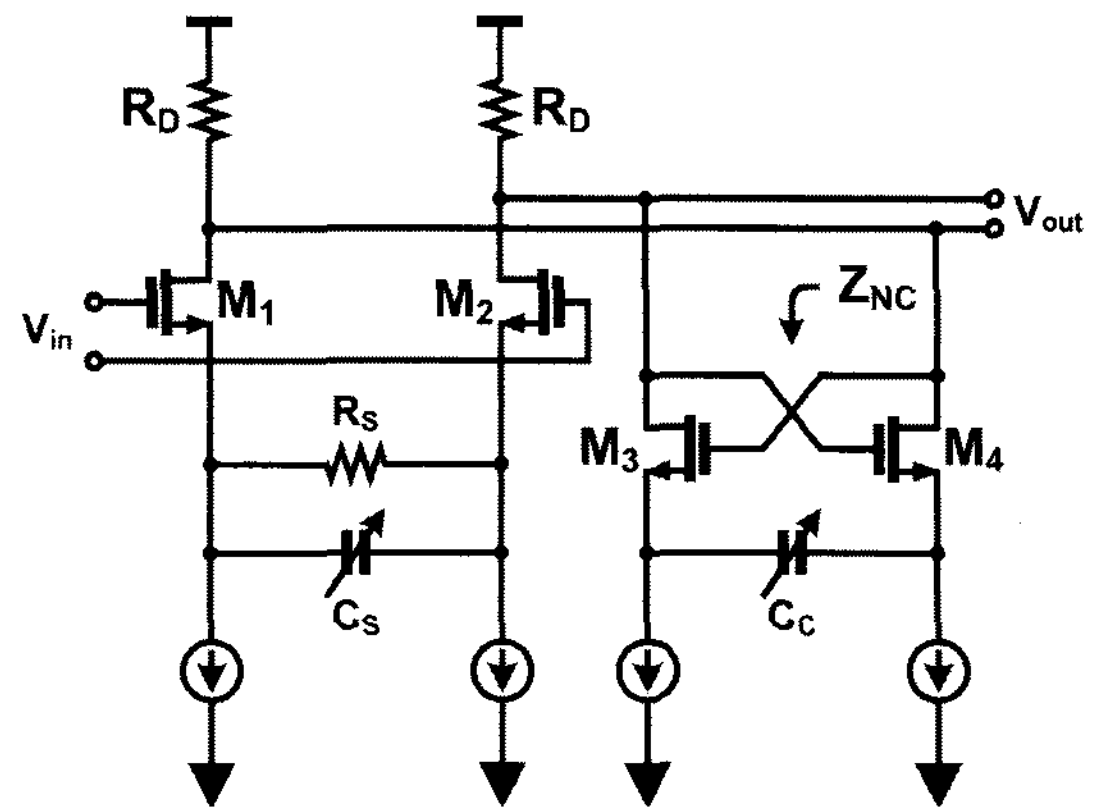


그림 4. 제안한 이퀄라이저 회로의 단위 블록  
Fig. 4. Unit cell of the proposed equalizer circuit.

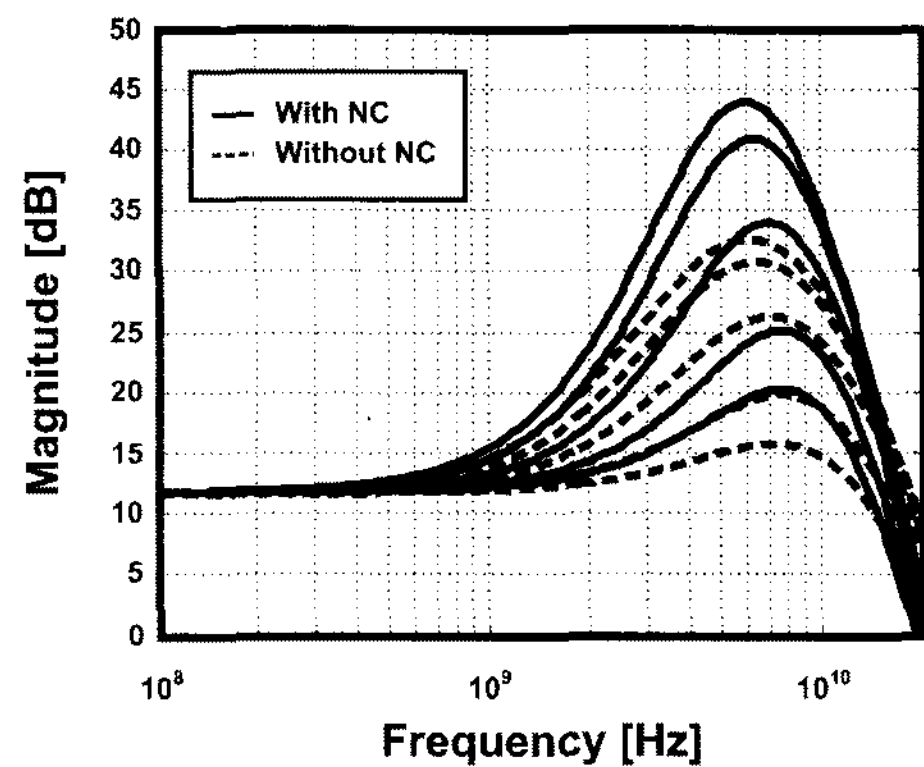


그림 5. 제안한 HPF의 주파수 응답  
Fig. 5. Frequency response of the proposed HPF.

컨트롤 전압에 따라 고주파 증폭이득이 약 17dB 조절 가능하고, 최대 21dB의 고주파 증폭 이득을 갖는 반면, NC 회로가 적용된 HPF의 경우, 단 10%의 전력소모 증가만으로 24dB의 고주파 증폭이득 조절범위와, 32dB의 최대 증폭이득을 갖는다.

다. 리미팅 증폭기

리미팅 증폭기는 높은 전압이득과 넓은 대역폭을 동시에 만족해야 한다. 이를 위해, 수동 소자 인덕터를 사용한 다단 구조가 널리 사용되나, 이는 넓은 면적을 요구하고<sup>[9]</sup>, 이를 해결하기 위해 도입된 능동 (active) 인덕터는 전원전압 보다 높은 전압을 필요로 하는 단점이 있다<sup>[10]</sup>. 따라서 본 연구에서는 네거티브 저항 (negative resistance, NR)과 NC를 사용하여 낮은 전압에서 높은 전압이득과 넓은 대역폭을 동시에 만족하는 리미팅 증폭기를 설계하였다<sup>[11]</sup>.

그림 6(a)는 제안한 리미팅 증폭기의 단위 블록도를 보여준다. [11]에서 NR과 NC를 분리한 것과 달리 제안한 구조에서는 통합된 형태의 네거티브 RC (NRC)를

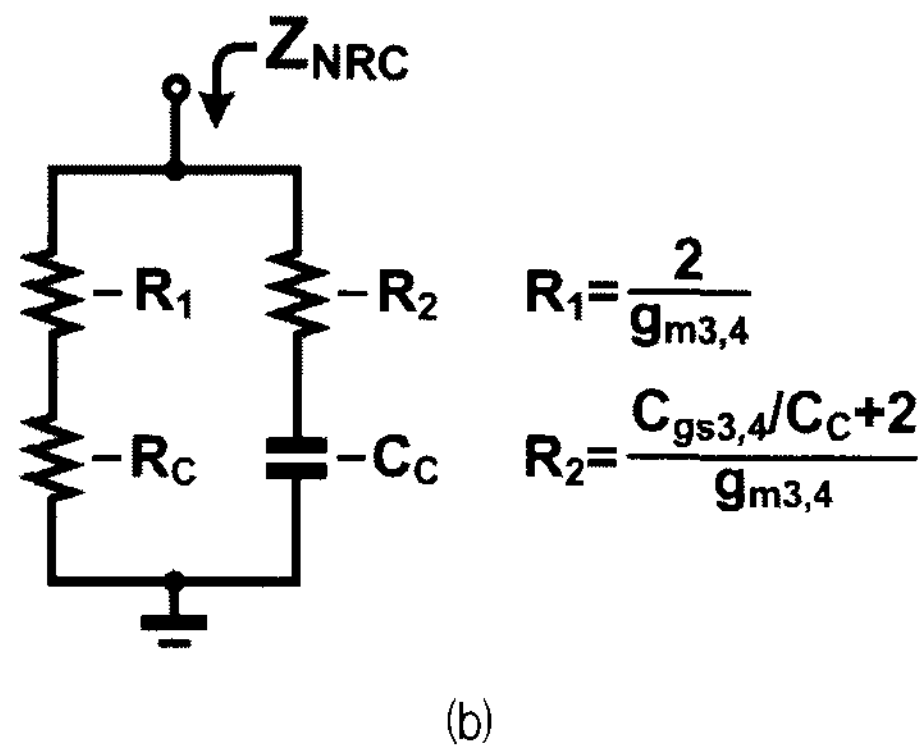
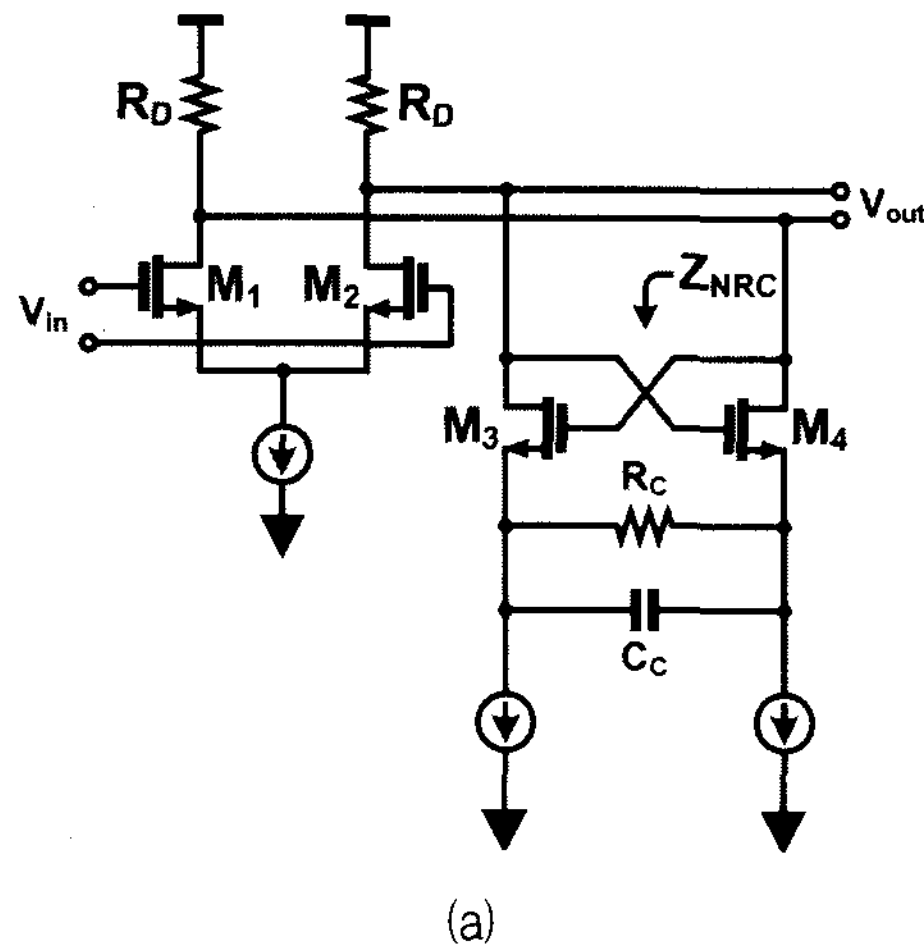


그림 6. (a) 제안한 리미팅 증폭기 단위 블록, (b) NRC 회로의 소신호 등가 모델

Fig. 6. (a) Unit cell of the proposed limiting amplifier, (b) Small signal equivalent model of NRC circuit.

사용하였다. NRC 회로의 출력단에서 바라본 등가 임피던스는 다음과 같다.

$$Z_{NRC} \cong - \frac{(g_{m3,4} + 2/R_C) + s(C_{gs3,4} + 2C_C)}{(g_{m3,4} - sC_{gs3,4})(1/R_C + sC_C)} \quad (3)$$

따라서 제안한 NRC회로는 그림 6(b)와 같이 네거티브 임피던스의 병렬 연결된 형태로 모델링이 가능하고, [11]에서 제안한 NR 및 NC 회로와 같은 기능을 수행한다. 즉, 출력노드에서 NR과 NC에 의해 발생하는 기생 커패시턴스를 줄일 수 있고, NR 회로가 차지하는 전력 소모를 제거할 수 있다. 또한 기존 구조에서는 NR 회로의 출력저항이 gm에 의해서만 결정되기 때문에 전체 회로의 안정성을 고려하여 마진을 두고 설계해야 하지만, 제안한 NRC 회로는 네거티브 저항값이 gm과 RC에 의해서 결정되므로, RC를 조절함으로써 LA의 전체 전압이득은 물론 안정성까지 컨트롤할 수 있는 장점을 갖는다.

### III. 결 과

제안한 광 수신기 회로를 0.13μm CMOS 공정을 이용하여 설계하였고, 그 성능을 표 1에 요약하였다. 그림 7은 설계한 광 수신기의 레이아웃으로 출력버퍼를 포함한 칩 core의 면적은 70μm×1260μm 이다.

그림 8은 전체 광 수신기 회로의 주파수 특성에 대한 포스트-레이아웃 시뮬레이션 결과를 보여준다. EQ와 LA를 포함한 포스트-증폭기 (post-amplifier)는 60dB의 증폭이득을 갖고, TIA 주파수응답에 의해 감소된 고주파 손실 (40dB)을 보상함으로써, TIA의 대역폭을 5.88GHz 로 확장시켰다.

그림 9는 8-Gb/s 동작속도를 갖는 20μA<sub>p-p</sub> PRBS 입력 NRZ 신호에 대한 TIA 회로의 출력 eye-diagram 및 버퍼단의 출력 eye-diagram을 보여준다. 최종 출력 전압의 지터가 8.8ps<sub>p-p</sub>로써 TIA 대역폭 제한에 의해

표 1. 설계된 광 수신기의 성능 요약  
Table 1. Performance summary of the proposed optical receiver.

Process	0.13μm CMOS
Supply	1.5 V
Input data rate	8 Gb/s
Eye-opening	460 mV <sub>p-p</sub> (98.5 %)
Output jitter	8.8 ps <sub>p-p</sub>
Power consumption	70 mW
Transimpedance Gain	120 dBΩ
Bandwidth	5.88 GHz
Core area	70μm × 1260μm

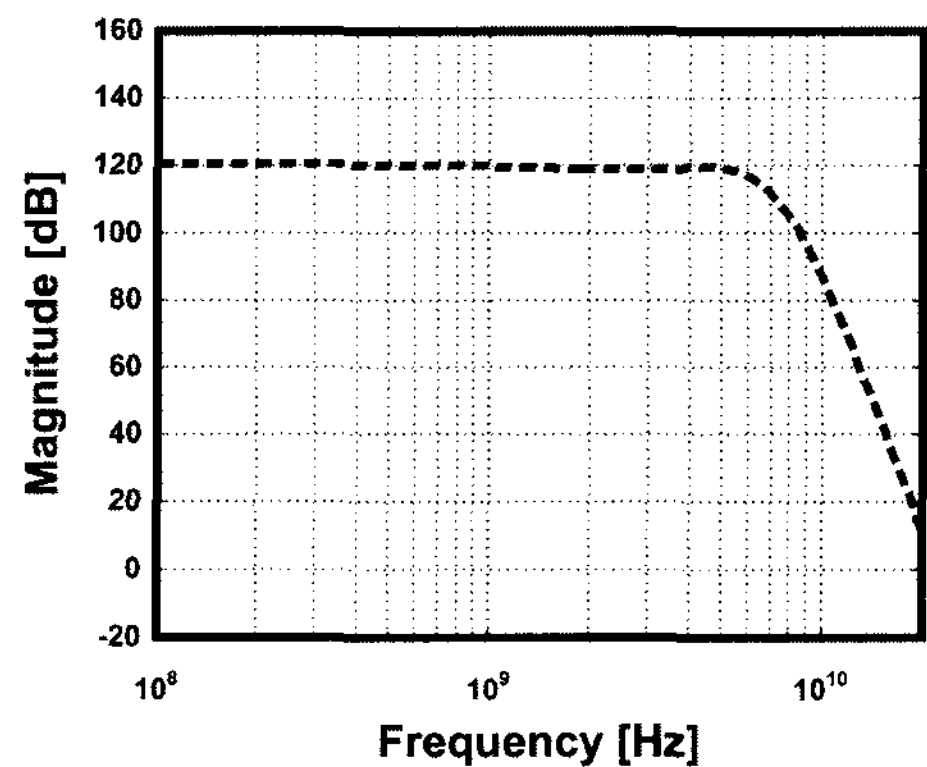


그림 8. 제안한 광 수신기의 주파수 응답  
Fig. 8. Frequency response of the proposed optical receiver.



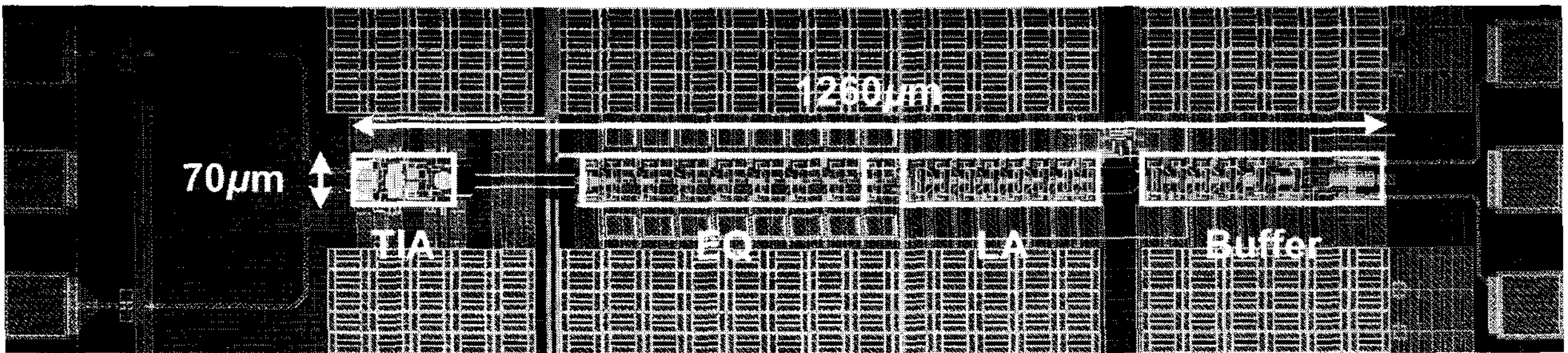
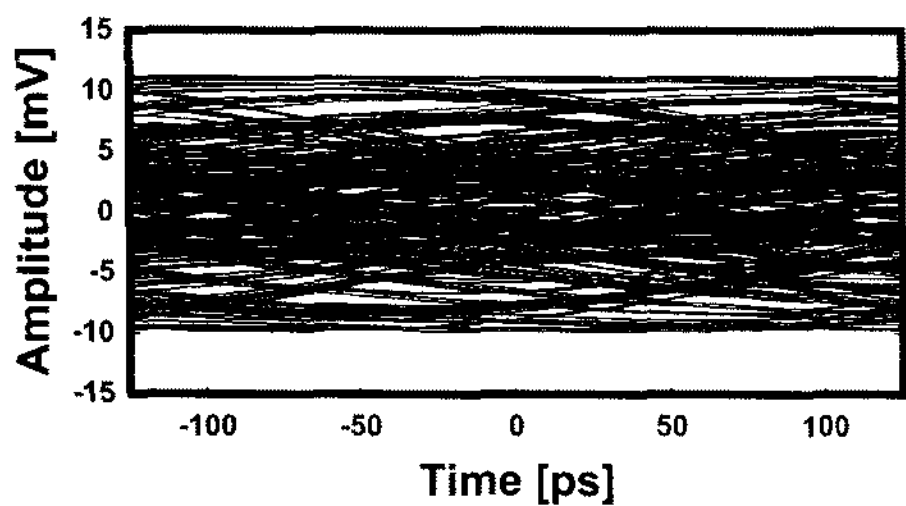
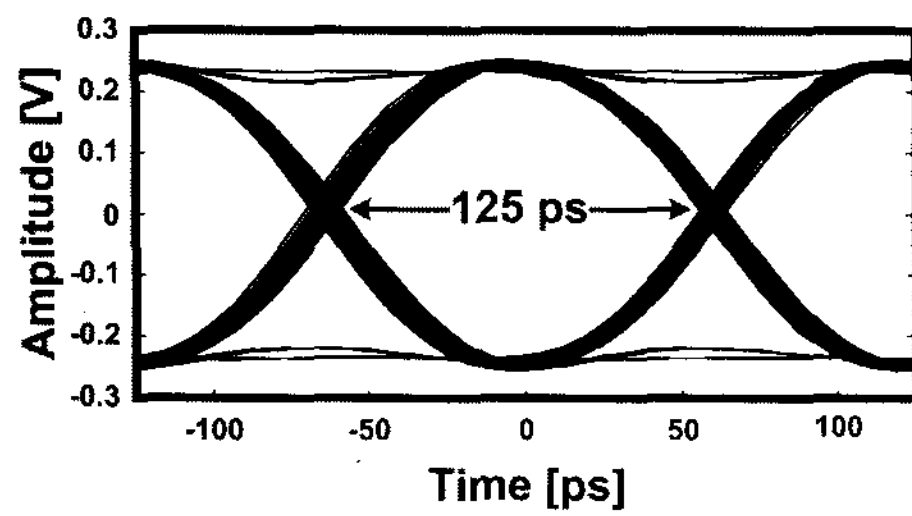


그림 7. 제안한 광 수신기의 칩 레이아웃  
Fig. 7. Chip layout of the proposed optical receiver.



(a)



(b)

그림 9. 8 Gb/s  $20\mu A_{o-p}$  PRBS 입력 신호에 대한 시뮬레이션 결과: (a) TIA 출력 신호 및 (b) EQ와 LA에 의해 복원된 신호

Fig. 9. Eye diagrams for 8Gb/s  $20\mu A_{o-p}$  PRBS input: (a) TIA output signal and (b) recovered signal by the proposed EQ and LA.

표 2. 설계한 광 수신기의 성능 비교  
Table 2. Performance comparison with prior arts.

	[2]	[12]	This work
Function	TIA + AGC + LA	TIA + AGC + LA	TIA + EQ + LA
Process	0.18 $\mu$ m CMOS	0.18 $\mu$ m CMOS	0.13 $\mu$ m CMOS
Power consumption	199 mW (1.8 V)	210 mW (1.8 V)	70 mW (1.5 V)
Inductor Count	7	9	0
Chip size	2 mm <sup>2</sup>	1.85 mm <sup>2</sup>	0.088 mm <sup>2</sup>
GBW	248.5 THz- $\Omega$	135 THz- $\Omega$	5880 THz- $\Omega$

심각하게 발생하였던 ISI 문제를 EQ와 LA에 의해 거의 완벽하게 제거할 수 있음을 보여준다.

표 2는 최근 발표된 단일 칩 광 수신기 회로들과 본 논문에서 제안한 광 수신기의 성능을 비교한다. 제안한 광 수신기는 수동 인덕터 소자를 사용하지 않음으로써, 기존의 구조들에 비해 면적이 훨씬 작고, 이퀄라이저를 통한 고주파 증폭과 리미팅 증폭기의 높은 전압이득으로 인해 5880THz- $\Omega$ 의 매우 높은 gain-bandwidth product (GBW)를 보여준다.

#### IV. 결 론

본 논문에서는 TIA의 대역폭을 보상하기 위해 이퀄라이저를 이용한 단일 칩 광 수신기의 아날로그 회로를 0.13 $\mu$ m CMOS 공정을 이용하여 구현하였다. 포스트-레이아웃 시뮬레이션 결과, 제안한 광 수신기는 TIA의 대역폭을 5.88GHz로 확장시켜 8Gb/s의 전송을 가능하게 하였다. 또한, NRC 리미팅 증폭기를 이용하여 전체 트랜스임피던스 이득을 120dB $\Omega$ 이 되도록 설계하였다. 제안한 광 수신기는 매우 높은 GBW를 유지하면서, 매우 작은 면적과, 전력소모의 장점을 가짐으로써 다양한 멀티미디어 통신시스템에 응용될 것으로 기대한다.

#### 참 고 문 헌

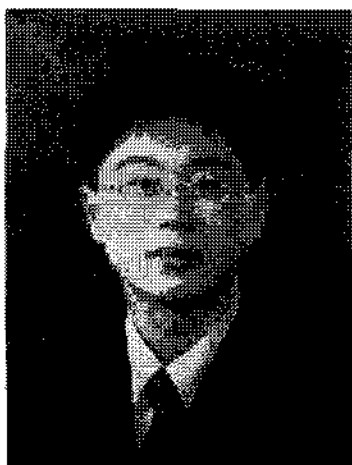
- [1] S. Radovanović, A. Annema, and B. Nauta, "A 3-Gb/s Optical Detector in Standard CMOS for 850-nm Optical Communication," *IEEE J. Solid-State Circuits*, vol. 40, no. 8, pp. 1706-1717, Aug. 2005.
- [2] W. Chen and D. Lin, "A 90-dB $\Omega$  10-Gb/s Optical Receiver Analog Front-End in a 0.18- $\mu$ m CMOS Technology," *IEEE Trans. on VLSI Systems*, vol. 15, no. 3, pp. 358-365, Mar. 2007.
- [3] C. Wu, C. Lee, W. Chen, and S. Liu, "CMOS

- Wideband Amplifiers Using Multiple Inductive-Series Peaking Technique," *IEEE J. Solid-State Circuits*, vol. 40, no. 2, pp. 548-552, Feb. 2005.
- [4] B. Analui and A. Hajimiri, "Bandwidth Enhancement for Transimpedance Amplifiers," *IEEE J. Solid-State Circuits*, vol. 39, no. 8, pp. 1263-1270, Aug. 2004.
- [5] W. Chen and R. Gan, "1.8V, Variable Gain Transimpedance Amplifiers with Constant Damping Factor for Burst-Mode Optical Receiver," *IEEE RFIC Symposium*, 2005.
- [6] C. Y. Wang, C. S. Wang, and C. K. Wang, "An 18-mW Two-Stage CMOS Transimpedance Amplifier for 10 Gb/s Optical Application," *IEEE ASSCC*, Jeju, Korea, 2007.
- [7] J. N. Babanezhad, "A 3.3-V analog adaptive line-equalizer for fast ethernet data connection," in *Proc. IEEE CICC*, May 1998, pp. 343-346.
- [8] G. P. Hartman, K. W. Martin, and A. McLaren, "Continuous-time adaptive-analog coaxial cable equalizer in 0.5 $\mu$ m CMOS," in *Proc. ISCAS*, 1999, pp. 97-100.
- [9] S. Galal and B. Razavi, "10-Gb/s Limiting Amplifier and Laser/Modulator Driver in 0.18- $\mu$ m CMOS Technology," *IEEE J. Solid-State Circuits*, vol. 38, no. 12, pp. 2138-2146, 2003.
- [10] E. Sacking and W. C. Fischer, "A 3-GHz 32-dB CMOS Limiting Amplifier for SONET OC-48 Receiver," *IEEE J. Solid-State Circuits*, vol. 35, no. 12, pp. 1884-1888, Dec. 2000.
- [11] K. Yoo, D. Lee, G. Han, S. Park, and S. W. Oh, "A 1.2V 5.2mW 40dB 2.5Gb/s Limiting Amplifier in 0.18 $\mu$ m CMOS Using Negative Impedance Compensation," *IEEE ISSCC*, San Francisco, CA, USA, Feb. 2007, pp. 23-24.
- [12] W.-Z. Chen, Y.-L. Cheng, and D.-S. Lin, "A 1.8V, 10Gbps fully integrated CMOS optical receiver analog front end," *IEEE J. Solid-State Circuits*, vol. 40, no. 6, pp. 1388-1396, Jun. 2005.

---

 저 자 소 개
 

---



이동명(학생회원)

2003년 연세대학교 전자공학과 학사졸업.

2005년 연세대학교 전자공학과 석사졸업.

2008년 현재 연세대학교 전자공학과 박사과정.

<주관심분야 : 초고속 시리얼 인터페이스용 아날로그 회로설계, 이퀄라이저, CDR>

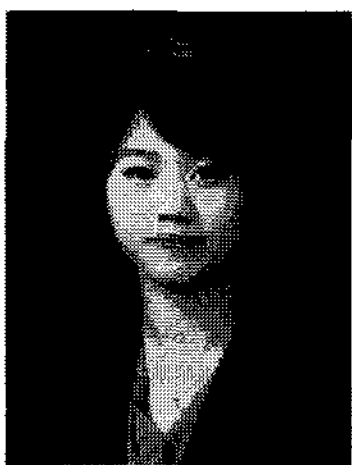


최부영(학생회원)

2007년 이화여자대학교 정보통신학과 학사졸업.

2008년 현재 이화여자대학교 전자공학과 석사과정.

<주관심분야 : 초고속 아날로그 및 디지털 인터페이스 회로설계>

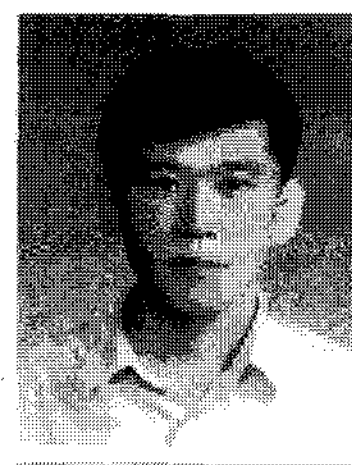


한정원(학생회원)

2007년 이화여자대학교 정보통신학과 학사졸업.

2008년 현재 이화여자대학교 전자공학과 석사과정.

<주관심분야 : 초고속 아날로그 및 디지털 인터페이스 회로설계>



한건희(평생회원)

1990년 연세대학교 전자공학과 학사졸업.

1997년 텍사스 A&M 전자공학과 박사졸업.

1998년 연세대학교 전자공학과 조교수.

2008년 현재 연세대학교 전자공학과 부교수.

<주관심분야 : CMOS Image Sensor, 초고속 아날로그 회로설계, 초저전력  $\Delta$ - $\Sigma$  모듈레이터>



박성민(평생회원)

1993년 한국과학기술원 전기 및 전자공학과 학사졸업.

1994년 런던대학교 전자공학과 석사 졸업.

2000년 임페리얼 공대 전자공학과 박사 졸업.

2008년 현재 이화여자대학교 전자공학과 조교수.

<주관심분야 : 초고속 아날로그/RF 회로 설계>