

논문 2008-45SD-6-7

스캔입력 변형기법을 통한 새로운 저전력 스캔 BIST 구조

(A New Low Power Scan BIST Architecture Based on Scan Input Transformation Scheme)

손 현 욱*, 김 유 빈*, 강 성 호**

(HyeonUk Son, Youbean Kim, and Sungho Kang)

요 약

일반적으로 자체 테스트 동작은 입력 벡터들 사이에 상호 연관성이 없기 때문에 더 많은 전력을 소비하는 것으로 알려져 있다. 이러한 점은 회로에 손상을 유발할 뿐 아니라 배터리 수명에도 악영향을 미치기 때문에 반드시 해결되어야 할 과제 중 하나이다. 이를 위해 본 논문에서는 새로운 방식의 BIST(Built-In Self Test) 구조를 제안하여 테스트 동작에서의 천이를 감소시키고, 이를 통해 전력소모를 줄이고자 한다. 제안하는 구조에서는 LFSR(Linear Feedback Shift Register)을 통해 생성되는 pseudo-random 테스트 벡터가 스캔 경로로 들어가기 전에 3 bit씩 모아 더 적은 천이를 가지는 4 bit의 패턴으로 변형한다. 이러한 변형과 그에 대한 복원 과정은 기존의 스캔 BIST 구조에서 Bit Generator와 Bit Dropper라는 모듈을 추가하여 간단히 구현하였다. 제안하는 구조를 ISCAS'89 benchmark 회로에 적용한 결과 약 62%의 천이 감소를 확인하였고, 이를 통해 제안하는 구조의 효율성을 검증하였다.

Abstract

Power consumption during test can be much higher than that during normal operation since test vectors are determined independently. In order to reduce the power consumption during test process, a new BIST(Built-In Self Test) architecture is proposed. In the proposed architecture, test vectors generated by an LFSR(Linear Feedback Shift Register) are transformed into the new patterns with low transitions using Bit Generator and Bit Dropper. Experiments performed on ISCAS'89 benchmark circuits show that transition reduction during scan testing can be achieved by 62% without loss of fault coverage. Therefore the new architecture is a viable solution for reducing both peak and average power consumption.

Keywords : Low power BIST, Scan BIST architecture, Power reduction scheme

I. 서 론

일반적으로 테스트 동작의 전력소모는 일반 동작에 비해 훨씬 크다고 알려져 있다.^[1] 이는 회로의 입력이 일반 동작에서는 정렬되어 있는 반면, 테스트 동작에서는 모두 독립적으로 결정되기 때문이다. 즉, 입력 벡터들 사이에 상호 연관성이 없는 테스트 동작에서는 회로 내부에서 많은 천이가 발생하게 되고, 이로 인해 더 큰 전력을 소모하게 되는 것이다.^[2~3]

테스트 동작의 이러한 전력소모는 여러 문제점을 야

기하는데, 가장 문제가 되는 것은 배터리 수명의 단축이다. 최근 배터리를 사용하는 휴대용 장비가 늘어나면서 배터리 수명에 대한 관심은 점차 높아지고 있는데, 주기적인 자가 진단을 수행하는 BIST 회로의 경우 이러한 전력소모가 크다는 점에서 문제가 될 수 있다.

이 밖에도 전력소모의 증가, 특히 순간 전력의 증가는 회로 내부에 많은 열을 발생시키고, 이는 회로의 안정성을 떨어뜨리는 주요인으로 작용한다. 이를 해결하기 위해서는 추가적인 장치의 사용이 불가피한데, 많은 전자제품들이 점점 소형화되고 가격을 낮추기 위한 노력이 동반되면서 이러한 장치의 사용은 또 다른 문제점을 야기할 수 있다.^[4]

이러한 이유로 테스트 동작에서의 저전력 회로설계

* 학생회원, ** 평생회원, 연세대학교 전기전자공학과
(School of Electrical & Electronic Engineering,
Yonsei University)

접수일자: 2007년4월1일, 수정완료일: 2008년5월26일

는 매우 중요하게 다루어져야 하는 문제이다. 특히 대부분의 SoC(System on Chip) 테스트에서 BIST의 수행이 실질적으로 실행 가능한 유일한 해결책으로 인식되고 있기 때문에, 저전력 BIST 회로의 설계에는 많은 노력이 요구되고 있다.^[5~7] 이에 대해 기존 연구에서도 저전력 BIST 회로를 위한 다양한 기법들이 제시되었다. [8]에서는 전력 소모를 줄이기 위해 새로운 스캔 분할 구조를 제시하고 있다. [8]의 구조는 입력 벡터가 스캔 경로로 입력되는 과정에서 하나의 스캔 경로만이 활성화되기 때문에 또 다른 스캔 경로에서의 전력소모를 막을 수 있다는 특징을 가진다. 이와 더불어 테스트 수행 시간의 증가 없이 전력소모를 감소시킬 수 있다는 것도 이 구조의 장점이다. 하지만 입력 벡터에 의해 발생하는 전체 천이의 개수에 변화가 없다는 점은 이 구조가 가지는 한계로 작용한다.

앞서 언급한 사항에 대해 본 논문에서는 저전력 테스트를 위한 새로운 스캔 BIST 구조를 제안한다. 기본적인 스캔 구조에 2개의 부가모듈, Bit Generator와 Bit Dropper가 추가되어 있는 본 구조에서는 고장 검출률의 감소 없이 천이의 개수를 줄일 수 있는 장점이 있다. 또한, 적은 면적으로 쉽게 구현 가능한 Bit Generator와 Bit Dropper 모듈이 전체적인 스캔 구조를 변화시키지 않고도 정상적인 기능을 수행할 수 있다는 점 또한 이 구조가 널리 활용될 수 있는 이유가 된다.

이후의 논문은 다음과 같이 구성된다. II장에서는 전체적인 구조를 설계하기 위해 제안하는 스캔입력 변형 기법에 대해 설명한다. III장에서는 제안하는 구조와 전체 동작이 이루어지는 과정에 대해 설명하고, IV장에서는 그에 대한 시뮬레이션 결과를 제시한다. 마지막으로 V장에서는 전체의 내용을 마무리한다.

II. 제안하는 스캔입력 변형기법

이번 장에서 제안하는 기법은 스캔 경로에서 발생하는 천이의 감소를 목적으로 한다. 스캔 경로 내부에서 인접한 두 스캔 입력이 서로 다른 값을 가지는 경우에 발생하는 천이는 전체 테스트 전력의 증가에 높은 비중을 차지한다. 따라서 제안하는 기법은 이러한 천이 감소를 통해 테스트 과정에서 발생하는 전력소모를 줄이는 데에 크게 기여할 수 있다.

제안하는 스캔입력 변형기법은 스캔 입력벡터를 일정한 bit 단위로 모아 그것을 천이가 적게 발생하는 형태로 변형하는 것을 기본 개념으로 한다. 이러한 변형

은 스캔 입력벡터가 스캔 경로로 입력되는 시점에 이루어지고, n bit의 입력을 더 적은 천이의 $(n+1)$ bit로 출력한다. n bit의 입력을 $(n+1)$ bit로 변형할 때, 변형된 $(n+1)$ bit 패턴이 기존에 비해 적은 천이를 포함하고 있어야 한다는 것은 $(n+1)$ bit 패턴이 가지는 2^{n+1} 의 경우에서 천이가 적은 2^n 개를 선택하여 입력 패턴과 매핑시켜야 한다는 것을 의미한다.

다음으로 생각해야 하는 것은 가장 높은 천이 감소비율을 가지는 n 값이다. 일반적으로 n bit의 패턴이 가지는 전체 천이에서 $(n+1)$ bit의 패턴 중 천이가 적은 2^n 개를 선택한 경우의 천이를 빼면 그 값은 2^{n-2} 로 수렴한다. 이를 패턴의 길이 n 과 전체 패턴의 개수, 2^n 으로 나누면 1 bit에 대한 천이 감소비율(R)을 구할 수 있는데, 그 값은 (1)을 통해 확인할 수 있다. 즉, 천이 감소비율은 n 값에 반비례한다는 것을 알 수 있고, n 값을 보다 작게 잡는 것이 천이감소에 유리하다는 결론을 얻을 수 있다.

$$R = \frac{2^{(n-2)}}{2^n \cdot n} = \frac{1}{4n} \quad (n \geq 3) \quad (1)$$

(1)에서 $n = 2$ 인 경우에 그 결과가 유효하지 않다는 것은 표 1을 통해 확인할 수 있다. 즉, 표 1에서 $4(2^2)$ 가지 경우의 2 bit 스캔입력을 3 bit로 변형하는 경우에 (1)의 결과와는 달리 천이의 개수에 아무런 변화가 없다는 것을 알 수 있다.

결론적으로 3 bit의 스캔입력을 4 bit로 변환할 때, 천이감소 비율이 최대가 된다는 것을 알 수 있고, 이러한 결과는 표 2에 나타나 있다. 즉, 제안하는 기법에서는 전체 24 bit의 입력에 대해 2 만크의 천이를 감소시킴으로써, $\frac{1}{12}$ 의 천이 감소 비율을 가지는 것을 알 수 있다. 다음 장에서 제안하는 구조 역시 표 2의 변환을 바

표 1. 2-bit의 스캔 입력벡터를 3-bit로 변형한 결과
Table 1. Transformation results of 2-bit scan input vectors into 3-bit.

입력벡터 (천이의 개수)	변형된 입력벡터 (천이의 개수)	천이 개수 변화
00 (0)	000 (0)	0
01 (1)	011 (1)	0
01 (1)	001 (1)	0
11 (0)	111 (0)	0

표 2. 3-bit의 스캔 입력 벡터를 4-bit로 변형한 결과 (최적 조건)

Table 2. Transformation result of 3-bit scan input vector into 4-bit (optimum).

입력벡터 (천이의 개수)	변형된 입력벡터 (천이의 개수)	천이 개수 변화
000 (0)	0000 (0)	0
001 (1)	0011 (1)	0
010 (2)	0001 (1)	-1
011 (1)	0111 (1)	0
100 (1)	1000 (1)	0
101 (2)	1110 (1)	-1
110 (1)	1100 (1)	0
111 (0)	1111 (0)	0

탕으로 한다.

본 논문에서는 스캔입력 변형기법을 통해 천이의 개수를 줄이는 것뿐만 아니라 각각의 천이가 회로에 미치는 영향에 대해서도 고려한다. 회로의 동작에서 각각의 천이는 전력 소모에 미치는 영향이 모두 다른데, 각각의 천이가 회로에 미치는 영향을 고려하여 높은 영향의 천이를 감소시키는 것이 전력감소에서 보다 유리하다. 스캔 BIST 구조의 입력에서는 먼저 입력되는 값이 나중에 입력되는 값보다 스캔 경로 내에서 쉬프트 되어 이동하는 시간이 길고, 그만큼 회로에 더 큰 영향을 미치게 된다. 다음 장에서 제안하는 구조에서는 이러한 천이의 영향력(transition weight)이 높은 입력 값에 대해 우선적으로 스캔 입력 변형 기법을 적용함으로써 보다 효율적인 천이의 감소가 일어날 수 있도록 한다.

III. 제안하는 스캔 BIST 구조

앞 장에서 설명한 기법을 바탕으로 본 논문에서 제안하는 저전력 스캔 BIST 구조는 그림 1과 같다. 그림 1의 구조에서는 기존의 스캔 BIST 구조에 Bit Generator와 Bit Dropper 모듈을 추가하여 저전력 테스트가 이루어지도록 한다. 그림 1은 2개로 분할된 스캔 경로에 대해 적용된 예를 나타내지만, 보다 여러 개로 분할된 경우 또는 다중스캔 구조에서도 제안하는 구조를 동일하게 적용할 수 있다.

Bit Generator의 역할은 이전 장에서 소개한 스캔입력 변형기법을 수행하는 것이다. 즉, 스캔 경로로 들어가는 입력벡터를 3-bit씩 모아서 레지스터에 저장하고 이렇게 저장된 3-bit의 입력 벡터를 4-bit의 천이 감소 패턴으로 변형한다. 이를 통해 실제 스캔경로에는 천이 감소 패턴이 입력되고, 이를 통해 스캔경로에서 발생되는 전력소모를 줄일 수 있다.

Bit Dropper는 Bit Generator에 의해 변형된 입력 벡터를 원래대로 복원하는 기능을 한다. 즉, Bit Dropper로 인해 CUT(Circuit Under Test)에 테스트 패턴이 인가될 때에는 변형을 거치지 않은 원래의 패턴이 인가되는데, 이는 제안하는 구조가 고장검출률을 그대로 유지할 수 있는 요인이 된다.

그림 1에서 Bit Dropper 모듈은 하나의 스캔 경로를 들로 나눈 사이에 위치한다. 즉, scan #1-1의 마지막 4-bit는 scan #1-2로 쉬프트 되기 전에 Bit Dropper를 거치게 되는데, 이를 통해 입력벡터의 변형된 값에 대한 복원이 이루어진다. 이러한 과정은 새로운 입력이 스캔경로에 채워지는 3클럭 주기 동안에 진행되고, 이후 복원된 3 bit 값이 scan #1-2로 입력된다. 그 결과

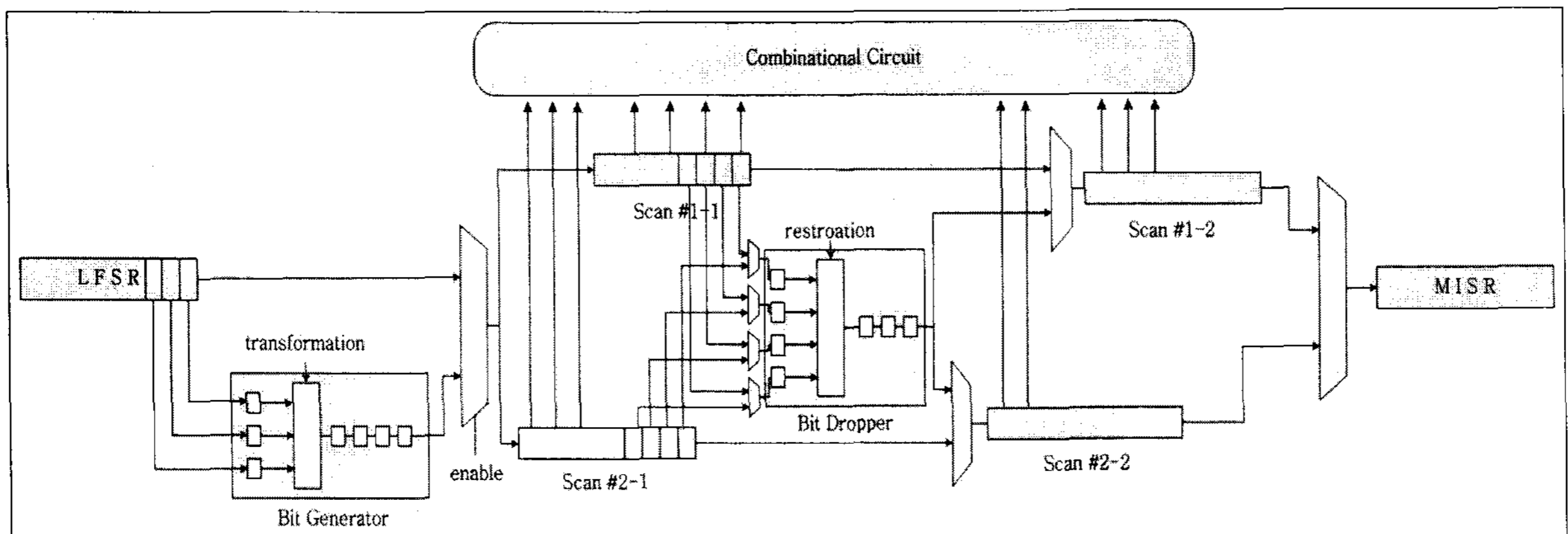


그림 1. 제안하는 스캔 BIST 구조

Fig. 1. The proposed scan BIST architecture.

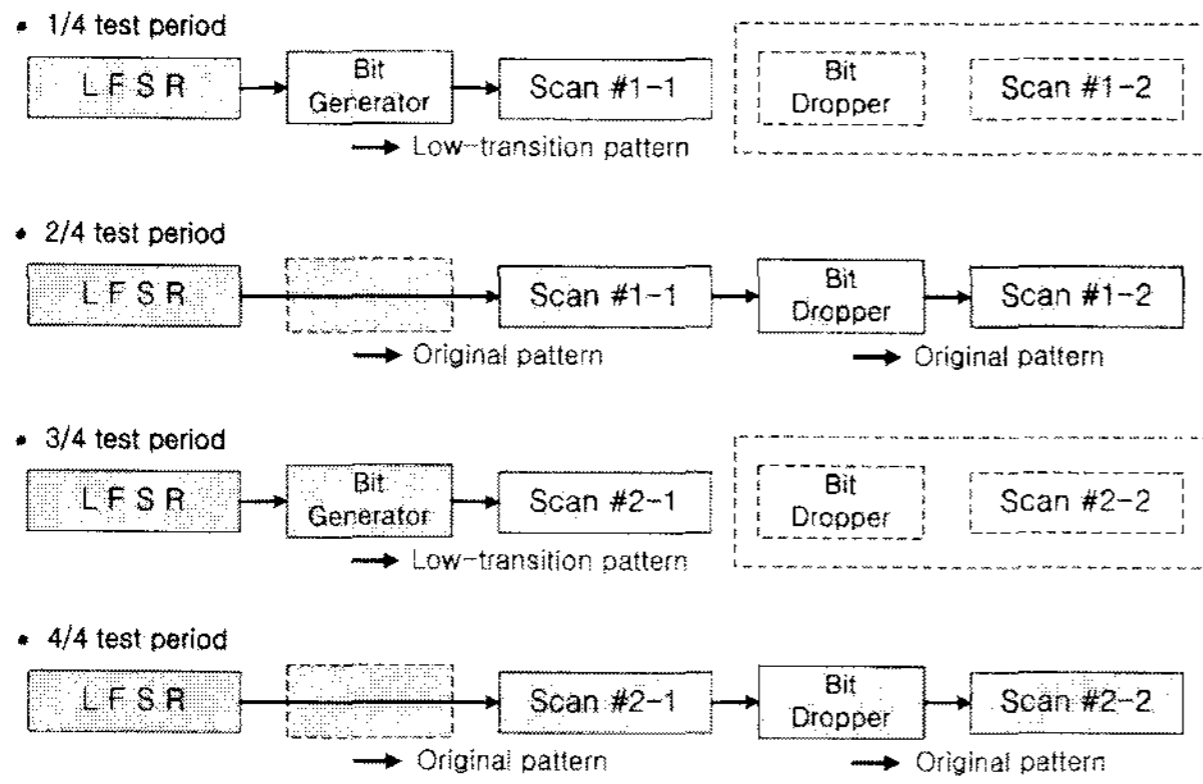


그림 2. 테스트 주기에 따른 각 부분의 동작 묘사
 Fig. 2. Operation of proposed architecture for each test period.

Bit Dropper를 거친 이후의 스캔 경로에는 변형되지 않은 값들이 적용되는데, 이에 대해 scan #1-2, scan #2-2에서는 천이의 감소를 이룰 수는 없지만 전체적인 고장 검출률의 손실 없이 테스트를 진행할 수 있게 된다.

그림 1의 enable 신호는 테스트 패턴을 천이 감소 형태로 변형할 것인지, 원래의 형태를 유지할 것인지를 결정한다. 앞서 설명한 것처럼 scan #1-1과 scan #2-1의 스캔 입력 값은 Bit Generator에 의해 변형되지 않고 스캔 셀에 입력되는데, enable 신호를 통한 이러한 동작이 전체 테스트과정을 구분 짓는 역할을 한다. enable 신호에 의한 스캔입력의 변화는 그림 2와 같다. 즉, 하나의 테스트 벡터가 스캔 셀에 입력되는 동안에 그림 2에 나타난 동작을 반복하게 되고, 이를 통해 원래의 패턴을 유지하며 테스트가 수행되는 것이다.

결과적으로 Bit Generator에 의해 변형되는 스캔입력 값은 scan #1-2, scan #2-2의 입력 값에 제한되므로, 전체 스캔입력의 1/2에 해당한다. 하지만 Bit Generator에 의해 변형되는 스캔입력 값은 스캔경로 내에서 또 다른 천이를 만들어내기 때문에 전체 천이 감소의 효과는 이보다 높게 나타난다. 또한 천이의 영향이 높은 scan #1-2, scan #2-2의 입력에 대해 천이를 감소시킨다는 것은 본 구조가 전력감소에 효과적인 이유 중 하나이다.

제안하는 구조에서 하나의 스캔 경로는 Bit Dropper에 의해 두 부분으로 나뉘진다고 앞서 설명하였다. 이때 scan #1-1은 Bit Generator에 의해 변형된 4 bit의 입력을, scan #1-2는 다시 Bit Dropper에 의해 복원된 3 bit의 입력을 받는다. 이러한 점은 두 스캔 경로, scan #1-1과 scan #1-2의 길이가 서로 달라야 하는 것을 의미하는데, 입력의 길이 비인 4:3으로 설정할 때 전체 동

작이 기존의 스캔 BIST 구조와 동일하게 이루어질 수 있다. 이 점은 scan #2-1과 scan #2-2에도 동일하게 적용된다. scan #1-1, scan #2-1의 길이가 1/3만큼 늘어난 것은 전체 스캔 경로의 길이가 기존에 비해 1/6 만큼 증가하게 되는데, CUT의 크기가 클수록, 그리고 전체 입력벡터의 수가 늘어날수록 이것이 차지하는 전체 하드웨어 비율은 줄어들게 된다.

IV. 시뮬레이션 결과

제안하는 구조의 효율성을 검증하기 위해 ISCAS'89 benchmark 회로에 제안하는 구조를 적용하여 시뮬레이션을 수행하였다. 시뮬레이션은 C언어를 통해 이루어졌고, 이를 통해 단일 스캔체인에서 스캔경로 내의 천이가 얼마만큼 감소하는지 측정하였다.

제안하는 구조는 기본적인 스캔구조와 동일한 역할을 수행하기 때문에 pseudo-random 테스트 벡터와 deterministic 테스트 벡터에 대해 모두 적용 가능하다. 하지만 실제로 전력소모는 대부분 pseudo-random 테스트 벡터에 대해 발생한다는 점을 고려하여 본 논문에서는 pseudo-random 벡터에 대한 시뮬레이션을 수행하였다. 이러한 pseudo-random 벡터는 LFSR을 통해 생성하였고, 패턴의 개수는 1,000개로 고정하였다. 제안하는 구조가 고장검출률의 감소 없이 테스트가 가능하기 때문에 고장검출률에 대한 시뮬레이션은 추가하지 않았다.

스캔 분할의 수(sp)를 2, 3, 4로 변화시키면서 천이 감소 비율을 측정한 시뮬레이션 결과는 표 3에 정리되어 있다. 일반적인 스캔 BIST 구조에서 발생하는 천이 수와 제안하는 구조의 천이 수를 비교해본 결과, 스캔 경로의 분할 수(sp)가 2인 경우를 기준으로 평균 62.23%의 천이가 감소하는 것을 확인하였다.

표 3의 결과와 같이 스캔 분할의 개수를 늘리는 경우에 더 큰 천이의 감소가 가능한 것을 확인할 수 있다. 즉, sp=3인 경우 평균 75.5%, sp=4인 경우에는 81.95%의 천이가 기존에 비해 감소하게 된다. 하지만 스캔 분할의 수를 늘리는 것은 하드웨어 구조의 복잡도를 증가시키고, 여러 디자인 룰의 제약을 받는다는 점에서 문제가 될 수 있다. 이러한 하드웨어의 복잡도는 스캔 경로가 늘어남에 따라 증가하는 트랜지스터의 비율로 나타낼 수 있는데, 이에 대한 결과가 그림 3에 나타나 있다.

그림 3에서 하드웨어의 복잡도는 스캔 분할의 수와

표 3. 제안하는 구조에 대한 천이 감소 비율
Table 3. Transition reduction ratio of proposed architecture.

회로	스캔 경로의 분할 개수(sp)에 대한 천이감소 비율(%)		
	sp=2	sp=3	sp=4
s1423	63.60	77.42	83.54
s5378	62.85	75.94	82.59
s9234	62.03	75.19	82.01
s13207	61.45	74.68	80.92
s38417	61.23	74.28	80.68
평균	62.23	75.50	81.95

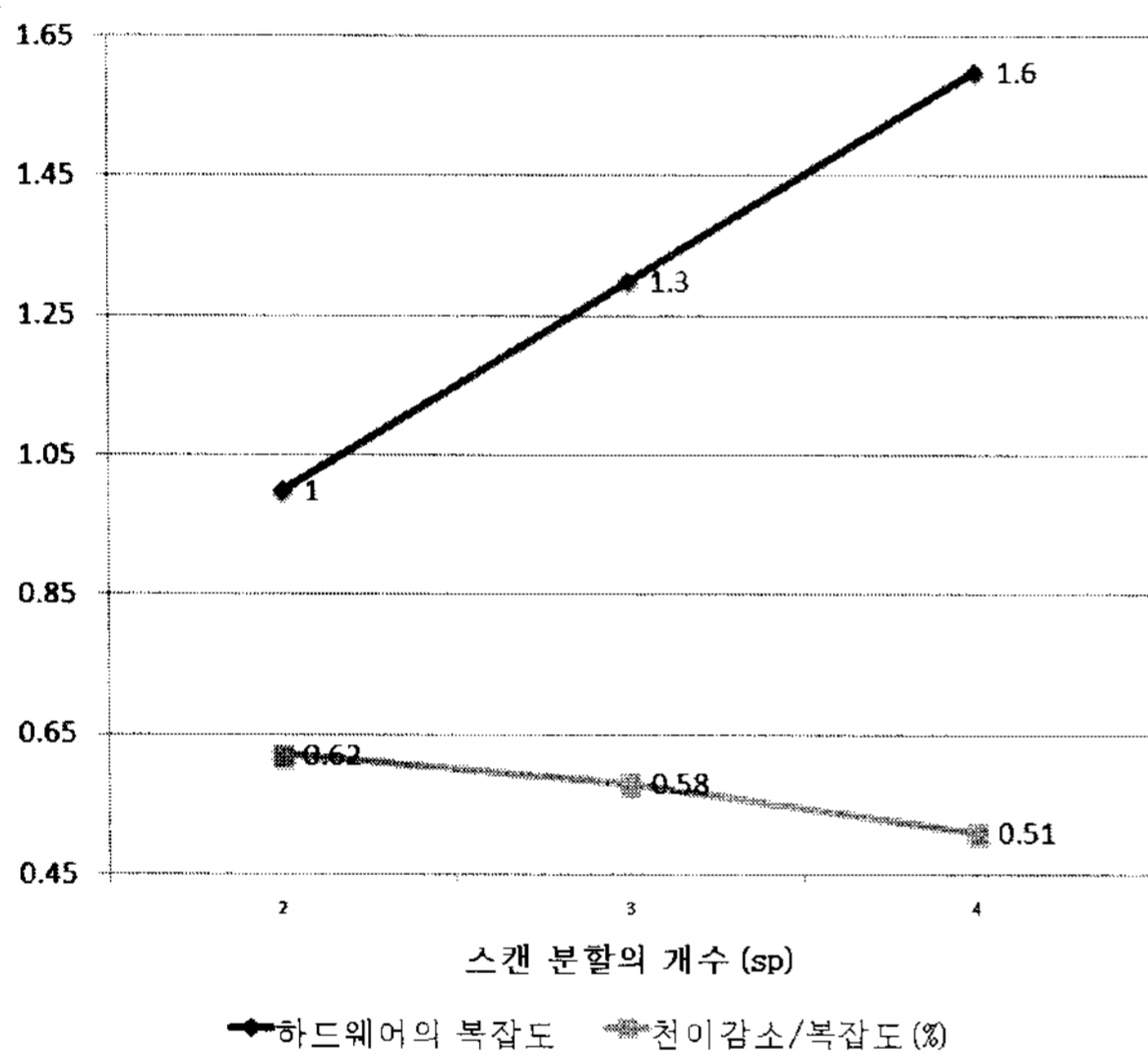


그림 3. 스캔 경로의 분할 개수에 따른 하드웨어 복잡도

Fig. 3. Hardware complexity with regard to the number of scan partition.

비례하여 증가한다. 이러한 하드웨어 복잡도와 천이의 감소를 동시에 비교하기 위해 표 3의 결과를 이용하여 (천이감소/복잡도) 값을 측정하였다. 그 결과는 그림 3에 나타나 있는데, 스캔 분할의 개수가 늘어남에 따라 그 값이 점차 감소하는 것을 확인할 수 있다. 즉, 이러한 결과는 천이 감소의 비율보다 복잡도의 증가가 더 크게 작용한다는 것을 나타내고, 하드웨어의 복잡도를 감안한다면 sp = 2인 구조가 가장 효율적이라는 결론을 내릴 수 있다.

제안하는 구조는 [8]의 실험 결과와의 비교를 통해서도 그 효율성을 검증할 수 있다. [8]에서 제안하는 구조는 ISCAS'89 benchmark 회로에 대해 평균 41.73%의 전력을 감소시키는데, 이에 비해 약 62%의 천이가 감소

하는 이 논문의 구조가 전력감소에 훨씬 더 효율적임을 알 수 있다.

또한, 실험한 모든 회로에서 거의 동일한 결과를 얻을 수 있다는 점은 나머지 ISCAS'89 benchmark 회로에 대해서도 동일한 결과를 예측을 가능하게 한다. 이는 제안하는 BIST 구조가 입력벡터 길이에 대한 제약이 없고, 기본적인 스캔 구조와 동일한 동작을 수행하기 때문이다.

V. 결 론

테스트과정에서 소모되는 전력의 감소는 휴대용 장비가 늘어나는 가운데 배터리 수명을 연장시키고, 회로 동작의 안정성을 증가시키며, 테스트 비용을 감소시킨다. 이와 더불어 스캔 BIST구조의 테스트에서는 각각의 스캔 입력벡터가 스캔 경로를 통과하면서 과도한 천이 동작을 일으키므로 더 많은 전력을 소모하게 된다.

이런 이유로 본 논문에서는 테스트 과정에서 발생하는 천이의 수를 줄임으로써 dynamic power를 감소시키는 간단하면서도 효과적인 구조를 소개하고 있다. 제안하는 구조에서는 Bit Generator와 Bit Dropper를 기존의 추가하여 입력벡터가 스캔 경로로 들어가는 시점에서는 적은 천이가 발생하도록 변형하고, CUT로 입력되는 시점에서는 다시 원래의 형태로 복원한다. 이러한 역할을 수행하는 Bit Generator와 Bit Dropper는 구현이 쉽고 비교적 적은 하드웨어 면적으로 구현할 수 있다.

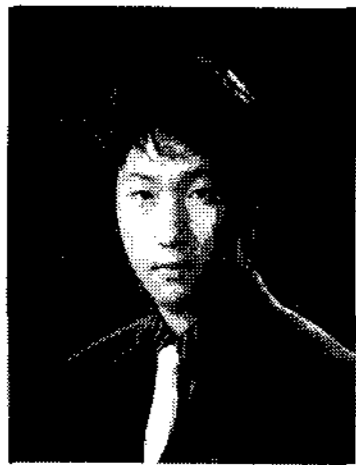
ISCAS' 89 benchmarks 회로를 통한 시뮬레이션 결과는 모든 회로에 대하여 약 62%의 천이 비율 감소를 나타내고 있다. 이러한 높은 비율의 천이 감소가 고장 검출률을 감소시키지 않는다는 점은 제안하는 구조의 가장 큰 장점이다. 하지만 테스트 시간을 증가시키고 추가의 스캔 플립플롭을 사용한다는 점은 이 구조의 개선 필요성을 나타내고 있다.

참 고 문 헌

- [1] Swarup Bhunia, Hamid Mahmoodi, Debjyoti Ghosh, and Kaushik Roy, "Power Reduction in Test-Per-Scan BIST with Supply Gating and Efficient Scan Partitioning," in Proc. of IEEE International Symposium on Quality Electronic Design, pp.435-458, 2005.
- [2] He Ronghui, Xiaowei, and Gong Yunzhan, "A

- Low Power BIST TPG Design,” in Proc. of IEEE ASIC/SOC Conference, pp.1136-1139, 2003.
- [3] Youbean Kim, Dongsup Song, Kicheol Kim, Incheol Kim and Sungho Kang, “TOSCA: Total Scan Power Reduction Architecture based on Pseudo-Random Built-in Self Test Structure,” in Proc. of 15th Asian Test Symposium, pp.17-24, 2006.
- [4] Rui Li, Chen Hu, Jun Yang, Zhe Zhang, Youhua Shi, and Longxing Shi, “A New Low Power BIST Methodology by Altering the Structure of Linear Feedback Shift Registers,” in Proc. of IEEE ASIC/SOC Conference, pp.646-649, 2001.
- [5] Nan-Cheng Lai, Syng-Jyan Wang, and Yu-Hsuan Fu, “Low-Power BIST With a Smoother and Scan-Chain Reorder Under Optimal Cluster Size,” IEEE Trans. Computer -Aided Design of Integrated Circuits and System, Vol. 25, Issue 11, pp. 2586 - 2594, Nov 2006.
- [6] Seongmoon Wang, “A BIST TPG for Low Power Dissipation and High Fault Coverage,” IEEE Trans. Very Large Scale Integration Systems, Vol. 15, no. 7, July 2007.
- [7] Xiaoding Chen, and Michael S. Hsiao, “An Overlapping Scan Architecture for Reducing Both Test Time and Test Power by Pipelining Fault Detection,” IEEE Trans. Very Large Scale Integration Systems, Vol. 15, no. 4, April 2007.
- [8] Y.Bonhomme, P.Girard, L.Guiller, C.Landrault, and S.Pravossoudovitch, “A Gated Clock scheme for Low Power Scan Testing of Logic ICs or Embedded Cores,” in Proc. of IEEE Asian Test Symposium, pp.253, 2001.

 저 자 소 개



손 현 욱(학생회원)
 2007년 연세대학교 전기전자
 공학과 학사 졸업.
 2008년 현재 연세대학교 전기
 전자공학과 석박통합과정.
 <주관심분야 : SoC 설계 및 테스
 트>



강 성 호(평생회원)
 1986년 서울대학교 제어계측
 공학과 학사 졸업.
 1988년 The University of Texas,
 Austin 전기 및 컴퓨터
 공학과 석사 졸업.
 1992년 The University of Texas,
 Austin 전기 및 컴퓨터
 공학과 박사 졸업

1992년 미국 Schlumberger Inc. 연구원
 1994년 Motorola Inc. 선임 연구원
 2008년 현재 연세대학교 전기전자공학과 교수
 <주관심분야 : SoC 설계 및 SoC 테스트>



김 유 빈(학생회원)
 2002년 서강대학교 컴퓨터학과
 학사 졸업.
 2004년 서강대학교 컴퓨터학과
 석사 졸업.
 2008년 현재 연세대학교 전기
 전자공학과 박사 과정.

<주관심분야 : BIST, DFT, SoC Test>